

U型槽刻蚀工艺对 GaN 垂直沟槽型金属-氧化物-半导体场效应晶体管电学特性的影响*

陈扶¹⁾²⁾ 唐文昕¹⁾²⁾ 于国浩^{2)†} 张丽²⁾ 徐坤²⁾ 张宝顺^{2)‡}

1) (中国科学技术大学纳米技术与纳米仿生学院, 合肥 230026)

2) (中国科学院苏州纳米技术与纳米仿生研究所, 多功能材料与轻巧系统重点实验室, 苏州 215123)

(2019年12月5日收到; 2020年2月12日收到修改稿)

U型槽的干法刻蚀工艺是 GaN 垂直沟槽型金属-氧化物-半导体场效应晶体管 (MOSFET) 器件关键的工艺步骤, 干法刻蚀后 GaN 的侧壁状况直接影响 GaN MOS 结构中的界面态特性和器件的沟道电子输运. 本文通过改变感应耦合等离子体干法刻蚀工艺中的射频功率和刻蚀掩模, 研究了 GaN 垂直沟槽型 MOSFET 电学特性的工艺依赖性. 研究表明, 适当降低射频功率, 在保证侧壁陡直的前提下可以改善沟道电子迁移率, 从 $35.7 \text{ cm}^2/(\text{V}\cdot\text{s})$ 提高到 $48.1 \text{ cm}^2/(\text{V}\cdot\text{s})$, 并提高器件的工作电流. 沟道处的界面态密度可以通过亚阈值摆幅提取, 射频功率在 50 W 时界面态密度降低到 $1.90 \times 10^{12} \text{ cm}^{-2}\cdot\text{eV}^{-1}$, 比 135 W 条件下降低了一半. 采用 SiO_2 硬刻蚀掩模代替光刻胶掩模可以提高沟槽底部的刻蚀均匀性. 较薄的 SiO_2 掩模具有更小的侧壁面积, 高能离子的反射作用更弱, 过刻蚀现象明显改善, 制备出的 GaN 垂直沟槽型 MOSFET 沟道场效应迁移率更高, 界面态密度更低.

关键词: GaN 垂直沟槽型金属-氧化物-半导体场效应晶体管, U型槽, 射频功率, 刻蚀掩模

PACS: 85.30.De, 85.30.Tv, 73.40.Kp

DOI: 10.7498/aps.69.20191850

1 引言

随着对功率开关器件需求的不断增加, 硅基电力电子器件逐渐达到了硅材料的极限^[1], 对整个电力电子器件的革新开始变缓. 以 GaN 为代表的第三代宽禁带半导体材料凭借其禁带宽度大、击穿场强高和饱和电子速率高等优势, 有望在高压高功率领域得到广泛应用^[2-5]. AlGaN 和 GaN 材料组成的异质结由于极化效应会在界面处自发形成高浓度、高迁移率的二维电子气^[6], 因此 GaN 功率器件大多是横向结构^[7-9]. 然而, 横向结构的主要缺点

在于为了进一步提高功率器件的击穿电压, 就需要不断提高栅漏间距^[10,11], 因此导致了高耐压下器件所占面积更大, 不符合小型化的发展趋势. 此外, 横向器件由于表面存在陷阱态和高电场区, 还存在电流崩塌等可靠性问题^[12,13]. GaN 单晶生长技术和自支撑衬底的发展促使了 GaN 基垂直型功率器件的研究. 相比于水平器件, 垂直器件的高电场区域远离表面, 且器件的耐压取决于漂移层厚度, 无需横向增加器件尺寸就可以实现高击穿电压^[14]. 截至目前 GaN 垂直器件的典型结构包括电流孔径垂直电子晶体管 (CAVETs)^[15,16]、结场效应晶体管^[17]、垂直沟槽型金属-氧化物-半导体场效应晶体

* 国家自然科学基金 (批准号: U1830112, 61774014)、苏州市重点产业技术创新-前瞻性应用研究项目 (批准号: SYG201848) 和微波毫米波单片集成和模块电路重点实验室的开放项目 (批准号: 6142803180407) 资助的课题.

† 通信作者. E-mail: ghyu2009@sinano.ac.cn

‡ 通信作者. E-mail: bszhang2006@sinano.ac.cn

管 (UMOSFETs)^[18,19] 和鳍式功率场效晶体管^[20,21], 其中 UMOSFET 通过使呈 U 型的沟槽侧壁处 p-GaN 层产生反型, 可以实现阈值电压大于 3 V 的增强型器件, 目前对于该器件电学特性的工艺依赖性研究较少, 尤其是对于 U 型槽刻蚀的关键工艺. 本文改变干法刻蚀中的射频 (RF) 功率和刻蚀掩模, 对比分析不同刻蚀条件下的 GaN UMOSFET 器件性能, 提取出相应界面态密度和沟道迁移率, 进一步优化了 U 型槽的工艺条件.

2 器件结构与制备

图 1 为 GaN 垂直型 UMOSFET 器件的结构图, 本文中所使用的结构是基于 GaN 同质衬底通过金属有机化合物化学气相沉积 (MOCVD) 自下而上依次外延得到, 其中三甲基镓 (TMG) 和氨气 (NH₃) 分别作为 Ga 源和 N 源, H₂ 为载气, 以硅烷和二茂镁分别作为 n⁺-GaN 和 p⁺-GaN 的掺杂源. 首先在衬底上生长 4 μm 厚的低掺杂 n-GaN 漂移层 (掺杂浓度为 1.85 × 10¹⁶ cm⁻³), 再往上外延 500 nm 的 p⁺-GaN (Mg 掺杂浓度为 3 × 10¹⁹ cm⁻³) 作为沟道层, 最后外延 200 nm 的 n⁺-GaN 源区层 (Si 掺杂浓度为 4 × 10¹⁸ cm⁻³).

对于 GaN UMOSFET 器件的制备, 首先制备 U 型槽结构, 刻蚀工艺采用感应耦合等离子体 (ICP) 刻蚀技术, Cl₂/BCl₃/Ar 作为刻蚀气体, 刻蚀深度约 800 nm, 本工艺将在第 3 部分详细介绍, p-GaN 沟道层通孔刻蚀也采用相同的刻蚀条件进行. 为防止干法刻蚀对 p-GaN 的补偿作用, 将样品重新置于 MOCVD 腔室内进行 850 °C, 30 min 的氮气氛围退火, 重新激活 p-GaN 沟道层. 器件隔离通过 F 离子注入实现, 注入能量和剂量分别为: 80 keV/1.2 × 10¹⁴ cm⁻², 140 keV/2 × 10¹⁴ cm⁻², 240 keV/4 × 10¹⁴ cm⁻². 采用等离子体增强化学气相沉积 (PECVD) 生长约 80 nm 的 SiO₂ 作为栅介质. 最后蒸发 Ti/Al/Ni/Au (20/130/50/150 nm)

四层金属作为源极和漏极, 磁控溅射 Ti/Au 作为栅极金属. 器件结构呈正六边形形貌, 且侧壁沿 GaN 的 *m* 面, 六边形的边长约 77 μm.

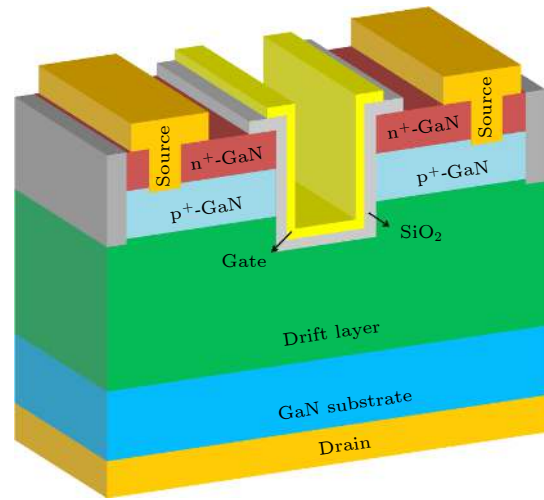


图 1 GaN 垂直型 UMOSFET 器件示意图

Fig. 1. Cross-sectional schematic of a vertical GaN UMOSFET.

3 结果与讨论

GaN UMOSFET 在开态下, p-GaN 表面的反型层沟道提供了源极到漏极的导电通道. 关态下整个器件可等效为反偏 PN 结, 电压主要由厚的轻掺杂一侧的 N 型漂移区来承担. 由 GaN UMOSFET 的工作原理可知, 关键的工艺步骤是 U 型槽的干法刻蚀工艺, 因此, 我们对 ICP 干法刻蚀中的 RF 功率和刻蚀掩模进行了调节, 研究两者对器件特性的影响, 表 1 为不同样品对应的干法刻蚀条件参数.

ICP 干法刻蚀是利用射频电源产生的等离子体对样品进行化学反应与物理刻蚀. 虽然高的离子能量更有利于获得陡直的 U 型槽形貌, 但是高能物理轰击也会带来不可逆转的干法刻蚀损伤, 对 GaN UMOSFET 沟道处的界面态密度造成不利影响^[22]. 射频偏压功率源主要是控制离子轰击能量, 因此很大程度上也决定了干法刻蚀的损伤情况, 三

表 1 干法刻蚀条件参数 (1 Torr = 1.33322 × 10² Pa)
Table 1. Experiment parameters of the dry etching process.

条件	刻蚀气体及流量	RF功率/W	ICP功率/W	腔室压强/mTorr	刻蚀掩模
A		135			
B	24 sccm Cl ₂ , 16 sccm BCl ₃ , 5 sccm Ar	75	500	8	光刻胶(PR)
C		50			
D		50			

个样品对应 A, B 和 C 三个刻蚀条件, RF 功率从 135 W 调节到 50 W 以对应不同离子轰击能量的情况, 探究对器件特性的影响.

图 2(a) 给出了分别采用 RF 功率为 50, 75 和 135 W 三种干法刻蚀条件所制备出的 GaN UMOSFET 的转移特性曲线, 转移测试过程漏极偏压固定为 1 V. 从半对数坐标下的转移特性曲线可以看出, 三个样品的阈值电压 (定义为源漏电流达到 1 A/cm²) 随着 RF 功率的增加而逐渐负偏, 分别为 3.4, 2.7 和 1.2 V. 且在线性坐标下, 施加栅压为 18 V 时三种器件的饱和电流也存在差异, 分别为 96.8, 91.0 和 85.6 A/cm².

器件跨导 g_m 与沟道迁移率 μ_{channel} 的关系如下 [23]:

$$\mu_{\text{channel}} = \frac{L}{WC_{\text{ox}}V_{\text{DS}}}g_m, \quad (1)$$

其中, L 是沟道长度, 即 p-GaN 沟道层的厚度; W 是栅宽; C_{ox} 是单位面积栅介质的电容; V_{DS} 是漏偏压. 可以通过三种器件的跨导推算出相应的沟

道迁移率, 结果如图 2(b) 所示, 可以看出采用 RF 功率为 50, 75 和 135 W 刻蚀条件制备出的 GaN UMOSFET 的沟道峰值迁移率分别为 48.1, 44.9 和 35.7 cm²/(V·s). 大的 RF 功率对侧壁的干法刻蚀损伤更大, 导致器件沟道载流子所受散射效应增加, 沟道峰值迁移率降低 [24].

图 2(c) 显示的是采用三种不同 RF 功率制备出的 GaN UMOSFET 的亚阈值特性, 它可以量化 MOS 管随栅压快速关断的水平, 通过器件半对数坐标下的转移特性可以对亚阈值区域进行线性拟合 [25], 三种器件的亚阈值摆幅 S 随着 RF 功率的提高逐渐增加, 分别是 481, 593 和 977 mV/dec, 这表明采用较低 RF 功率条件的器件随栅压变化关断得更迅速, 开关特性更优. 亚阈值摆幅 S 与界面态密度 D_{it} 的关系式为

$$S = (\ln 10) \frac{dV_G}{d(\ln I_D)} = (\ln 10) \left(\frac{kT}{q} \right) \left(1 + \frac{q^2}{D_{\text{it}}} C_{\text{ox}} \right). \quad (2)$$

此处忽略了耗尽层电容的影响, k 是玻尔兹曼常数,

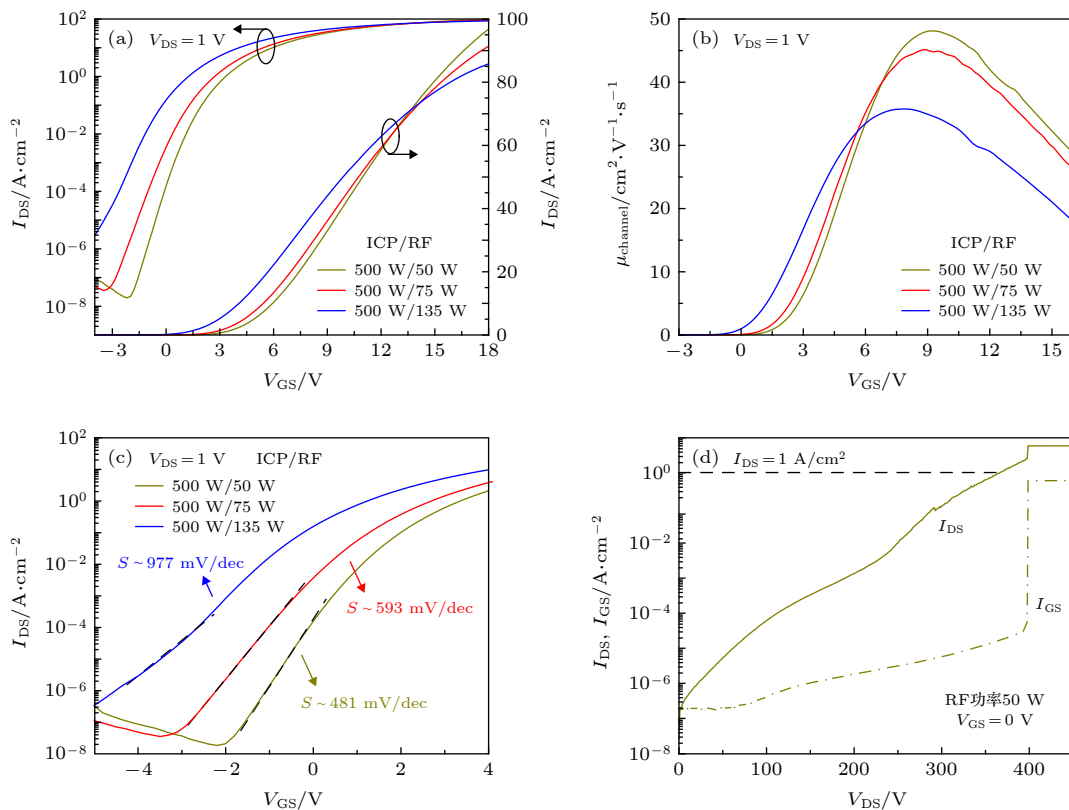


图 2 干法刻蚀 RF 功率为 50, 75 和 135 W 制备出 GaN UMOSFET 器件的电学特性曲线 (I_{GS} 和 I_{DS} 分别指栅电流和漏电流) (a) 转移特性曲线; (b) 沟道场效应迁移率随栅电压 V_{GS} 的变化曲线; (c) 亚阈值特性; (d) RF 功率 50 W 的器件三端击穿特性

Fig. 2. Electrical characteristics of GaN UMOSFETs fabricated with RF power of 50, 75 and 135 W (I_{GS} and I_{DS} are gate and drain currents): (a) Transfer characteristics; (b) field-effect channel mobility as a function of gate voltage; (c) subthreshold characteristics; (d) breakdown characteristics.

T 是温度, q 是单位电子电荷. 通过进一步计算得出, 采用 RF 功率为 50, 75 和 135 W 刻蚀条件制备出的 GaN UMOSFET 的界面态密度分别是 1.90×10^{12} , 2.40×10^{12} 和 $4.13 \times 10^{12} \text{ cm}^{-2}\cdot\text{eV}^{-1}$. 可以看出器件界面态密度随着干法刻蚀 RF 的增加而明显增加, 这是大的干法刻蚀损伤带来更多的刻蚀损伤所致. 实验中发现不同 RF 功率对器件的三端击穿特性无明显影响, 器件耐压集中在 350—380 V. 图 2(d) 给出了 RF 功率为 50 W 的器件击穿特性曲线, 器件在限流为 $1 \text{ A}/\text{cm}^2$ 条件下击穿电压约在 378 V, 且器件击穿的原因是栅极击穿. 栅极提前击穿是因为栅极和漏极之间 SiO_2 与 GaN 形成的 MOS 结构具有正的价带带阶. 随着漏极偏压的增加, 正价带带阶成为空穴向栅极移动的势阱, 使得空穴聚集在介质层表面, 从而产生电场集中现象, 造成栅极提前击穿 [26].

本文制备的器件具有约 80 nm 的 SiO_2 介质层, 理论阈值电压应该在 12—14 V, 而实际测量值明显负偏. 实际器件中阈值电压负偏的原因主要有

两个: 1) 干法刻蚀存在刻蚀损伤, 尤其是由于高能离子轰击侧壁而在侧壁表面处产生较高浓度的氮空位 [27], 而氮空位在 GaN 中属于浅施主, 施主能级比导带底低 0.03—0.1 eV, 这种施主杂质会补偿一部分 p-GaN 沟道层中的空穴, 从而降低 p 型掺杂浓度, 甚至使表面 p-GaN 发生反型变成轻掺杂 n-GaN [23]; 2) 生长的 SiO_2 介质层中存在有正的氧化物电荷, 正电荷等效于对半导体产生附加正偏压, 从而降低器件的阈值电压.

为了得到较理想的 U 型槽形貌, 本文又研究了两种不同刻蚀掩模进行 U 型槽的干法刻蚀, 分别是 1.6 μm 的光刻胶掩模和 500 nm 的 SiO_2 硬掩模. 光刻胶直接采用光刻和显影形成相应图形, 而 SiO_2 利用 PECVD 方法生长, 其图形通过光刻胶形成窗口后利用反应离子刻蚀机 (RIE) 刻蚀而成, 光刻胶通过有机溶剂去除. 图 3(a) 和图 3(b) 给出了采用光刻胶和 SiO_2 作为 U 型槽刻蚀掩模的 GaN UMOSFET 的转移特性曲线及提取的沟道迁移率, 测试过程漏电压保持 1 V, 两种器件均可实

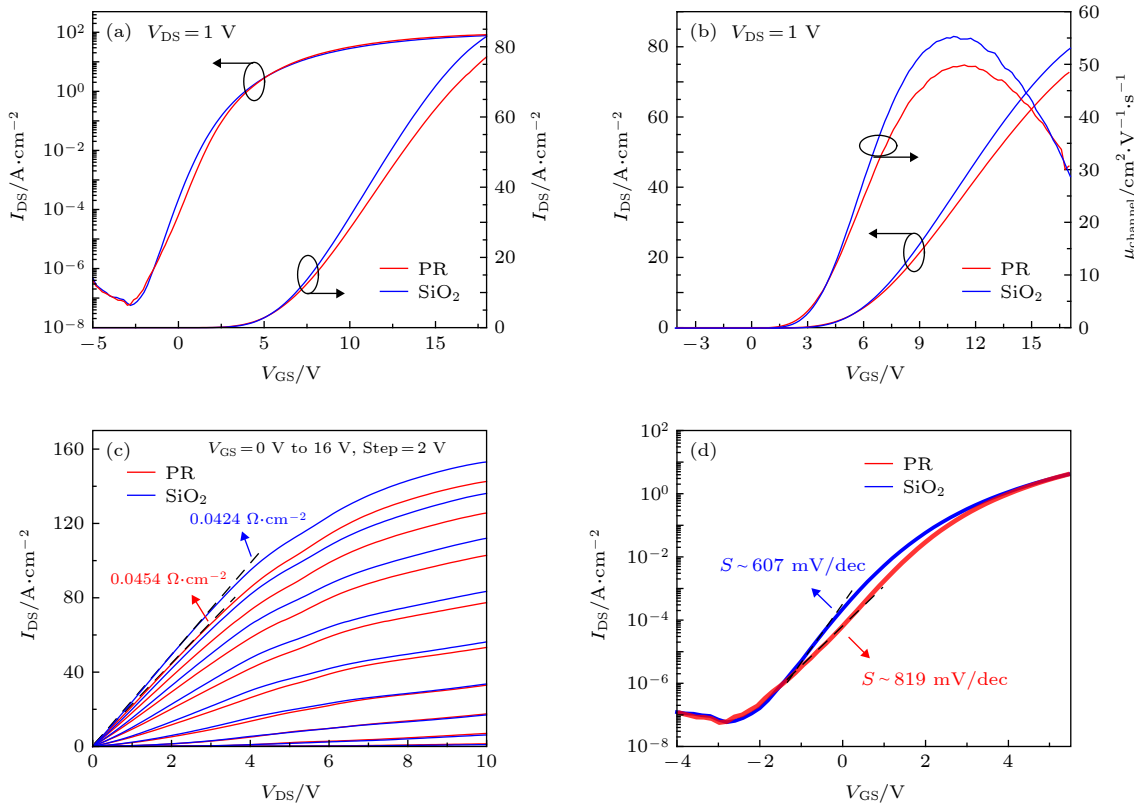


图 3 采用光刻胶和 SiO_2 作为刻蚀掩模制备出的 GaN UMOSFET 器件的电学特性曲线 (a) 转移特性曲线; (b) 沟道场效应迁移率随栅电压的变化曲线; (c) 输出特性曲线; (d) 亚阈值特性

Fig. 3. Electrical characteristics of GaN UMOSFETs with SiO_2 and photoresist as etching masks: (a) Transfer characteristics; (b) field-effect channel mobility vs. gate voltage; (c) output I - V characteristics; (d) subthreshold characteristics.

现开启关断, 两者沟道峰值迁移率分别为 49.5 和 55.2 $\text{cm}^2/(\text{V}\cdot\text{s})$. 图 3(c) 显示了不同刻蚀掩模制备 GaN UMOSFET 的输出特性曲线, 漏压从 0 到 10 V, 栅压范围 0—16 V, 步长 2 V, 可以看出采用 SiO_2 做掩模的器件导通电阻更低, 输出电流更大. 从半对数坐标下的转移特性曲线可以提取出两种 UMOSFET 的亚阈值摆幅, 见图 3(d), 分别是 819 和 609 mV/dec, 说明采用 SiO_2 做刻蚀掩模的器件的开关特性更好, 进而计算出相应界面态密度为 2.46×10^{12} 和 $3.42 \times 10^{12} \text{ cm}^{-2}\cdot\text{eV}^{-1}$. 需要指出, 图 3(d) 提取的亚阈值摆幅相对于图 2(c) 中 RF 功率为 75 和 50 W 的器件亚阈值摆幅稍大. 原因是图 2(c) 中改变 RF 功率的器件相比前者多了一步 U 型槽处理工艺, 即在进行 U 型槽干法刻蚀后, 刻蚀样品在 85 $^\circ\text{C}$ 条件下 25% 的四甲基氢氧化铵 (TMAH) 溶液中湿法处理 1 h, TMAH 热溶液对刻蚀侧壁起到修复损伤的作用, 同时不会影响沟槽深度 [28].

为了探究采用不同刻蚀掩模的两种器件表现出上述不同电学特性的原因, 刻蚀后的样品经过原子力显微镜 (AFM) 来评价刻蚀形貌. 图 4(a) 显示了不同刻蚀掩模相对应的沟槽形貌, 选取的沟槽形

貌同为宽度约 8 μm , 刻蚀深度约 800 nm, 可以看出采用光刻胶的样品在沟槽底部两端处出现了明显的过刻蚀现象, 即微沟槽效应, 刻蚀后沟槽底部呈现中间高两边低的“凸”字型形貌, 图 5 是光刻胶做刻蚀掩模的样品 U 型槽区域的扫描电子显微镜 (SEM) 图像. 这种 U 型槽形貌会导致器件在导通时, 载流子流经器件积累区受到的散射作用更大, 从而降低器件的工作电流.

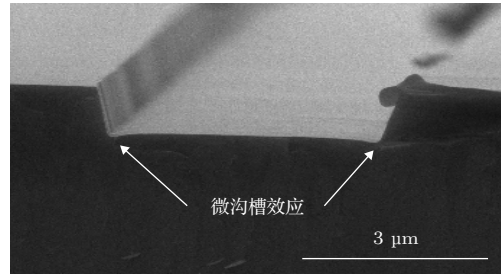


图 5 光刻胶掩模的样品经 U 型槽刻蚀后的 SEM 图像
Fig. 5. SEM image of U-shape trench after dry etching with photoresist etching mask.

这种现象出现的原因来自两种刻蚀掩模的形貌不同, 见图 4(b). 正性光刻胶作刻蚀掩模时, 经过显影和坚膜处理后, 光刻胶侧壁存在一定角度, 形成梯形结构, 且光刻胶厚度约在 1.6 μm , 因此具有较大的侧壁面积. 高能粒子经过侧壁反射后, 在 ICP 腔室的垂直电场作用下反射轨迹出现弯曲, 所以更容易出现侧壁处过度刻蚀 [29]. 而 SiO_2 硬掩模与 GaN 材料的刻蚀选择比相较于光刻胶更高, SiO_2 的厚度仅为 500 nm, 因此高能离子的侧壁反射效应减弱, 避免了过刻蚀现象.

4 结 论

本文对 U 型槽的干法刻蚀条件进行了改善, 主要研究了 RF 功率和干法刻蚀掩模对 GaN UMOSFET 电学特性的影响. 实验结果表明, 适当降低 RF 功率可以减少工艺带来的干法刻蚀损伤, 从而提高器件沟道的场效应迁移率, 且器件的亚阈值摆幅和界面态密度随着 RF 功率的降低而降低, 器件的开关特性更好. 相比于光刻胶, 厚度较薄的 SiO_2 更适合作为 U 型槽刻蚀中的刻蚀掩模, 采用此种方法制备的 UMOSFET 器件的沟道峰值迁移率更优, 界面态密度更小. 在未来的研究中, 我们将综合调节包括 RF 功率、腔室压强、反应气体流

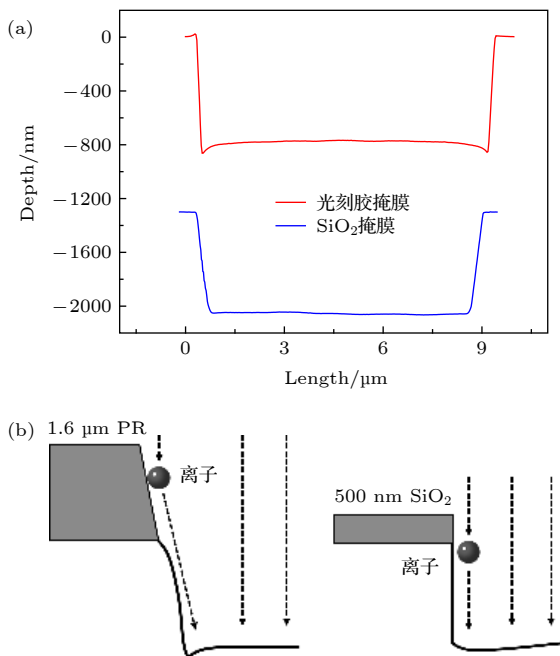


图 4 (a) 采用不同刻蚀掩模后 U 型槽的刻蚀形貌; (b) 刻蚀掩模侧壁的高能粒子反射现象

Fig. 4. (a) Etching morphology of the U-shape trench using different etching masks; (b) high-energy ion reflection at the sidewall of etching masks.

量等多项参数,继续降低刻蚀损伤,进一步优化器件电学特性.

参考文献

- [1] Uemoto Y, Hikita M, Ueno H, Matsuo H, Ishida H, Yanagihara M, Ueda T, Tanaka T, Ueda D 2007 *IEEE Trans. Electron Dev.* **54** 3393
- [2] Anderson T J, Wheeler V D, Shahin D I, Tadjer M J, Koehler A D, Hobart K D, Christou A, Kub F J, Eddy C R 2016 *Appl. Phys. Express* **9** 071003
- [3] Sun S, Fu K, Yu G, Zhang Z, Song L, Deng X, Qi Z, Li S, Sun Q, Cai Y, Dai J, Chen C, Zhang B 2016 *Appl. Phys. Lett.* **108** 013507
- [4] Wang H, Wang J, Liu J, Li M, He Y, Wang M, Yu M, Wu W, Zhou Y, Dai G 2017 *Appl. Phys. Express* **10** 106502
- [5] Gao J, Jin Y, Xie B, Wen C P, Hao Y, Shen B, Wang M 2018 *IEEE Electron Dev. Lett.* **39** 859
- [6] Ambacher O, Smart J, Shealy J R, Weimann N G, Chu K, Murphy M, Schaff W J, Eastman L F, Dimitrov R, Wittmer L, Stutzmann M, Rieger W, Hilsenbeck J 1999 *J. Appl. Phys.* **85** 3222
- [7] Kambayashi H, Satoh Y, Kokawa T, Ikeda N, Nomura T, Kato S 2011 *Solid-State Electron.* **56** 163
- [8] Cui X T, Chen W J, Shi Y J, Xin Y J, Li M L, Wang F Z, Zhou Q, Li Z J, Zhang B 2019 *Semiconductor Technology* **44** 286 (in Chinese) [崔兴涛, 陈万军, 施宜军, 信亚杰, 李茂林, 王方洲, 周琦, 李肇基, 张波 2019 *半导体技术* **44** 286]
- [9] Tang W X, Hao R H, Chen F, Yu G H, Zhang B S 2018 *Acta Phys. Sin.* **67** 198501 (in Chinese) [唐文昕, 郝荣晖, 陈扶, 于国浩, 张宝顺 2018 *物理学报* **67** 198501]
- [10] Lin R M, Chu F C, Das A, Liao S Y, Chou S T, Chang L B 2013 *Thin Solid Films* **544** 526
- [11] Russo S, Di Carlo A 2007 *IEEE Trans. Electron Dev.* **54** 1071
- [12] Horio K, Takayanagi H, Nakano H 2006 *Phys. Status Solidi* **3** 2346
- [13] Meneghesso G, Rampazzo F, Kordos P, Verzellesi G, Zanoni E 2007 *IEEE Trans. Electron Dev.* **53** 2932
- [14] Oka T, Ina T, Ueno Y, Nishii J 2015 *Appl. Phys. Express* **8** 054101
- [15] Chowdhury S, Swenson B L, Wong M H, Mishra U K 2013 *Semicond. Sci. Technol.* **28** 074014
- [16] Nie H, Diduck Q, Alvarez B, Edwards A P, Kayes B M, Zhang M, Ye G, Prunty T, Bour D, Kizilyalli I C 2014 *IEEE Electron Dev. Lett.* **35** 939
- [17] Ji D, Chowdhury S 2015 *IEEE Trans. Electron Dev.* **62** 2571
- [18] Otake H, Chikamatsu K, Yamaguchi A, Fujishima T, Ohta H 2008 *Appl. Phys. Express* **1** 011105
- [19] Oka T, Ueno Y, Ina T, Hasegawa K 2014 *Appl. Phys. Express* **7** 021002
- [20] Sun M, Zhang Y, Gao X, Palacios T 2017 *IEEE Electron Dev. Lett.* **38** 509
- [21] Zhang Y, Sun M, Perozek J, Liu Z, Zubair A, Piedra D, Chowdhury N, Gao X, Shepard K, Palacios T 2018 *IEEE Electron Dev. Lett.* **40** 75
- [22] Gupta C, Chan S H, Lund C, Agarwal A, Koksaldi O S, Liu J, Enatsu Y, Keller S, Mishra U K 2016 *Appl. Phys. Express* **9** 121001
- [23] Fujishima T, Otake H, Ohta H 2008 *Appl. Phys. Lett.* **92** 243505
- [24] Wang Q, Jiang Y, Zhang J, Kawaharada K, Li L, Wang D, Ao J P 2015 *Semicond. Sci. Technol.* **30** 065004
- [25] Schroder D K (translated by Liu A M) 1998 *Semiconductor Material and Device Characterization* (Dalian: Dalian University of Technology Press) pp284–286 (in Chinese) [施罗德 D K 著 (刘爱民等译) 1998 半导体材料与器件表征技术 (大连: 大连理工大学出版社) 第284—286页]
- [26] Gupta C, Chan S, Pasayat S, Keller S, Mishra U 2019 *J. Appl. Phys.* **125** 124101
- [27] Narita T, Kikuta D, Takahashi N, Kataoka K, Kimoto Y, Uesugi T, Kachi T, Sugimoto M 2011 *Phys. Status Solidi A* **208** 1541
- [28] Kodama M, Sugimoto M, Hayashi E, Soejima N, Ishiguro O, Kanechika M, Itoh K, Ueda H, Uesugi T, Kachi T 2008 *Appl. Phys. Express* **1** 021104
- [29] Flemish J R, Xie K 1994 *Appl. Phys. Lett.* **64** 2315

Effect of U-shape trench etching process on electrical properties of GaN vertical trench metal-oxide-semiconductor field-effect transistor^{*}

Chen Fu¹⁾²⁾ Tang Wen-Xin¹⁾²⁾ Yu Guo-Hao^{2)†} Zhang Li²⁾
 Xu Kun²⁾ Zhang Bao-Shun^{2)‡}

1) (*School of Nano-Tech and Nano-Bionics, University of Science and Technology of China, Hefei 230026, China*)

2) (*Key Laboratory of Multifunctional Nanomaterials and Smart Systems, Suzhou Institute of Nano-Tech and Nano-Bionics, Chinese Academy of Sciences, Suzhou 215123, China*)

(Received 5 December 2019; revised manuscript received 12 February 2020)

Abstract

As reported by several market analysts, GaN-based power devices show great potential applications in the low and medium voltage range (< 900 V). For high voltage (> 1200 V), including ship transportation and power grid, the future applications of GaN highly depend on the development of vertical devices based on GaN substrates. Several vertical devices have been reported, such as current aperture vertical electron transistors (CAVETs), U-shape trench metal-oxide-semiconductor field-effect transistors (UMOSFETs), and fin power transistors. And the UMOSFETs show potential advantages due to greater simplicity in material epitaxy and fabrication process. In the fabrication of UMOSFETs, the U-shape trench dry etching is the most critical process. The GaN sidewalls after dry etching directly affect the interface state characteristics in the MOS structure and the channel electron transport. In this work, etching optimization including etching radio-frequency (RF) power and etching mask is investigated and process-dependent electrical characteristics of GaN UMOSFETs are also studied. The appropriate decrease of RF power ensuring the steep sidewalls can effectively improve the channel electron mobility from $35.7 \text{ cm}^2/(\text{V}\cdot\text{s})$ to $48.1 \text{ cm}^2/(\text{V}\cdot\text{s})$ and consequently increase the ON-state current and reduce the ON-state resistance. Larger etching damage to the p-GaN sidewall caused by higher RF power leads the scattering effects to increase and the mobility of the channel carriers to decrease. The interface state density at the channel can be extracted by the subthreshold swing. The interface state density decreases to $1.90 \times 10^{12} \text{ cm}^{-2}\cdot\text{eV}^{-1}$ when the RF power is regulated to 50 W, which is only half of the interface state density when RF power is 135 W. Similar breakdown voltages (350–380 V) are measured for these devices with varying RF power, which are governed by gate early breakdown. Positive valence band offset is formed in the SiO_2/GaN MOS structure and the early breakdown occurs due to the holes accumulating at the SiO_2/GaN interface. The etching uniformity at the bottom of U-shape trench can be improved by using the SiO_2 hard masks instead of photoresist masks. Sub-trenches at both ends of the trench bottom are observed in the device with photoresist masks, leading the carrier scattering to increase and ON-state current to decrease. Besides, the interface state density decreases from $3.42 \times 10^{12} \text{ cm}^{-2}\cdot\text{eV}^{-1}$ to $2.46 \times 10^{12} \text{ cm}^{-2}\cdot\text{eV}^{-1}$ with a SiO_2 hard mask layer used. Compared with $1.6 \mu\text{m}$ photoresist mask, the thinner SiO_2 mask with a thickness of 500 nm has a small sidewall area, which weakens the high-energy ion reflection in the inductively coupled plasma system. Consequently, the over-etching at the bottom ends of the trench is improved significantly and therefore the fabricated GaN UMOSFET has higher channel mobility and a lower interface state density.

Keywords: GaN vertical trench metal-oxide-semiconductor field-effect transistor, U-shape trench, radio-frequency power, etching mask

PACS: 85.30.De, 85.30.Tv, 73.40.Kp

DOI: 10.7498/aps.69.20191850

* Project supported by the National Natural Science Foundation of China (Grant Nos. U1830112, 61774014), the Key Industry Technology Innovation Program of Suzhou, China (Grant No. SYG201848), and the Science and Technology on Monolithic Integrated Circuits and Modules Laboratory, Nanjing Electronic Devices Institute, China (Grant No. 6142803180407).

† Corresponding author. E-mail: ghyu2009@sinano.ac.cn

‡ Corresponding author. E-mail: bszhang2006@sinano.ac.cn