

14 nm FinFET 和 65 nm 平面工艺静态随机存取存储器中子单粒子翻转对比*

张战刚¹⁾ 雷志锋^{1)†} 童腾²⁾ 李晓辉²⁾ 王松林³⁾ 梁天骄³⁾
 刁凯⁴⁾ 彭超¹⁾ 何玉娟¹⁾ 黄云¹⁾ 恩云飞¹⁾

1) (工业和信息化部电子第五研究所, 电子元器件可靠性物理及其应用技术重点实验室, 广州 510610)

2) (中国科学院高能物理研究所, 北京 100049)

3) (散裂中子源科学中心, 东莞 523803)

4) (中国科学院微电子研究所, 北京 100029)

(2019 年 8 月 8 日收到; 2019 年 12 月 20 日收到修改稿)

使用中国散裂中子源提供的宽能谱中子束流, 开展 14 nm FinFET 工艺和 65 nm 平面工艺静态随机存取存储器中子单粒子翻转对比研究, 发现相比于 65 nm 器件, 14 nm FinFET 器件的大气中子单粒子翻转截面下降至约 1/40, 而多位翻转比例从 2.2% 增大至 7.6%, 源于 14 nm FinFET 器件灵敏区尺寸 (80 nm × 30 nm × 45 nm)、间距和临界电荷 (0.05 fC) 的减小. 不同于 65 nm 器件对热中子免疫的现象, 14 nm FinFET 器件中 M0 附近 ¹⁰B 元素的使用导致其表现出一定的热中子敏感性. 进一步的中子输运仿真结果表明, 高能中子在器件灵敏区中产生的大量的射程长、LET 值大的高 Z 二次粒子是多位翻转的产生诱因, 而单粒子翻转主要来自于 p, He, Si 等轻离子的贡献.

关键词: FinFET, 中子, 单粒子翻转, 核反应

PACS: 61.80.Hg, 61.82.Fk, 85.40.-e, 02.50.Ng

DOI: 10.7498/aps.69.20191209

1 引言

随着集成电路 (integrated circuit, IC) 工艺的持续发展, 当特征尺寸小于 20 nm 时, FinFET 成为有前途的候选产品, 因为它们具有出色的抗短沟道效应, 并且可以降低工艺变化对器件性能的影响^[1-4]. 目前, FinFET 工艺器件已在消费电子 (手机、计算机、Pad 等) 等产品中广泛采用. 但是, 随着 IC 集成度的增大、供电电压的降低、节点电容的减小等因素的影响, 辐射粒子在先进工艺器件中

引起的软错误成为其可靠性的关键威胁^[5,6]. 另一方面, 相比于传统平面器件, FinFET 器件单粒子翻转 (single event upset, SEU) 的灵敏区 (sensitive volume, SV) 特性、电荷产生和收集机制等可能发生根本性变化, 需开展进一步深入研究.

在地面环境中, 软错误主要来源于高能中子、热中子和阿尔法粒子^[7-11]. 在封装和键合工艺中使用超低阿尔法粒子发射率材料可有效降低阿尔法粒子引起的软错误率. 目前, 国际上关于热中子和高能中子软错误的相关研究主要集中在器件仿真、热中子、散裂中子源 (最高能量为 800 MeV) 辐照

* 国家自然科学基金 (批准号: 61704031)、广东省省级科技计划 (批准号: 2017B090901068, 2017B090921001) 和广州市科技计划 (批准号: 201707010186) 资助的课题.

† 通信作者. E-mail: leizf@ceprei.com

表 1 被测器件参数
Table 1. Parameters of devices under test.

编号	SRAM工艺	型号	容量	供电电压(core)/V	封装形式
1#	65 nm平面	CY7 C1663 KV18	8 Mb × 18	1.8	BGA, 非倒装
2#	14 nm FinFET	—	8 Mb × 16	0.8	BGA, 倒装

等方面^[12–15], 但缺乏 FinFET 器件中子输运特征及二次粒子产物特性的研究, 导致其内在效应机理尚不清晰.

本文基于中国散裂中子源 (China Spallation Neutron Source, CSNS) 提供的宽能谱中子束流 (覆盖热中子和 $E > 10$ MeV 中子, 最高能量达到 1.6 GeV), 针对 14 nm FinFET 工艺大容量 SRAM 和 65 nm 平面工艺 SRAM, 使用辐照实验、反向分析和蒙特卡罗中子输运仿真相结合的方法, 揭示集成电路工艺变化对中子单粒子翻转、多位翻转 (multiple bit upset, MBU) 敏感性的影响, 并分析其内在机理, 包括灵敏区中的二次粒子分布、沉积电荷特性等.

2 实验参数

2.1 被测器件及测试系统

被测器件参数如表 1 所示. 由于中子的穿透能力较强, 不需要对被测器件进行开封处理. 因此, 在实验过程中, 中子直接辐照在器件封装表面. 具体地, 对于 1# 器件, 中子穿过塑封材料、芯片表层布线后到达器件灵敏区; 对于 2# 器件, 中子穿过硅衬底后达到器件灵敏区.

单粒子效应测试系统具备对被测器件进行上电、写读、工作电流监测等功能. 开始辐照前, 将测



图 1 实验现场图 (中子束流孔道位于测试板背后, 中子束流对准被测器件)

Fig. 1. Experimental setup (neutron beam channel is located behind the test board, and aligned with the device under test).

试板安装在束流大厅的中子束线上 (见图 1), 操作人员在控制大厅通过网线控制测试板, 在被测器件中写入初始测试图形 (棋盘格图形), 实时监测被测器件各路工作电流. 打开中子束流后, 持续对被测器件进行“读比”操作, 发现错误时, 测试系统会自动上报错误地址、错误数据等信息. 测试过程中, 所有被测器件均未观测到单粒子门锁现象.

2.2 中子参数

实验所用的中子束流能谱如图 2 所示. 根据 JESD89 A 标准, 图 2 的中子分为两个能区: 热中子 ($E < 0.4$ eV) 和高能中子 ($E > 10$ MeV), 其通量分别为 2.70×10^6 n/(cm²·s) 和 1.05×10^5 n/(cm²·s). 实验过程中, 根据需要在中子束线上插入 2 mm 厚的镉 (Cd) 板, 可有效滤除 0.5 eV 能量以下的中子, 用于区分热中子对总翻转截面的贡献. 中子最大能量为 1600 MeV. 实验过程中, 中子垂直、正面入射至被测器件.

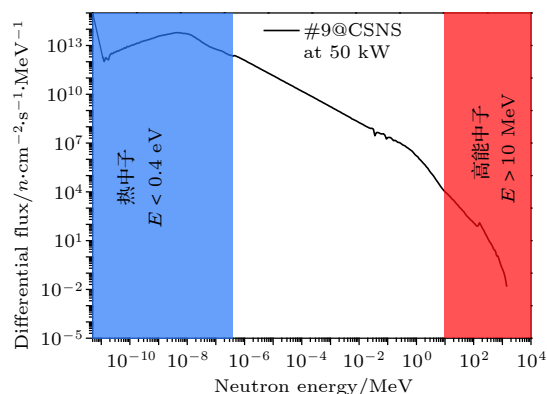


图 2 实验终端的中子能谱

Fig. 2. Neutron energy spectrum of the experimental terminal.

3 实验与仿真结果

本文开展的主要研究内容为: 1) 对比 65 nm 平面工艺和 14 nm FinFET 工艺 SRAM 的高能中子 ($E > 10$ MeV) 和热中子单粒子翻转敏感性; 2) 对比二者的多位翻转特性; 3) 结合反向分析获

得的器件版图和结构,开展蒙特卡罗中子输运仿真,揭示内在机理.

3.1 实验结果

图3为65 nm平面工艺和14 nm FinFET工艺SRAM的中子 ($E > 10$ MeV)SEU截面对比.由图3可见,随着工艺的发展,相比于65 nm平面工艺器件,14 nm FinFET工艺器件的SEU截面下降至约1/40.

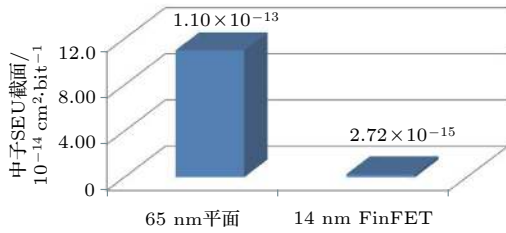


图3 65 nm平面工艺和14 nm FinFET工艺SRAM的中子 ($E > 10$ MeV)SEU截面对比

Fig. 3. Comparison of neutron ($E > 10$ MeV) SEU cross section of 65 nm planar and 14 nm FinFET SRAM devices.

图4为65 nm平面工艺和14 nm FinFET工艺SRAM的热中子SEU截面对比.可见,65 nm平面工艺器件对热中子不敏感,而14 nm FinFET工艺器件表现出一定的热中子敏感性.相比于中子 ($E > 10$ MeV)SEU截面,14 nm FinFET工艺器件的热中子截面下降至约1/4.8.

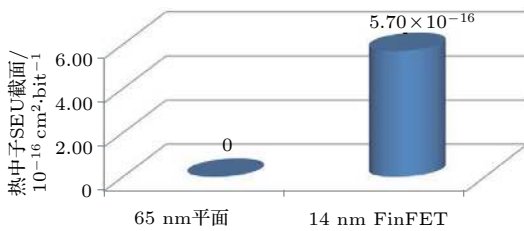
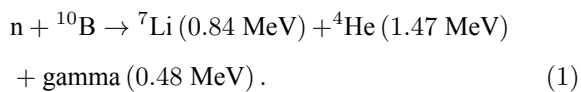


图4 65 nm平面工艺和14 nm FinFET工艺SRAM的热中子SEU截面对比

Fig. 4. Comparison of thermal neutron SEU cross section of 65 nm planar and 14 nm FinFET SRAM devices.

热中子主要通过与被测器件中的 ^{10}B 元素相互作用产生的次级粒子引起单粒子效应,其主要反应道如(1)式所示:



使用SRIM软件[16,17]可以计算得到次级Li离子和He离子在硅器件中的LET值与能量的关系

(如图5所示).0.84 MeV的Li离子和1.47 MeV的He离子在硅器件中的LET值分别为 $2.10 \text{ MeV} \cdot \text{cm}^2 \cdot \text{mg}^{-1}$ 和 $1.15 \text{ MeV} \cdot \text{cm}^2 \cdot \text{mg}^{-1}$.图6给出了本文使用的14 nm FinFET SRAM的重离子实验结果,通过Weibull曲线拟合得到该款器件SEU的LET阈值为 $0.1 \text{ MeV} \cdot \text{cm}^2 \cdot \text{mg}^{-1}$.可见,热中子与 ^{10}B 元素相互作用产生的次级Li离子和He离子可以在14 nm FinFET SRAM中引起SEU.

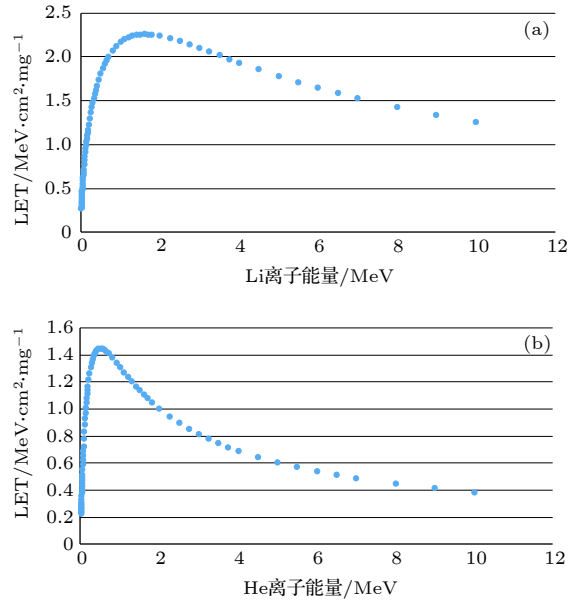


图5 (a) Li离子和(b) He离子在硅材料中的LET值与能量的关系

Fig. 5. Relationship between LET value and energy of (a) Li ion and (b) He ion in silicon material.

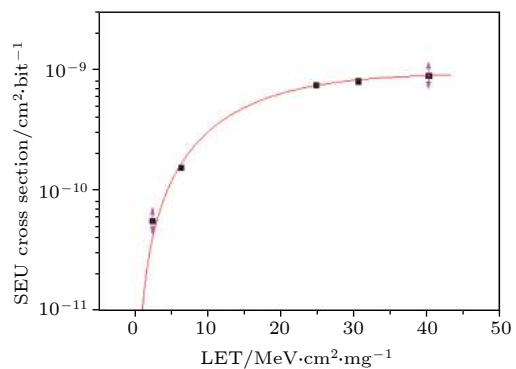


图6 14 nm FinFET SRAM的重离子实验结果

Fig. 6. Heavy ion experiment results of 14 nm FinFET SRAM.

对65 nm平面工艺器件开展二次离子质谱 (secondary ion mass spectroscopy, SIMS) 测量和分析,未在器件中发现 ^{10}B 元素成分,该结果解释

了上述“65 nm 平面工艺器件对热中子不敏感”的结论. 而 14 nm FinFET 工艺器件表现出一定的热中子敏感性的现象与 FinFET 工艺器件 M0 附近工艺中使用了 ^{10}B 元素有关.

图 7 为 65 nm 平面工艺和 14 nm FinFET 工艺 SRAM 的中子 MBU 比例对比, 包含了热中子和 $E > 10 \text{ MeV}$ 中子的共同贡献. 可见, 相比于 65 nm 平面器件, 14 nm FinFET 器件的 MBU 比例明显增高. 其中, 两位翻转比例从 2.1% 增大至 6.6%; 65 nm 平面器件中未发现三位翻转, 而 14 nm FinFET 器件的三位翻转比例为 1%.

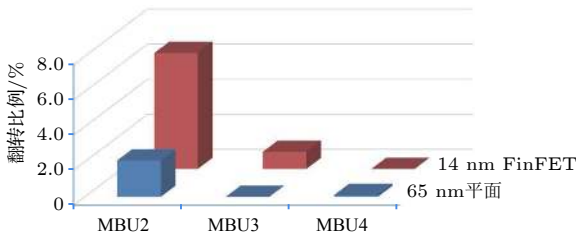


图 7 65 nm 平面工艺和 14 nm FinFET 工艺 SRAM 的中子 MBU 比例对比 (使用图 2 的全能谱)

Fig. 7. Comparison of neutron MBU ratio of 65 nm planar and 14 nm FinFET SRAM devices (using the full spectrum in Fig. 2).

3.2 反向分析

为了进一步深入地对上述实验结果进行分析和解释, 对该两款器件进行反向分析, 获得 14 nm FinFET SRAM 和 65 nm SRAM 的横切面和存储区图像, 分别如图 8 和图 9 所示. 表 2 进一步给出了 14 nm FinFET SRAM 和 65 nm SRAM 的存储单元尺寸和灵敏区参数. 将“关”态 NMOS 的漏区作为单粒子翻转灵敏区, 其尺寸分别为 $0.08 \mu\text{m} \times 0.03 \mu\text{m}$ (14 nm FinFET SRAM) 和 $0.2 \mu\text{m} \times 0.19 \mu\text{m}$ (65 nm SRAM); 根据实际情况综合考虑电离电荷的漂移、扩散、漏斗长度等收集过程, 14 nm FinFET SRAM 的灵敏区厚度设置为 Fin 高 (45 nm), 65 nm SRAM 的灵敏区厚度设置为阱深, 即 $0.45 \mu\text{m}$. 可见, 随着特征尺寸的减小, SRAM 器件的灵敏区尺寸迅速下降, 这也是图 3

表 2 14 nm FinFET SRAM 和 65 nm SRAM 的存储单元尺寸和灵敏区参数

Table 2. Memory cell size and SV parameters for the 14 nm FinFET SRAM and 65 nm SRAM devices.

器件	存储单元尺寸/ $\mu\text{m} \times \mu\text{m}$	灵敏区尺寸/ $\mu\text{m} \times \mu\text{m}$	灵敏区厚度/nm	重离子 LET 阈值/ $\text{MeV} \cdot \text{cm}^2 \cdot \text{mg}^{-1}$	临界电荷/fC
14 nm FinFET SRAM	0.37×0.18	0.08×0.03	45	0.1	0.05
65 nm SRAM	1.0×0.5	0.20×0.19	450	0.22 [18]	1 [19]

中 SEU 截面减小的原因. 另一方面, 随着特征尺寸的减小, SRAM 器件的灵敏区间距迅速减小, 导致图 7 中 MBU 概率的增大.

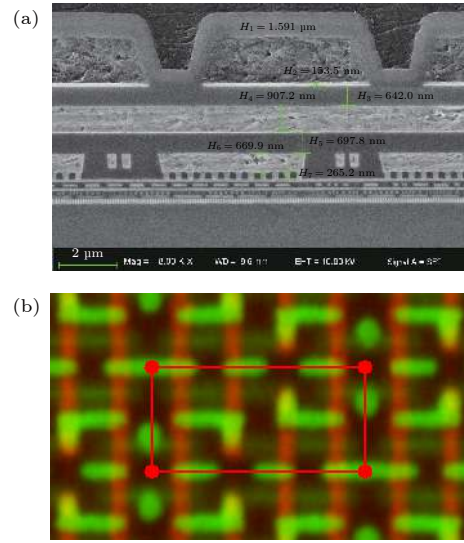


图 8 14 nm FinFET SRAM 的反向分析 (a) 横切面; (b) 存储区图像

Fig. 8. Reverse analysis of 14 nm FinFET SRAM: (a) Cross section; (b) memory area image.

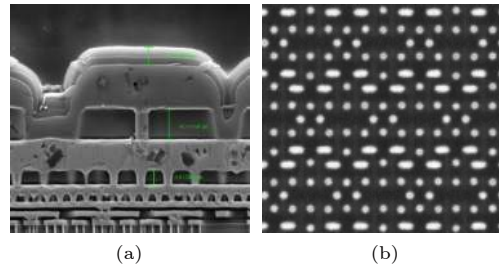


图 9 65 nm SRAM 的反向分析 (a) 横切面; (b) 存储区图像

Fig. 9. Reverse analysis of 65 nm SRAM: (a) Cross section; (b) memory area image.

3.3 蒙特卡罗仿真计算

基于上述反向分析结果, 建立器件仿真模型. 65 nm 工艺 SRAM 共使用 6 层金属布线, 大部分金属材料为 Cu. 在 M0 和灵敏硅层之间发现 W 塞的存在. 为了提高仿真效率, 将器件模型的 $x \times y$ 尺寸设置为灵敏区的尺寸. 中子在器件模型中的输

运仿真使用 Geant4 工具^[20]实现, Geant4 为非弹性相互作用提供了二元级联模型, 其中包含了模拟物质核反应及二次离子输运所需的所有物理信息, 包括离子数量、原子数、质量数、离子能量和动量方向等信息. Geant4 模拟过程中用来管理所有物理过程的“物理列表”采用 SLAC“空间电子学物理列表”, 它代表了目前模拟微电子器件辐射效应的最适模型. 根据图 2 中的中子能谱, 选取 14 MeV 和 1600 MeV 两个典型能量点进行仿真计算, 原因为: 1) 1600 MeV 为最大中子能量; 2) 热中子的核反应机理较为清晰, 前文已有所表述, 所以 $E > 10$ MeV 中子的核反应特性是本节研究关注的重点, 14 MeV 中子是一种较为常见和常用的能量点(如中子管氙-氙反应可产生 14 MeV 中子), 故选取 14 MeV 能量点与最高能量 1600 MeV 进行对比. 仿真计算中, 对于每个能量点, 10^9 个中子垂直入射进入器件模型, 对灵敏区中产生的二次粒子特性进行探测和分析.

图 10 为 14 MeV 和 1600 MeV 中子在器件灵敏区中产生的二次粒子分布 (器件模型中的 W 材料被二氧化硅替代). 图 11 给出了 14 MeV 和 1600 MeV 中子在器件灵敏区中产生的二次粒子分布 (真实器件模型). 可见: 1) $E > 10$ MeV 中子在器件灵敏区中产生丰富的二次粒子分布, 从 n, p 覆盖至 W; 2) 二次粒子的种类和产生概率与中子能量密切相关, 中子能量越高, 二次粒子的种类越多、产生概率越高; 3) 灵敏区附近 W 塞的存在与否对二次粒子分布有重要影响, 对比图 10 和图 11 可以发现, W 塞是灵敏区中原子序数高于 Cu 的二次粒子的产生来源, 而这些粒子的原子序数大, 因此具有较大的 LET 值, 可能对器件单粒子效应具有重要影响.

另一方面, 虽然高 Z 二次粒子的电离能力较强, 但相比于 p, He 等轻离子, 其产生数量呈数量级的减小. 同时, 由表 2 可知被测器件的 LET 阈值较低, 质子足以通过直接电离在被测器件中引

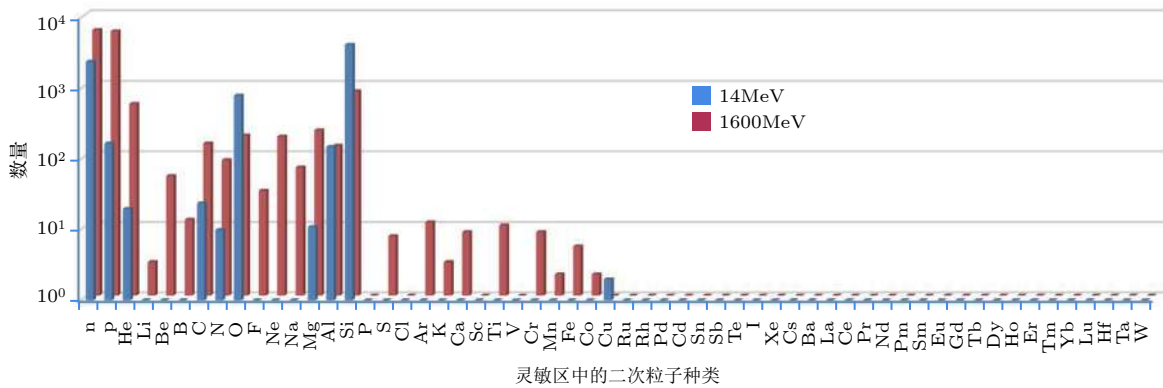


图 10 14 MeV 和 1600 MeV 中子在器件灵敏区中产生的二次粒子分布 (器件模型中的 W 材料被二氧化硅替代)

Fig. 10. 14 MeV and 1600 MeV neutron induced secondary particle distribution in the device SV (W material in the device model is replaced by silica).

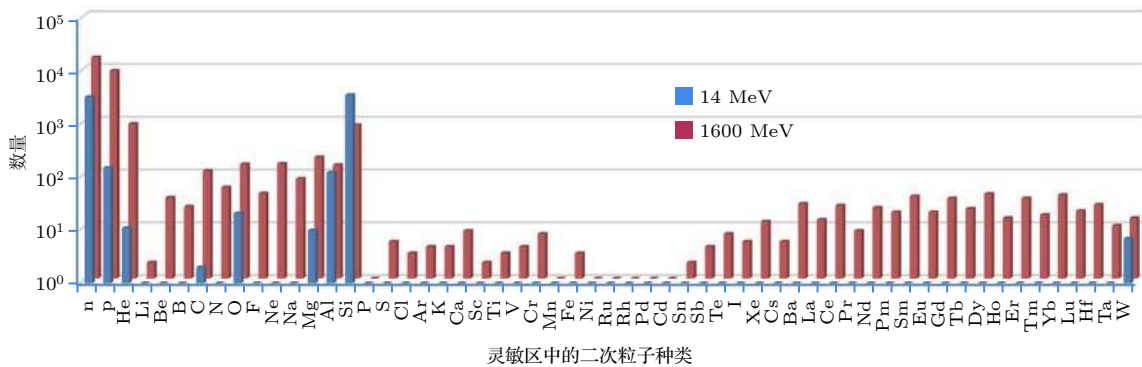


图 11 14 MeV 和 1600 MeV 中子在器件灵敏区中产生的二次粒子分布 (真实器件模型)

Fig. 11. 14 MeV and 1600 MeV neutron induced secondary particle distribution in the device SV (real device model).

起 SEU. 可以判断, 在被测器件中, 引起 SEU 的二次粒子主要为 p, He, Si, O 等粒子.

图 12 进一步给出了 14 MeV 和 1600 MeV 中子在器件灵敏区中产生的二次粒子的 LET 值与射程分布. 图 13 为 14 MeV 和 1600 MeV 中子在器件灵敏区中的沉积电荷. 可见: 1) 二次粒子在灵敏区中的 LET 值、射程和沉积能量与中子能量密切相关, 中子能量越大, 二次粒子的电离能力越强, 沉积能量更高; 灵敏区中二次粒子的 LET 值最高可达约 $22 \text{ MeV}\cdot\text{cm}^2\cdot\text{mg}^{-1}$; 2) 高能中子在灵敏区中产生大量的射程长、LET 值高的二次粒子, 这些二次粒子是图 7 中多位翻转的产生诱因.

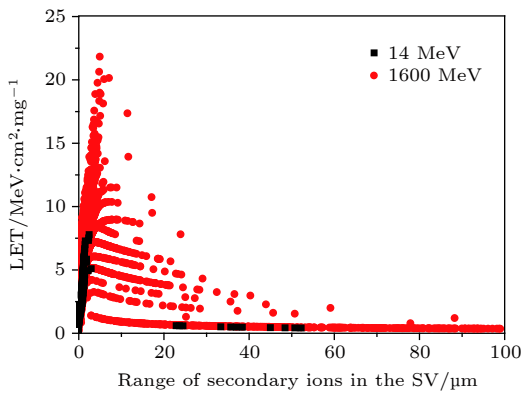


图 12 14 MeV 和 1600 MeV 中子在器件灵敏区中产生的二次粒子的 LET 值与射程

Fig. 12. The LET value and range of secondary particles generated by 14 MeV and 1600 MeV neutrons in the device SV.

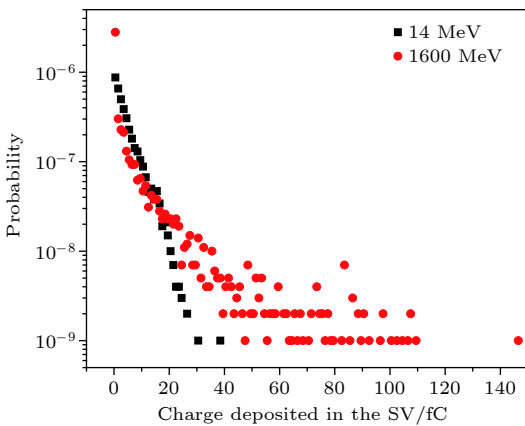


图 13 14 MeV 和 1600 MeV 中子在器件灵敏区中的沉积电荷

Fig. 13. The deposition charge of 14 MeV and 1600 MeV neutrons in the device SV.

基于图 6 可对 14 nm FinFET SRAM 产生 SEU 的临界电荷进行计算. 根据文献 [21] 中 (5) 式,

得出临界电荷

$$Q_c = \frac{\text{LET}_{\text{th}} \times \rho_{\text{Si}} \times d}{3.6 \times 10^{-6}} \times 1.6 \times 10^{-4}, \quad (2)$$

其中 Q_c 为临界电荷, 单位为 fC; LET_{th} 为诱发 SEU 的 LET 阈值, 单位为 $\text{MeV}\cdot\text{cm}^2\cdot\text{mg}^{-1}$; ρ_{Si} 为硅材料的密度, 单位为 mg/cm^3 ; d 为灵敏区的厚度, 单位为 cm. 认为灵敏区的厚度为 Fin 高 (45 nm), 则计算可得, 14 nm FinFET SRAM 产生 SEU 的临界电荷约为 0.05 fC. 根据文献 [18,19], 65 nm 工艺 SRAM 器件的临界电荷约为 1 fC. 而图 13 中, 二次粒子在灵敏区中的沉积电荷最高可达上百 fC, 足以引起单粒子翻转.

4 结 论

结合使用散裂中子源实验和中子输运仿真的方法, 针对 14 nm FinFET 和 65 nm SRAM 开展 SEU, MBU 特性及内在机理研究. 结果表明, 相比于 65 nm 器件, 14 nm FinFET 器件的 $E > 10 \text{ MeV}$ 中子单粒子翻转截面下降至约 1/40, 而多位翻转比例从 2.2% 增大至 7.6%, 源于 14 nm FinFET 器件灵敏区尺寸 ($80 \text{ nm} \times 30 \text{ nm} \times 45 \text{ nm}$)、间距和临界电荷 (0.05 fC) 的减小. 多位翻转的主要形式为两位翻转、三位翻转和四位翻转. 不同于 65 nm 器件对热中子免疫的现象, 14 nm FinFET 器件中 M0 附近 ^{10}B 元素的使用导致其表现出一定的热中子敏感性, 其热中子 SEU 截面比 $E > 10 \text{ MeV}$ 中子 SEU 截面减小至约 1/4.8.

基于反向分析获得的器件横切面和存储区图像建立器件模型, 开展 Geant4 中子输运仿真. $E > 10 \text{ MeV}$ 中子在器件灵敏区中产生丰富的二次粒子分布, 从 n, p 覆盖至 W. 中子能量、灵敏区附近 W 塞的存在与否对灵敏区中二次粒子的种类和产生概率有重要影响. 分析计算表明, 高能中子在器件灵敏区中产生的大量的射程长、LET 值高的高 Z 二次粒子是多位翻转的产生诱因, 而单粒子翻转主要来自于 p, He, Si 等轻离子的贡献.

参考文献

- [1] Lu D D, Dunga M V, Lin C S, Niknejad A M, Hu C 2007 *IEEE International Electron Devices Meeting Washington, DC, USA, December 10–12, 2007* p565
- [2] Park T, Choi S, Lee D H, Yoo J R, Lee B C, Kim J Y, Lee C G, Chi K K, Hong S H, Hymn S J, Shin Y G, Han J N, Park I

- S, Chung U I, Moon J T, Yoon E, Lee J H 2003 *Symposium on VLSI Technology* Kyoto, Japan, June 10–12, 2003 p135
- [3] Manoj C R, Meenakshi N, Dhanya V, Rao V R 2007 *International Workshop on Physics of Semiconductor Devices Mumbai, India, December 16–20, 2007* p134
- [4] Ma C, Li B, Zhang L, He J, Zhang X, Lin X, Chan M 2009 *10th International Symposium on Quality Electronic Design* San Jose, CA, USA, March 16–18, 2009 p7
- [5] Bhuvra B 2018 *IEEE International Electron Devices Meeting (IEDM) San Francisco, CA, USA, December 1–5, 2018* p34.4.1
- [6] Lei Z F, Zhang Z G, En Y F, Huang Y 2018 *Chin. Phys. B* **27** 066105
- [7] JESD89 A *Measurement and Reporting of Alpha Particle and Terrestrial Cosmic Ray-Induced Soft Errors in Semiconductor Devices* JEDEC standard, October 2006
- [8] May T C, Woods M H 1979 *IEEE Trans. Electron Dev.* **ED-26** 2
- [9] Autran J L, Munteanu D, Sauze S, Gasiot G, Roche P 2014 *IEEE Radiation Effects Data Workshop (REDW)* Paris, France, July 14–18, 2014 p1
- [10] Auden E C, Quim H M, Wender S A, O’Donnell J M, Lisowski P W, George J S, Xu N, Black D A, Black J D 2019 *IEEE Trans. Nucl. Sci.* Early Access 1
- [11] Weulersse C, Houssany S, Guibbaud N, Segura-Ruiz J, Beaucour J, Miller F, Mazurek M 2018 *IEEE Trans. Nucl. Sci.* **65** 1851
- [12] Zhang H, Jiang H, Brockman J D, Assis T R, Fan X, Bhuvra B L, Narasimham B, Wen S J, Wong R 2017 *IEEE International Reliability Physics Symposium (IRPS)* Monterey, CA, USA, April 2–6, 2017 p3 D-3.1
- [13] Seifert N, Jahinuzzaman S, Velamala J, Ascazubi R, Patel N, Gill B, Basile J, Hicks J 2015 *IEEE Trans. Nucl. Sci.* **62** 2570
- [14] Fang Y, Oates A S 2011 *IEEE Trans. Dev. Mater. Reliab.* **11** 551
- [15] Wang X, Zhang F Q, Chen W, Guo X Q, Ding L L, Luo Y H 2019 *Acta Phys. Sin.* **68** 052901 (in Chinese) [王勋, 张凤祁, 陈伟, 郭晓强, 丁李利, 罗尹虹 2019 *物理学报* **68** 052901]
- [16] Ziegler J F, Biersack J P, Littmark U 1985 *The Stopping and Range of Ions in Solids* (New York: Pergamon Press)
- [17] SRIM & TRIM, Ziegler J F <http://www.srim.org/> [2019-7-11]
- [18] Zhang Z G, Lei Z F, En Y F, Liu J 2016 *Radiation Effects on Components & Systems Conference (RADECS)* Bremen, Germany, September 19–23, 2016 Paper H14
- [19] Sierawski B D, Mendenhall M H, Reed R A, Clemens M A, Weller R A, Schrimpf R D, Blackmore E W, Trinczek M, Hitti B, Pellish J A, Baumann R C, Wen S J, Wong R, Tam N 2010 *IEEE Tran. Nucl. Sci.* **57** 3273
- [20] Agostinelli S, Allison J, Amako K, et al. 2003 *Nucl. Instrum. Meth. Phys. Res. A* **506** 250
- [21] Zhang Z G, Liu J, Sun Y M, Hou M D, Tong T, Gu S, Liu T Q, Geng C, Xi K, Yao H J, Luo J, Duan J L, Mo D, Su H, Lei Z F, En Y F, Huang Y 2014 *10th International Conference on Reliability, Maintainability and Safety (ICRMS)* Guangzhou, China, August 6–8, 2014 p114

Comparison of neutron induced single event upsets in 14 nm FinFET and 65 nm planar static random access memory devices*

Zhang Zhan-Gang¹⁾ Lei Zhi-Feng^{1)†} Tong Teng²⁾ Li Xiao-Hui²⁾
 Wang Song-Lin³⁾ Liang Tian-Jiao³⁾ Xi Kai⁴⁾ Peng Chao¹⁾
 He Yu-Juan¹⁾ Huang Yun¹⁾ En Yun-Fei¹⁾

1) (*Science and Technology on Reliability Physics and Application of Electronic Component Laboratory, China Electronic Product Reliability and Environmental Testing Research Institute, Guangzhou 510610, China*)

2) (*Institute of High Energy Physics, Chinese Academy of Sciences, Beijing 100049, China*)

3) (*Spallation Neutron Source Science Center, Dongguan 523803, China*)

4) (*Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China*)

(Received 8 August 2019; revised manuscript received 20 December 2019)

Abstract

Based on the wide-spectrum neutron beam (covering thermal neutrons and $E > 10$ MeV neutrons, with maximum energy of 1.6 GeV) provided by the China Spallation Neutron Source (CSNS), this paper focuses on the single event effect study of 14 nm FinFET large-capacity SRAM and 65 nm planar process SRAM device, using combined techniques of irradiation experiment, reverse analysis, and Monte-Carlo neutron transport simulation. The aim is to reveal the effect of integrated circuit process changing on the sensitivity of neutron induced single-bit and multiple-bit upsets (MBU), and to analyze the inner mechanisms, including the distribution of secondary particles in the sensitive volume, the characteristics of deposited charges, etc.

The results show that compared with the 65 nm device, single event upset (SEU) cross section of the 14 nm FinFET device, induced by $E > 10$ MeV neutrons, is reduced by about 40 times, while the MBU ratio increases from 2.2% to 7.6%, which is due to the reduction of sensitive volume size of the 14 nm FinFET device (80 nm \times 30 nm \times 45 nm), pitch, and critical charge (0.05 fC). The main forms of MBU are double-bit upset, triple-bit upset and quadruple-bit upset. Unlike the phenomenon that the 65 nm device is immune to thermal neutrons, the use of the ^{10}B element near M0 in the 14 nm FinFET device causes it to present the thermal neutron sensitivity to a certain extent. The SEU cross section induced by thermal neutrons is about 4.8 times smaller than that induced by $E > 10$ MeV neutrons.

Based on the device cross-section and memory area images obtained from the reverse analysis, a device model is established and neutron transport simulation based on Geant4 toolkit is carried out. The $E > 10$ MeV neutrons result in abundant secondary particle distribution in the sensitive volume of the device, covering n, p into even W. The neutron energy and presence or absence of the W plug near the sensitive volume have an important influence on the type and probability of secondary particles in the sensitive volume. The analysis and calculations show that a large number of high- Z secondary particles with long range and large LET values generated by high-energy neutrons in the sensitive volume of the device are the inducement of MBU, and SEUs mainly result from the contribution of light ions such as p, He, and Si.

Keywords: FinFET, neutron, single event upset, nuclear reaction

PACS: 61.80.Hg, 61.82.Fk, 85.40.-e, 02.50.Ng

DOI: 10.7498/aps.69.20191209

* Project supported by the National Natural Science Foundation of China (Grant No. 61704031), the Science and Technology Research Project of Guangdong, China (Grant Nos. 2017B090901068, 2017B090921001), and the Science and Technology Plan Project of Guangzhou, China (Grant No. 201707010186).

† Corresponding author. E-mail: leizf@ceprei.com