

短沟道金属-氧化物半导体场效应晶体管的散粒噪声模型*

张梦 姚若河[†] 刘玉荣 耿魁伟

(华南理工大学电子与信息学院, 广州 510641)

(2020年4月5日收到; 2020年5月23日收到修改稿)

随着金属-氧化物半导体场效应晶体管 (MOSFET) 器件的尺寸进入到纳米量级, 器件的噪声机理逐渐开始转变. 传统的热噪声与漏源电流模型精度出现下降, 散粒噪声成为器件噪声不可忽略的因素. 本文通过求解能量平衡方程, 推导了短沟道 MOSFET 器件的沟道电子温度和电子速度表达式, 由此建立了漏源电流模型; 基于漏源电流模型建立了适用于 40 nm 以下器件的散粒噪声模型和热噪声模型. 研究了 n 型金属-氧化物半导体场效应晶体管 (NMOSFET) 器件在不同偏置电压下, 器件尺寸对散粒噪声抑制因子和噪声机理的影响. 研究表明: 已有的热噪声模型与散粒噪声模型的精度随着器件尺寸的减小而下降, 导致相应的散粒噪声抑制因子被高估. 当 NMOSFET 器件的尺寸减小到 10 nm 时, 器件的噪声需由热噪声与受抑制的散粒噪声共同表征. 本文建立的短沟道器件散粒噪声模型可应用于纳米尺寸 NMOSFET 器件噪声性能的分析与建模.

关键词: 散粒噪声, 抑制因子, 电子温度, 短沟道, 场效应晶体管

PACS: 71.23.An, 68.60.Dv, 72.70.+m

DOI: 10.7498/aps.69.20200497

1 引言

随着金属-氧化物半导体场效应晶体管 (metal-oxide-semiconductor field-effect transistor, MOSFET) 器件尺寸的减小, 短沟道 MOSFET 器件中存在过量的噪声^[1]. 针对过量噪声产生的原因主要有两种观点: 第一种观点认为器件的短沟道效应导致沟道热噪声增大产生过量噪声; 第二种观点认为散粒噪声的出现导致器件出现过量噪声. 对于长沟道 MOSFET 器件, 载流子从源极进入沟道后, 在电场的作用下经历多次散射最终到达器件的漏极, 多次散射形成的沟道电阻导致器件沟道产生热噪声. 长沟道器件的沟道噪声主要为热噪声. 随着 MOSFET 器件的尺寸进入 40 nm 级及以下, 载流子的运输机理从漂移-扩散输运开始逐渐转变为准

弹道输运甚至弹道输运^[2], 载流子从器件的源极进入沟道需要先克服沟道界面处的能量势垒, 导致器件沟道出现与势垒有关的散粒噪声^[3,4]. 对于长沟道 MOSFET 器件, 由于载流子从源极进入沟道时几乎没有势垒的存在, 因此基本上不存在散粒噪声^[5]. 随着 MOSFET 器件尺寸进入几十纳米级并且持续减小, 器件沟道噪声的机理开始由热噪声逐渐向散粒噪声转变, 散粒噪声在沟道噪声所占的比例逐渐增大, 成为器件沟道出现过量噪声的主要原因之一^[6].

当 MOSFET 器件工作在强反型区时, 散粒噪声表现为受抑制的散粒噪声; 当器件工作在弱反型区时, 散粒噪声表现为全散粒噪声并且此时散粒噪声成为器件的主要噪声^[7,8]. 随着栅源电压增大, 器件的势垒高度会随栅源电压的增大而降低^[9], 散粒噪声的抑制因子随之降低, 而漏源电压对散粒噪声

* 广东省重点领域研发计划 (批准号: 2019B010143003) 和国家自然科学基金 (批准号: 61871195) 资助的课题.

[†] 通信作者. E-mail: phrhyao@scut.edu.cn

抑制因子的影响很小^[2]. 由于在低噪声放大电路等应用中, MOSFET 器件通常工作在强反型区, 因此本文主要研究 MOSFET 器件工作在强反型区时的散粒噪声. 通过对多种尺寸 MOSFET 器件的噪声进行分析, 文献^[10]发现当器件尺寸减小到 100 nm 以内并继续减小时, 器件在强反型区中的噪声机理将从热噪声逐渐转变为散粒噪声. 并且文献^[11]首次通过实验观察到散粒噪声的存在, 认为在 10 nm 尺寸下 MOSFET 器件的沟道噪声主要为全散粒噪声. 然而以往的文献对散粒噪声的研究仍然存有争议. 首先是器件尺寸对噪声机理的影响, 一些文献认为当 MOSFET 器件的尺寸减小到 40 nm 或以下时, 器件在强反型区中的噪声主要表现为受抑制的散粒噪声^[12–14]; 也有一些文献认为器件尺寸在 45 nm 甚至在 60 nm 时, 受抑制的散粒噪声开始显著影响器件的噪声性能, 是产生过量噪声的主要因素^[5]. 文献中另一个争议为当受抑制的散粒噪声开始成为主要噪声, 是否还需要考虑热噪声的影响. 一些文献认为当 MOSFET 器件的尺寸减小到上述尺寸节点后, 可以仅由受抑制的散粒噪声来表征沟道噪声, 不需要考虑热噪声的影响^[15,16]; 也有一些文献认为需要同时考虑两种噪声的影响, 但是受抑制的散粒噪声为主要的噪声^[17,18].

散粒噪声的机理建立在弹道输运理论的基础上, 该理论认为电子进入器件的沟道后经历少量散射甚至不经历散射直接到达漏极^[19]. 对于 40 nm 尺寸的 n 型 MOSFET (NMOSFET) 器件, 由于电子在沟道中的平均自由程约为 7 nm, 那么每个电子从源极进入沟道运动到漏极平均会经历 6 次散射, 并且考虑 Si-SiO₂ 界面散射, 电子散射的次数会进一步增加^[20]. 因此即使电子的输运开始由漂移-扩散输运向准弹道输运过渡, 器件的沟道中仍然存在沟道电阻, 沟道热噪声的影响依然存在. 当器件尺寸减小到散粒噪声开始对噪声机理产生影响, 现有文献采用的传统热噪声模型已不能准确表征器件的热噪声, 导致在分析热噪声与散粒噪声对沟道噪声的影响时出现偏差, 影响到对器件噪声机理的分析. 此外, 器件中强电场导致的短沟道效应也会影响漏源电流的计算, 进而影响到散粒噪声抑制因子计算的精度.

本文通过解能量平衡方程建立沟道电子的温度模型与速度模型, 进而建立漏源电流模型, 并在该模型的基础上建立散粒噪声模型和热噪声模型,

计算了散粒噪声抑制因子; 研究了在不同偏置电压下, 器件尺寸对散粒噪声、散粒噪声抑制因子和噪声机理的影响.

2 模型推导

散粒噪声的出现需要满足两个条件: 必须要有直流电流以及在沟道界面处有能量势垒^[7]. (1) 式为典型的散粒噪声表达式, 其中 q 表示电子电荷, I_{DS} 表示漏源电流, F 为散粒噪声的抑制因子. 当 $F = 1$ 时, (1) 式被称为全散粒噪声; 当 $F < 1$ 时, (1) 式被称为受抑制的散粒噪声^[3]. 散粒噪声的抑制因子反映了散粒噪声被抑制的程度^[21],

$$S_{id,shot} = F \cdot 2qI_{DS}. \quad (1)$$

一些文献认为仅用受抑制的散粒噪声即可表征器件的沟道噪声, 然而在实际的 MOSFET 器件中, 沟道热噪声是不可避免的, 因此器件沟道中的总噪声应为

$$\begin{aligned} S_{id,tot} &= S_{id,shot} + S_{id,thermal} \\ &= F \cdot 2qI_{DS} + S_{id,thermal}, \end{aligned} \quad (2)$$

其中 $S_{id,tot}$ 表示总沟道噪声; $S_{id,thermal}$ 表示器件的沟道热噪声. 此时散粒噪声的抑制因子为

$$F = \left| \frac{S_{id,tot} - S_{id,thermal}}{2qI_{DS}} \right|. \quad (3)$$

由 (3) 式可知, 散粒噪声抑制因子的计算受沟道热噪声与漏源电流 I_{DS} 的影响. 为研究散粒噪声和散粒噪声的抑制因子, 需要先建立漏源电流模型.

2.1 漏源电流模型

NMOSFET 器件的结构示意图如图 1 所示, y 轴的方向设为由源极沿器件沟道指向漏极, 取源极与沟道的交界处为原点, x 轴的方向为垂直于 y 轴的纵向方向, 由 SiO₂ 与衬底间的界面指向衬底方向. 图 1 中, L_{elec} 表示电学沟道长度, L_{eff} 表示有效沟道长度, 受沟道长度调制效应的影响, $L_{eff} = L_{elec} - \Delta L$. 在 NMOSFET 器件中, 通常将沟道分为两个区域: 线性沟道区 ($0 \leq y \leq L_{elec}$) 与速度饱和区 ($L_{elec} \leq y \leq L_{eff}$)^[22,23], 其中 $y = L_{elec}$ 为夹断点, 该点的电压 $V_{DS}(y = L_{elec}) = V_{DSAT}$ 被称为饱和电压, 因此该点也被称为饱和电压点. 由于器件的沟道噪声出现在线性沟道区^[24], 因此本文主要研究线性沟道区中的噪声.

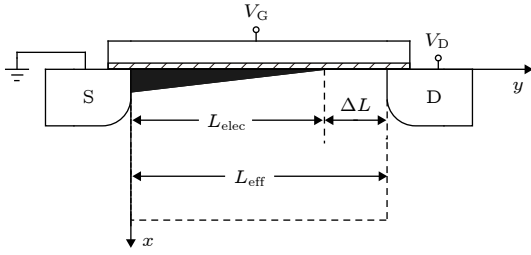


图 1 NMOSFET 器件的结构示意图

Fig. 1. Structure diagram of the NMOSFET device.

在 MOSFET 器件的线性沟道区中, 通常认为电流的表达式可以看作一维表达式, 电流只沿 y 方向流动, 器件的漏源电流方程可以表示为^[25]

$$I_{DS}(y) = -WQ_1(y)v_d, \quad (4)$$

其中 W 表示器件的有效沟道宽度; v_d 表示沟道电子速度; Q_1 表示反型层电荷密度, 其表达式为

$$Q_1 = -C_{ox}[V_{GT} - \alpha V_{CB}(y)], \quad (5)$$

其中 C_{ox} 表示单位面积的栅氧化层电容; α 为体因子项; $V_{CB}(y)$ 为沟道电势; $V_{GT} = V_{GS} - V_{TH}$, V_{TH} 为阈值电压且 $V_{TH} = V_{TH0} - \sigma V_{DS}$, σ 为漏致势垒降低 (DIBL) 效应因子.

对于纳米级 MOSFET 器件, 需要在计算电流密度和电子速度时考虑电子温度梯度的影响. 考虑了电子温度梯度项的电流密度如 (6) 式所示^[26], 其中第一项与第三项为传统的漂移-扩散表达式, 第二项为电子温度梯度表征的电流. 当器件工作在强反型区时, 忽略 (6) 式中的扩散电流项, 得到电子速度如 (7) 式所示, 其中 k_B 为玻尔兹曼常数; E_y 表示沟道横向电场, T_e 表示电子温度. (6) 式与 (7) 式中的 J_n , v_d 与 E_y 等均表示该物理量的绝对值.

$$J_n = nq\mu_n E_y + n\mu_n k_B \frac{\partial T_e}{\partial y} + k_B T_e \mu_n \frac{\partial n}{\partial y}, \quad (6)$$

$$v_d = \mu_n \left(E_y + \frac{k_B}{q} \frac{\partial T_e}{\partial y} \right). \quad (7)$$

(6) 式与 (7) 式中的迁移率 μ_n 表示受电子温度影响的沟道迁移率, 其与电子温度的关系为^[22,27]

$$\mu_n = \mu_{n0} \sqrt{\frac{T_L}{T_e}}, \quad (8)$$

其中 T_L 表示晶格温度且 $T_L = T_0 = 300$ K; μ_{n0} 表示受垂直电场影响的迁移率^[28].

为结合 (4) 式与 (7) 式计算漏源电流, 需要通过解 (9) 式中的能量平衡方程^[29] 计算电子温度:

$$\frac{\partial W_n}{\partial t} = -\frac{\partial}{\partial y} \left[(W_n + nk_B T_e) v_d + \kappa \frac{\partial T_e}{\partial y} \right] + J_n E - \frac{(W_n - W_0)}{\tau_e}, \quad (9)$$

其中 W_0 与 W_n 分别表示电子在热平衡状态以及温度为 T_e 时的能量密度, 并且 $W_0 = 3nk_B T_L/2$, $W_n = 3nk_B T_e/2$; κ 表示热导率. 电子温度 T_e 与能量弛豫时间 τ_e 的关系为 ($d = 10^{-8}$ W)^[26]:

$$\frac{1}{\tau_e} = \frac{2}{3} \frac{d}{k_B T_L} \sqrt{\frac{T_L}{T_e}}. \quad (10)$$

将 (6) 式、(7) 式、(8) 式和 (10) 式代入 (9) 式中, 忽略二阶项, 在稳态时 ($\partial W_n / \partial t = 0$) 且 $\partial(nv_d) / \partial y = 0$, 在解能量平衡方程时考虑电子温度梯度的变化, 最终解得电子温度和电子速度的表达式分别为

$$T_e(y) = T_0 + \frac{\mu_{n0} T_0 q E_y^2}{d} (1 - e^{-Py}), \quad (11)$$

其中

$$P = \frac{2d}{3k_B \mu_{n0} T_0 E_y},$$

$$v_d = \frac{\mu_{n0} E_y}{\sqrt{T_e/T_0}} \left[1 + \frac{2}{3} \exp(-P \cdot y) \right]. \quad (12)$$

(11) 式和 (12) 式为本文建立的电子温度模型和电子速度模型. 为了计算 (11) 式和 (12) 式, 需要建立器件线性沟道区的沟道横向电场模型. 沟道横向电场的定义为 $E_y = dV_{CB}/dy$, 并且沟道电势 V_{CB} 的表达式为^[30]

$$V_{CB}(y) = V_{DSAT} \left(1 - \sqrt{1 - \frac{y}{L_{elec}}} \right). \quad (13)$$

但是通过 (13) 式计算出的电场表达式具有一定的缺陷, 当 $y \rightarrow L_{elec}$ 时, 计算出的电场 $E_y \rightarrow \infty$. 通过利用 $E_y(y = L_{elec}) = E_C$ 这一边界条件, 可以将沟道横向电场修改为

$$E_y = \frac{dV_{CB}/dy}{1 + \frac{1}{E_C} \cdot \frac{dV_{CB}}{dy}} \quad (0 \leq y \leq L_{elec}). \quad (14)$$

(14) 式为建立的沟道横向电场模型. 将 (12) 式和 (14) 式代入 (4) 式中, 得到漏源电流的表达式为

$$I_{DS} = W(-Q_1) \frac{\mu_{n0}}{\sqrt{T_e/T_0}} \left(1 + \frac{2}{3} e^{-Py} \right) \times \frac{1}{1 + E_{CB}/E_C} \cdot \frac{dV_{CB}}{dy}, \quad (15)$$

其中 $E_{CB} = dV_{CB}/dy$. (15) 式在计算漏源电流时

考虑了电子温度、迁移率降低效应以及电子温度梯度. 在线性沟道区中对 (15) 式沿沟道方向求原点 $y = 0$ 到饱和电压点 $y = L_{\text{elec}}$ 积分, 计算出漏源电流为

$$I_{\text{DS}} = \frac{W}{L_{\text{elec}}} \int_0^{L_{\text{elec}}} \frac{\mu_{\text{n0}}}{\sqrt{T_e/T_0}} (-Q_1) \left(1 + \frac{2}{3}e^{-Py}\right) \times \frac{E_{\text{CB}}}{1 + E_{\text{CB}}/E_C} dy. \quad (16)$$

(16) 式用于计算纳米级短沟道 MOSFET 器件的漏源电流, 在推导过程中考虑了沟道长度调制效应、迁移率降低效应和热载流子效应.

2.2 热噪声模型

计算热噪声的器件结构示意图如图 2 所示^[31]. 假设在 NMOSFET 器件的沟道线性区中, 对任意一点 $y = y_1$, 在长度为 Δy 的小分段 ($y_1, y_1 + \Delta y$) 内存在一个忽略长度的噪声电压源 Δv . MOSFET 器件的线性沟道区由此可以被分成两部分: 第一部分为从 $y = 0$ 到 $y = y_1$; 第二部分为从 $y = y_1$ 到夹断点 $y = L_{\text{elec}}$. 图 2(a) 中噪声电压源 Δv 与无噪声电阻 ΔR 的串联电路可以转化为图 2(b) 中噪声电流源 Δi 与无噪声电阻 ΔR 的并联电路. 在带宽为 Δf 时, 噪声电压源 Δv 的功率谱密度为

$$\overline{(\Delta v)^2} = 4k_B T_e \Delta R \cdot \Delta f, \quad (17)$$

其中 $\Delta R = \Delta V_{\text{CB}}/I_{\text{DS}}$.

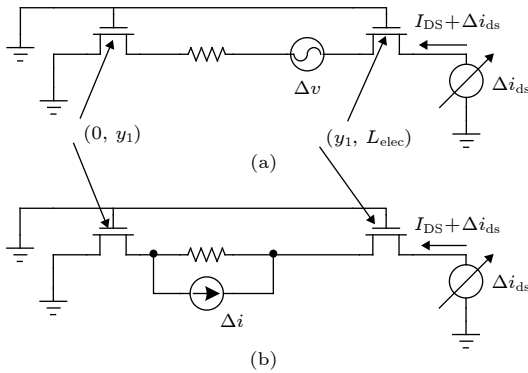


图 2 沟道中含虚拟直流源的晶体管结构图

Fig. 2. Schematic diagram of the transistor with a fictitious dc source in the channel.

结合图 2 与漏源电流方程 (15) 式推导热噪声电流, 考虑横向电场沿沟道方向显著升高的影响, (15) 式中的 $(1 + E_{\text{CB}}/E_C)$ 项需要放在等号的右边. 在 $(0, y_1)$ 与 (y_1, L_{elec}) 两个分段内包含噪声电流的总漏源电流为

$$\int_0^{y_1} (I_{\text{DS}} + \Delta i_{\text{ds}}) dy = - \int_0^{V_1} W \frac{\mu_{\text{n0}}}{\sqrt{T_e/T_0}} Q_1 \left(1 + \frac{2}{3}e^{-Py}\right) \times \frac{1}{1 + E_{\text{CB}}/E_C} dV_{\text{CB}}, \quad (18a)$$

$$\int_{y_1}^{L_{\text{elec}}} (I_{\text{DS}} + \Delta i_{\text{ds}}) dy = - \int_{V_1 + \Delta v}^{V_{\text{DSeff}}} W \frac{\mu_{\text{n0}}}{\sqrt{T_e/T_0}} Q_1 \left(1 + \frac{2}{3}e^{-Py}\right) \times \frac{1}{1 + E_{\text{CB}}/E_C} dV_{\text{CB}}, \quad (18b)$$

其中 V_1 和 V_{DSeff} 分别表示 $y = y_1$ 和 $y = L_{\text{elec}}$ 点的沟道电势. 将 (18a) 式与 (18b) 式相加求总漏源电流从原点 $y = 0$ 沿沟道方向到夹断点 $y = L_{\text{elec}}$ 的积分, 结合 (16) 式以及积分中值定理, 可得

$$\Delta i_{\text{ds}} = \frac{W}{L_{\text{elec}}} \frac{\mu_{\text{n0}}}{\sqrt{T_e/T_0}} Q_1 \left(1 + \frac{2}{3}e^{-Py}\right) \times \frac{1}{1 + E_{\text{CB}}/E_C} \cdot \Delta v. \quad (19)$$

同时取 (19) 式等号两边的平方, 并结合 (17) 式可得

$$\frac{\overline{(\Delta i_{\text{ds}})^2}}{\Delta f} = 4k_B T_e \left[\frac{W}{L_{\text{elec}}} \frac{\mu_{\text{n0}}}{\sqrt{T_e/T_0}} Q_1 \left(1 + \frac{2}{3}e^{-Py}\right) \times \frac{1}{1 + E_{\text{CB}}/E_C} \right]^2 \Delta R, \quad (20)$$

其中 $\Delta R = \Delta V_{\text{CB}}/I_{\text{DS}}$, 对 (20) 式在线性沟道区中沿沟道方向求原点 $y = 0$ 到饱和电压点 $y = L_{\text{elec}}$ 的积分, 得到热噪声表达式为

$$S_{\text{id,thermal}} = \int_0^{V_{\text{DSeff}}} 4k_B T_e \left[\frac{W}{L_{\text{elec}}} \frac{\mu_{\text{n0}}}{\sqrt{T_e/T_0}} Q_1 \left(1 + \frac{2}{3}e^{-Py}\right) \times \frac{1}{1 + E_{\text{CB}}/E_C} \right]^2 \frac{1}{I_{\text{DS}}} dV = \left(\frac{W}{L_{\text{elec}}} \mu_{\text{n0}} \right)^2 \frac{4k_B T_0}{I_{\text{DS}}} \int_0^{L_{\text{elec}}} \left[Q_1 \left(1 + \frac{2}{3}e^{-Py}\right) \times \frac{1}{1 + E_{\text{CB}}/E_C} \right]^2 E_{\text{CB}} dy, \quad (21)$$

其中 I_{DS} 为 (16) 式中纳米级短沟道 MOSFET 器件的漏源电流. (21) 式考虑了沟道长度调制效应, 在推导过程中考虑了沟道横向电场沿沟道显著变

化对热噪声的影响, 在计算过程中考虑了由电子温度表征的迁移率降低效应的影响, 同时式中的 $[1 + (2/3)e^{-Py}]$ 项考虑了电子温度梯度项对热噪声计算的影响.

2.3 散粒噪声模型

通过 (1) 式与漏源电流 (16) 式, 计算出散粒噪声的表达式为

$$S_{id,shot} = F \cdot 2q \frac{W}{L_{elec}} \int_0^{L_{elec}} \frac{\mu_{n0}}{\sqrt{T_e/T_0}} (-Q_I) \times \left(1 + \frac{2}{3}e^{-Py}\right) \cdot \frac{E_{CB}}{1 + E_{CB}/E_C} dy, \quad (22)$$

其中 T_e 通过 (11) 式计算. 当 $F = 1$ 时, (22) 式为全散粒噪声. 针对短沟道 NMOSFET 器件, (22) 式中的 $[1 + (2/3)e^{-Py}] \cdot E_{CB}$ 项在计算时结合了横向电场和电子温度梯度项, 反映了沟道横向电场与电子温度变化对散粒噪声的影响. 对于短沟道 MOSFET 器件, 由于横向电场、迁移率降低效应和电子温度已经显著影响了器件的性能, 相比于现有的散粒噪声表达式, (22) 式更适用于计算工作在强反型区的短沟道 MOSFET 器件的散粒噪声.

沟道横向电场和电子温度也影响到散粒噪声抑制因子的计算. 将 (16) 式、(21) 式与 (22) 式代入 (3) 式中计算抑制因子, 其计算结果反映了上述物理效应对散粒噪声抑制因子的影响, 也反映了在这些物理效应的影响下, 散粒噪声在过量噪声中的比重, 以及短沟道 MOSFET 器件的噪声机理随器件尺寸的变化.

3 分析与讨论

3.1 传统噪声模型

(23) 式和 (25) 式为传统的漏源电流表达式, (23) 式考虑了沟道长度调制效应, (25) 式考虑了沟道长度调制效应和迁移率降低效应. (24) 式和 (26) 式分别为基于 (23) 式和 (25) 式的沟道热噪声表达式^[10,31,32], (24) 式仅考虑了沟道长度调制效应的影响, (26) 式考虑了迁移率降低效应, 并且基于传统电子温度模型 $T_e = T_0(1 + E_y/E_C)^n$ ($n = 1$ 或 2)^[33] 考虑了热载流子效应.

$$I_{DS} = \frac{W}{L_{elec}} \mu_{n0} \int_0^{V_{DSeff}} (-Q_I) dV, \quad (23)$$

$$S_{id0} = \frac{4k_B T_0}{I_{DS}} \left(\frac{W}{L_{elec}} \mu_{n0} \right)^2 \int_0^{V_{DSeff}} Q_I^2 dV_{CB}. \quad (24)$$

(23) 式和 (24) 式常被用于计算散粒噪声和散粒噪声抑制因子. 由于仅考虑了沟道长度调制效应的影响, 对于纳米级 MOSFET 器件, (24) 式会在一定程度上低估热噪声^[34], 导致结合 (3) 式、(23) 式和 (24) 式计算散粒噪声的抑制因子时, 计算结果的精度会随着器件尺寸的减小而出现下降, 从而不能准确反映器件的噪声机理以及散粒噪声随器件尺寸变化受抑制的情况.

$$I_{DS} = \frac{W}{L_{elec}} \cdot \frac{\mu_{n0}}{1 + \frac{V_{DSeff}}{E_C L_{elec}}} \int_0^{V_{DSeff}} (-Q_I) dV, \quad (25)$$

$$S_{id} = \left(\frac{\frac{W}{L_{elec}} \mu_{n0}}{1 + \frac{V_{DSeff}}{E_C L_{elec}}} \right)^2 \frac{1}{I_{DS}} \int_0^{V_{DSeff}} 4k_B T_e Q_I^2 dV. \quad (26)$$

不同于 (16) 式与 (21) 式考虑电子温度对迁移率降低的影响, (25) 式与 (26) 式考虑的是电场对迁移率降低的影响, 在计算时忽略了电子温度梯度.

3.2 散粒噪声模型的计算与分析

为了进一步研究与分析 MOSFET 器件工作在强反型区时, 器件尺寸对噪声机理的影响, 对全散粒噪声、沟道热噪声以及散粒噪声的抑制因子进行计算. 在计算与讨论中采用的漏源电流模型分别为: 仅考虑沟道长度调制效应的 I_{DS0} ((23) 式)、考虑了沟道长度调制效应与电场导致迁移率降低的 I_{DS1} ((25) 式) 以及本文建立的漏源电流模型 I_{DS} ((16) 式). 基于以上漏源电流模型, 通过 (1) 式计算的全散粒噪声分别为 S_{shot0} , S_{shot1} 以及 S_{shot} , 其中 S_{shot} 通过散粒噪声模型 (22) 式取 $F = 1$ 计算. 基于以上漏源电流模型, 相对应的沟道热噪声模型分别为 S_{id0} ((24) 式), S_{id1} 与 S_{id2} (分别表示 (26) 式采用传统电子温度模型取 $n = 1$ 和 $n = 2$) 以及建立的热噪声模型 S_{id} ((21) 式). 相对应地, 结合 (3) 式计算出的散粒噪声的抑制因子分别为 F_0 (通过 S_{shot0} 与 S_{id0} 计算), F_1 (通过 S_{shot1} 与 S_{id1} 计算), F_2 (通过 S_{shot1} 与 S_{id2} 计算) 和 F (通过 S_{shot} 与 S_{id} 计算), 其中 F_0 , F_1 和 F_2 采用传统模型进行计算, F 通过提出的模型进行计算.

为了分析和研究不同尺寸下的 MOSFET 器

件的散粒噪声特性, 基于文献 [35,36] 中 NMOSFET 器件的参数分别计算了尺寸为 40, 20 和 10 nm 器件的沟道热噪声、全散粒噪声和散粒噪声抑制因子. 由于 MOSFET 器件沟道与源极界面的势垒高度主要受栅源电压的影响, 进而影响到散粒噪声和散粒噪声抑制因子, 因此在考虑偏置电压的影响时主要考虑栅源电压的影响.

图 3 为有效沟道长度为 $L_{\text{eff}} = 40$ nm 时, NMOSFET 器件的沟道热噪声与全散粒噪声随栅源偏置电压变化的曲线. 图 4 为散粒噪声抑制因子随栅源偏置电压变化的曲线. 图 3 中的实验数据 $S_{\text{id}}(\text{exp.})$ 来源于文献 [14].

由图 3 所示, 热噪声模型 S_{id} ((21) 式) 的计算结果随偏置电压的变化规律, 与实验数据 $S_{\text{id}}(\text{exp.})$ 基本一致. 在以往的文献中, $L_{\text{eff}} = 40$ nm 被认为是散粒噪声的一个重要节点, 有文献认为在该节点下, NMOSFET 器件的噪声机理开始由沟道热噪声转变为受抑制的散粒噪声 [12,15], 可通过 (1) 式来表征器件的沟道噪声. 结合图 3 中传统噪声模型的计算结果与图 4 中对应的散粒噪声抑制因子可知, 如果采用现有的噪声与电流模型来计算, 散粒噪声已经开始显著影响器件的噪声性能, 成为器件出现过量噪声的主要因素. 结合图 3 中由 (21) 式计算的热噪声 S_{id} 与图 4 中对应的散粒噪声抑制因子 F , 如图所示, 在计算中考虑进电子温度梯度项后, 除了在 NMOSFET 器件刚进入强反型区, S_{id} 基本能够用于预测器件的沟道噪声, 相对应的散粒噪声抑制因子也较低并且会随 V_{GS} 增大而迅速降低. 由图 3 可知, 现有的热噪声模型在一定程度上低估了热噪声, 使得散粒噪声抑制因子在一定程度上被高估, 导致在分析散粒噪声对过量噪声的影响时, 出现较大的偏差.

$L_{\text{eff}} = 40$ nm 时, 在现有的一些文献中, 采用受抑制的散粒噪声来表征器件的沟道噪声, 但是受噪声模型精度的影响, 这一方法存在一定程度的偏差. 由图 3 与图 4 可知, 热噪声基本上仍然可以用来表征器件的沟道噪声, 而且是主要的噪声. 但是, 在器件刚进入强反型区时, 图 4 中散粒噪声的抑制因子 F 很高, 散粒噪声成为主要噪声之一. 因此虽然 $L_{\text{eff}} = 40$ nm 时, 在器件的强反型区中, 器件的主要噪声仍为沟道热噪声, 但是在低偏置电压下 NMOSFET 器件的噪声机理出现了向散粒噪声过渡的倾向, 这说明, 尽管散粒噪声对器件噪声的

影响仍然较小, 但是对器件噪声性能的影响已经开始不能忽视.

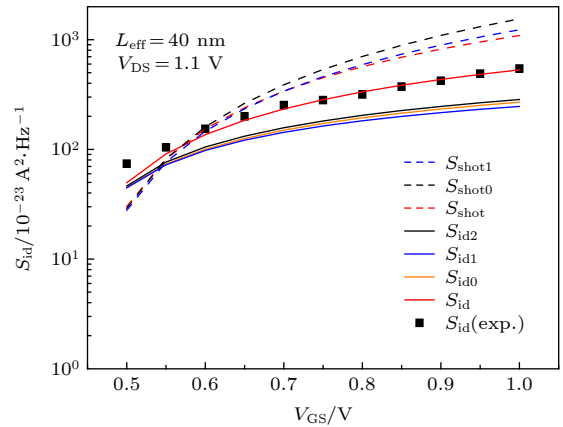


图 3 全散粒噪声和热噪声随栅源偏置电压的变化 ($L_{\text{eff}} = 40$ nm)

Fig. 3. Full-shot noise and thermal noise vs. gate-source bias voltage ($L_{\text{eff}} = 40$ nm).

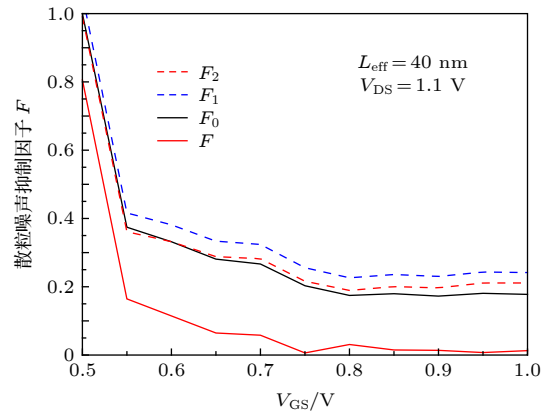


图 4 散粒噪声抑制因子随栅源偏置电压的变化 ($L_{\text{eff}} = 40$ nm)

Fig. 4. Fano factor of shot noise vs. gate-source bias voltage ($L_{\text{eff}} = 40$ nm).

图 5 为有效沟道长度为 $L_{\text{eff}} = 20$ nm 时, NMOSFET 器件的沟道热噪声与全散粒噪声随栅源偏置电压 V_{GS} 变化的曲线. 图 6 为采用 (3) 式计算的散粒噪声抑制因子随栅源偏置电压 V_{GS} 变化的曲线. 图 5 中的实验数据 $S_{\text{id}}(\text{exp.})$ 来源于文献 [11].

在图 5 与图 6 中, 若采用现有的热噪声模型与漏源电流模型, 由于现有的热噪声模型低估了沟道热噪声, 散粒噪声的影响被高估. 对比图 5 与图 3, 可以发现随着 NMOSFET 器件尺寸的减小, 图 5 中热噪声模型 S_{id} ((21) 式) 与 $S_{\text{id}}(\text{exp.})$ 之间的偏差也开始逐渐增大. 这说明除了器件的短沟道效应, 散粒噪声也开始导致器件产生过量噪声, 仅依靠沟道

热噪声已经不足以表征器件的沟道噪声, NMOSFET 器件的噪声机理由热噪声向同时存在热噪声与散粒噪声过渡. 尤其是在 V_{GS} 较低时, 散粒噪声的影响不断增大. 对比图 4 与图 6, 散粒噪声抑制因子 F 随 NMOSFET 器件尺寸减小而升高.

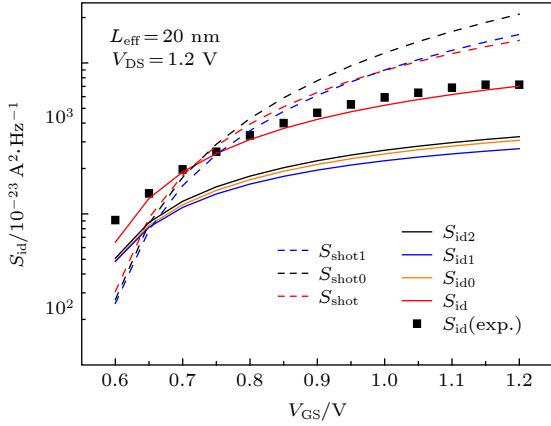


图 5 全散粒噪声和热噪声随栅源偏置电压的变化 ($L_{\text{eff}} = 20 \text{ nm}$)
 Fig. 5. Full-shot noise and thermal noise vs. gate-source bias voltage ($L_{\text{eff}} = 20 \text{ nm}$).

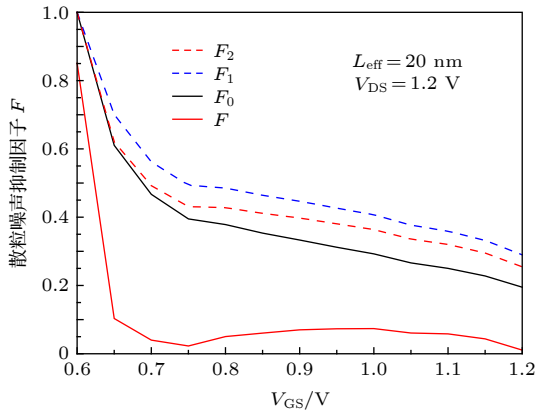


图 6 散粒噪声抑制因子随栅源偏置电压的变化 ($L_{\text{eff}} = 20 \text{ nm}$)
 Fig. 6. Fano factor of shot noise vs. gate-source bias voltage ($L_{\text{eff}} = 20 \text{ nm}$).

图 5 与图 6 所示的计算结果表明, 当 NMOSFET 器件尺寸减小至 20 nm 时, 散粒噪声已经开始成为导致器件出现过量噪声的原因之一, 器件的噪声机理随尺寸减小开始由热噪声向散粒噪声过渡.

图 7 为有效沟道长度为 $L_{\text{eff}} = 10 \text{ nm}$ 时, NMOSFET 器件的沟道热噪声与全散粒噪声随栅源偏置电压 V_{GS} 变化的曲线. 图 8 为采用 (3) 式计算的散粒噪声抑制因子随栅源偏置电压 V_{GS} 变化的曲线. 图 7 中的实验数据 $S_{\text{id}}(\text{exp.})$ 来源于文献 [11].

对比图 7 与图 5, 可以发现图 7 中 S_{id} ((21) 式)

的计算结果与 $S_{\text{id}}(\text{exp.})$ 出现较大偏差, S_{id} 与 $S_{\text{id}}(\text{exp.})$ 的偏差随器件尺寸减小而增大, S_{id} 计算出的沟道热噪声已无法单独表征 NMOSFET 器件的沟道噪声. 对比图 6 与图 8, 散粒噪声的抑制因子随器件尺寸减小而显著升高. 以上分析表明, 随着 NMOSFET 器件尺寸的减小, 热噪声模型 S_{id} 的计算结果与实验数据出现偏差, 并逐渐加大, 散粒噪声对 NMOSFET 器件的过量噪声影响逐渐增大, 已成为重要影响因素. 尽管在图 7 中, S_{id} 的计算结果随偏置电压变化的趋势与实验数据相近, 但是 S_{id} 明显低估了器件的沟道噪声. 计算沟道噪声仅考虑短沟道效应已无法准确表征器件的过量噪声, 散粒噪声已成为表征器件过量噪声的重要因素. NMOSFET 器件的噪声机理过渡到由热噪声和受抑制的散粒噪声共同表征.

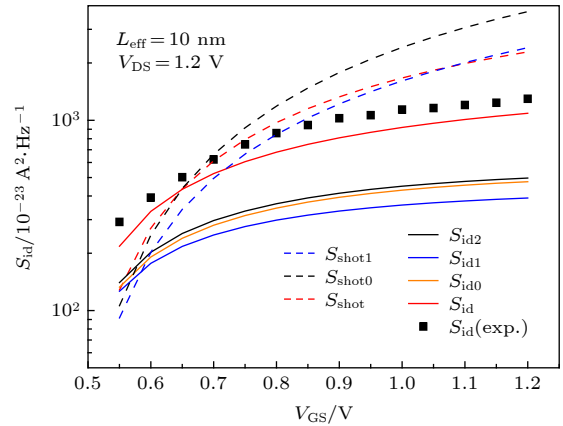


图 7 全散粒噪声和热噪声随栅源偏置电压的变化 ($L_{\text{eff}} = 10 \text{ nm}$)
 Fig. 7. Full-shot noise and thermal noise vs. gate-source bias voltage ($L_{\text{eff}} = 10 \text{ nm}$).

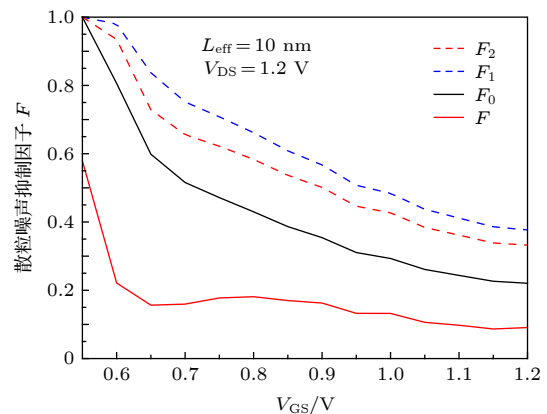


图 8 散粒噪声抑制因子随栅源偏置电压的变化 ($L_{\text{eff}} = 10 \text{ nm}$)
 Fig. 8. Fano factor of shot noise vs. gate-source bias voltage ($L_{\text{eff}} = 10 \text{ nm}$).

通过对比图 4、图 6 和图 8 中散粒噪声抑制因子的变化, 虽然对于不同尺寸的 NMOSFET 器件, 受阈值电压与漏源电压的影响, 器件进入强反型区时的栅源电压并不相同, 但是散粒噪声抑制因子变化的趋势是相同的. 散粒噪声抑制因子随器件尺寸减小而增大, 由此反映了散粒噪声在过量噪声中的比重随器件尺寸减小在不断增大. 据此可以预料, 随着 NMOSFET 器件尺寸的持续减小, 散粒噪声对沟道噪声的影响会进一步加大.

虽然文献 [10,11] 认为在 10 nm 尺寸下, NMOSFET 器件的主要噪声为全散粒噪声. 但是通过对不同器件尺寸下的热噪声和散粒噪声进行分析可知, 这主要是因为现有热噪声模型的精度随器件尺寸减小出现了一定程度的下降, 导致器件的沟道热噪声被低估. 10 nm 尺寸器件的沟道噪声不能仅由热噪声或者散粒噪声单独表征, 需要同时考虑两种噪声的影响, 沟道热噪声的影响会随器件尺寸减小而降低, 散粒噪声的影响会增大.

4 结 论

为研究尺寸为 40 nm 以下器件的噪声特性, 基于建立的短沟道器件电子速度模型和电子温度模型, 建立了漏源电流模型. 基于漏源电流模型, 建立了散粒噪声模型和沟道热噪声模型, 计算了散粒噪声抑制因子. 针对不同尺寸下的 NMOSFET 器件, 分析了器件尺寸对器件在强反型区中的噪声机理以及散粒噪声抑制因子的影响. 结果表明, 已有的热噪声模型和散粒噪声模型的精度随器件尺寸减小而下降, 计算出的散粒噪声抑制因子被高估. 当 NMOSFET 器件的尺寸减小到 20 nm 时, 器件的噪声机理随器件尺寸减小由热噪声表征向同时由热噪声与散粒噪声共同表征过渡. 当 NMOSFET 器件的尺寸减小到 10 nm 时, 器件的沟道噪声已不能仅由热噪声表征, 器件的噪声机理转变为由沟道热噪声与受抑制的散粒噪声共同表征, 散粒噪声成为器件出现过噪声的重要因素.

参考文献

- [1] Scholten A J, Tiemeijer L F, Duijnhoven A T A Z, Havens R J, Kort R, Langevelde R, Klaassen D B M, Jamsaksiri W, Velghe R M D A 2005 *International Conference on Noise and Fluctuations* Salamanca, Spain, September 19–23, 2005 p735
- [2] Jia X F, Du L, Tang D H, Wang T L, Chen W H 2012 *Acta Phys. Sin.* **61** 127202 (in Chinese) [贾晓菲, 杜磊, 唐冬和, 王婷岚, 陈文豪 2012 物理学报 **61** 127202]
- [3] Do V A, Dollfus P, Nguyen V L 2007 *J. Comput. Electron.* **6** 125
- [4] Spathis C, Georgakopoulou K, Birbas A 2013 *22nd International Conference on Noise and Fluctuations (ICNF)* Montpellier, France, June 24–28, 2013 p1
- [5] Navid R 2007 *J. Appl. Phys.* **101** 124501
- [6] Jia X F, He L 2017 *AIP Adv.* **7** 055202
- [7] Teng H F, Jang S L, Juang M H 2003 *Solid-State Electron.* **47** 2043
- [8] Chan L H K, Yeo K S, Chew K W J, Ong S N, Loo X S, Boon C C, Do M A 2012 *IEEE Electron Device Lett.* **33** 1117
- [9] Tang D H, Du L, Wang T L, Chen H, Jia X F 2011 *Acta Phys. Sin.* **60** 097202 (in Chinese) [唐冬和, 杜磊, 王婷岚, 陈华, 贾晓菲 2011 物理学报 **60** 097202]
- [10] Jeon J, Kang M 2016 *Jpn. J. Appl. Phys.* **55** 054102
- [11] Jeon J, Lee J, Kim J, Park C H, Lee H, Oh H, Kang H K, Park B G, Shin H 2009 *Symposium on VLSI Technology* Honolulu, HI, USA, June 15–17, 2009 p48
- [12] Smit G D J, Scholten A J, Pijper R M T, Tiemeijer L F, Toorn R V D, Klaassen D B M 2014 *IEEE Trans. Electron Devices* **61** 245
- [13] Wang J, Wang L, Wang D D 2016 *Acta Phys. Sin.* **65** 237102 (in Chinese) [王军, 王林, 王丹丹 2016 物理学报 **65** 237102]
- [14] Wang J, Peng X M, Liu Z J, Wang L, Luo Z, Wang D D 2018 *Chin. Phys. B* **27** 027201
- [15] Mahajan V M, Patalay P R, Jindal R P, Shichijo H, Martin S, Hou F C, Machala C, Trombley D E 2012 *IEEE Trans. Electron Devices* **59** 197
- [16] Chen X S, Chen C H, Deen M J 2017 *International Conference on Noise and Fluctuations (ICNF)* Vilnius, Lithuania, June 20–13, 2017 p1
- [17] Spathis C, Birbas A, Georgakopoulou K 2015 *AIP Adv.* **5** 087114
- [18] Wang J 2017 *Electron. Lett.* **53** 1671
- [19] Barral V, Poiroux T, Saint-Martin J, Munteanu D, Autran J L, Deleonibus S 2009 *IEEE Trans. Electron Devices* **56** 408
- [20] Shen Y F, Cui J, Mohammadi S 2017 *Solid-State Electron.* **131** 45
- [21] Chen X S, Chih H C, Ryan L 2018 *IEEE Trans. Electron Devices* **65** 1502
- [22] Lu Z Q, Lai F C 2009 *Analog. Integr. Circ. Process* **59** 185
- [23] Lee K Y 2017 *Solid-State Electron.* **130** 63
- [24] Chen C H, Deen M J 2002 *IEEE Trans. Electron Devices* **49** 1484
- [25] Arora N (translated by Zhang X, Li Y X) 1999 *MOSFET Models for VLSI Circuit Simulation* (Beijing: Science Press) pp248–251 (in Chinese) [艾罗拉 N 著 (张兴, 李映雪 译) 1999 用于VLSI模拟的小尺寸MOS器件模型 (北京: 科学出版社) 第 248—251页]
- [26] Lim K Y, Zhou X 2002 *Microelectron. Reliab.* **42** 1857
- [27] Wei C Q, See G H, Zhou X, Chan L 2008 *IEEE Trans. Electron Devices* **55** 2378
- [28] Ong S N, Yeo K S, Chew K W J, Chan L H K, Loo X S, Boon C C, Do M A 2012 *Solid-State Electron.* **68** 32
- [29] Lundstrom M 2009 *Fundamentals of Carrier Transport* (2nd Ed.) (Cambridge: Cambridge University Press) pp230–293
- [30] Tsividis Y 2011 *Operation and Modeling of the MOS Transistor* (3rd Ed.) (New York: Oxford University Press) pp194–201
- [31] Ong S N, Yeo K S, Chew K W J, Chan L H K, Loo X S, Boon C C, Do M A 2012 *Solid-State Electron.* **72** 8

- [32] Paasschens J C J, Scholten A J, van Langevelde R 2005 *IEEE Trans. Electron Devices* **52** 2463
- [33] Li Z Y, Ma J G, Ye Y Z, Yu M Y 2009 *IEEE Trans. Electron Devices* **56** 1300
- [34] Zhang M, Yao R H, Liu Y R 2020 *Acta Phys. Sin.* **69** 057101 (in Chinese) [张梦, 姚若河, 刘玉荣 2020 物理学报 **69** 057101]
- [35] Chen C H, Chen D, Lee R, Lei P, Wan D 2013 *Proceedings of the IEEE 2013 Custom Integrated Circuits Conference* San Jose, CA, USA, September 22–25, 2013 p1
- [36] Yamaguchi K, Sakurai S, Tomizawa K 2010 *Jpn. J. Appl. Phys.* **49** 024303

Shot noise model of the short channel metal-oxide-semiconductor field-effect transistor*

Zhang Meng Yao Ruo-He[†] Liu Yu-Rong Geng Kui-Wei

(School of Electronic and Information Engineering, South China University of Technology, Guangzhou 510641, China)

(Received 5 April 2020; revised manuscript received 23 May 2020)

Abstract

With the development of the semiconductor manufacturing process, the size of the metal-oxide-semiconductor field-effect transistor (MOSFET) device has been on a tens-of-nanometer scale. The shot noise appears in the excess channel noise of the device, and the noise mechanism of the device begins to change gradually. Due to the fact that the electron temperature gradient is neglected in calculation and the significant enhancement of the lateral channel electric field are not taken into consideration, the traditional electron temperature model and the thermal noise model underestimate the effect of hot carrier effects, resulting in the underestimate of the thermal noise. Moreover, the traditional drain-source current model ignores the electron temperature gradient in the calculation and does not include the effect of the electron temperature on the mobility degradation effect either. Therefore, the calculation accuracy of the shot noise and the Fano factor on the basis of the traditional model will be reduced to a certain extent as the size of the device decreases, thus affecting the analysis of the noise mechanism of the device.

In this paper, we establish the channel electron temperature model and the electron velocity model by solving the energy balance equation, and develop the drain source current model based on these two models. Moreover, the shot noise model and the thermal noise model suitable for devices below 40 nm are established based on the drain-source current model. Meanwhile, the Fano factor of the shot noise is calculated. The influence of the MOSFET device size on the noise mechanism and the Fano factor of the shot noise are also investigated when the device is under different bias voltages. The results show that the accuracy of the existing thermal noise model and the shot noise model decline as the device size decreases, which eventually leads the Fano factor of the shot noise to be overestimated. When the size of the NMOSFET device is below 20 nm, the shot noise affects the device noise in the strong inversion region. With the size decreasing, the characteristic of the noise mechanism of the NMOSFET device changes from the characteristic of single thermal noise to the common characteristic of both the thermal noise and the shot noise. When the NMOSFET device size is scaled down to 10 nm, the channel noise of the device can no longer be characterized by the thermal noise alone. Instead, the noise mechanism of the device changes and is characterized by both the channel thermal noise and the suppressed shot noise. The shot noise has become an important factor that contributes to the excessive noise in the device.

Keywords: shot noise, Fano factor, electron temperature, short channel, field effect transistor

PACS: 71.23.An, 68.60.Dv, 72.70.+m

DOI: 10.7498/aps.69.20200497

* Project supported by the Key-Area Research and Development Program of Guangdong Province, China (Grant No. 2019B010143003) and the National Natural Science Foundation of China (Grant No. 61871195).

[†] Corresponding author. E-mail: phrhyao@scut.edu.cn