

采用多晶硅场板降低单光子雪崩二极管探测器暗计数*

韩冬¹⁾ 孙飞阳¹⁾ 鲁继远¹⁾ 宋福明²⁾ 徐跃^{1)3)†}

1) (南京邮电大学电子与光学工程学院&微电子学院, 南京 210023)

2) (南京邮电大学科研院, 南京 210023)

3) (射频集成与微组装技术国家地方联合工程实验室, 南京 210023)

(2020年4月9日收到; 2020年4月29日收到修改稿)

针对削弱暗计数噪声对单光子雪崩二极管 (single-photon avalanche diode, SPAD) 探测器的影响, 本文研究了采用多晶硅场板降低 SPAD 器件暗计数率 (dark count rate, DCR) 的机理和方法. 基于 0.18- μm 标准 CMOS 工艺, 在一种可缩小的 P+/P 阱/深 N 阱器件结构的 P+有源区和浅沟道隔离区 (shallow trench isolation, STI) 之间淀积了一层多晶硅场板来减小器件暗计数噪声. 测试结果表明, 多晶硅场板的淀积使 SPAD 器件的 DCR 降低了一个数量级, 其在高温下的暗计数性能甚至优于室温下的未淀积多晶硅场板的器件. 通过 TCAD 仿真进一步发现, SPAD 器件保护环区域的峰值电场被多晶硅场板引入到 STI 内部, 保护环区域的整体电场降低了 25%; 最后通过对 DCR 的建模计算得出, 多晶硅场板削弱了具有高缺陷密度的保护环区域的电场, 使缺陷相关 DCR 显著降低, 从而有效改善了 SPAD 的暗计数性能.

关键词: 单光子雪崩二极管, 暗计数率, 多晶硅场板, 缺陷辅助隧穿

PACS: 85.60.Gz, 85.60.Dw, 85.60.Bt, 85.30.-z

DOI: 10.7498/aps.69.20200523

1 引言

单光子雪崩二极管 (single-photon avalanche diode, SPAD) 具有探测效率高、面积小、功耗低和与 CMOS 工艺完全兼容等突出优点, 已经在 3D 成像、量子通信、红外探测和荧光寿命成像等方面显示出广泛的应用前景^[1-4]. 在这些应用中, 暗噪声对基于 SPAD 的单光子探测器的可靠性有至关重要的影响, 只有提高探测器的暗噪声抑制能力, 才能保证探测到的光子信息的准确性. 而暗计数作为 SPAD 器件暗噪声的主要来源, 在没有光

照情况下会引起后端电路对光子信息的误采样, 对光子信息采集的准确性造成了严重干扰^[5]. 因此, 为了有效提高 SPAD 探测器的性能, 势必需要探究减小 SPAD 器件暗计数的有效方法.

引起 SPAD 器件暗计数的载流子被称为暗载流子, 暗载流子通常来自于热激发与隧穿效应^[6,7]. 在热激发的作用下, PN 结中的少数电子会发生能带跃迁, 在价带中留下空穴, 在 SPAD 器件内的强电场作用下触发雪崩, 产生暗计数. 隧穿效应一方面发生在强电场情况下, 能带间距减小使得带-带隧穿 (band-to-band tunneling, BTBT) 的影响加剧; 另一方面, SPAD 器件中存在缺陷, 通过缺陷

* 国家自然科学基金面上项目 (批准号: 61571235, 61871231)、江苏省重点研发计划-社会发展面上项目 (批准号: BE2019741)、江苏省自然科学基金面上项目 (批准号: BK20181390)、江苏省高校自然科学基金面上项目 (批准号: 18KJB140008) 和江苏省研究生创新工程项目 (批准号: SJCX19_0272) 资助的课题.

† 通信作者. E-mail: yuex@njupt.edu.cn

辅助隧穿 (trap-assisted tunneling, TAT) 同样会产生暗计数. 并且由于工艺节点不断降低, 有源区掺杂浓度不断提高, 雪崩区电场不断增强, TAT 的影响逐渐成为暗计数的主要来源^[8]. 此外, 后脉冲 (after pulsing, AP) 是 SPAD 器件的另一种暗噪声来源, 雪崩过程中会产生大量载流子, 半导体材料中的陷阱能级会俘获其中一部分载流子并在短时间内重新释放, 此时若器件仍处于反偏状态便会再次触发雪崩, 造成误判断.

SPAD 器件中的缺陷密度主要受工艺影响, 由于 CMOS 图像传感器 (CMOS image sensor, CIS) 工艺采用高纯度的硅, 制成的 SPAD 缺陷较少, 更易于获得较低的暗计数^[9,10], 但制造成本相对昂贵. 而低成本标准 CMOS 工艺下的 SPAD 缺陷密度较高, 缺陷相关暗计数噪声十分严重, 因此如何降低标准 CMOS 工艺下 SPAD 暗计数的方法得到广泛的研究. 近些年的研究一方面通过优化 SPAD 的结构, 利用标准工艺提供的更深的注入层形成更深的雪崩区, 其受到缺陷的影响更小, 从而改善器件的暗计数性能^[11,12], Bose 等^[11] 基于 0.18- μm CMOS 工艺制作了 p+/nwell, pwell/dnw, nwell/psub 三种雪崩区从浅到深的结构及一种 n+/pub 结构, 结果显示, 对于三种雪崩区从浅到深的结构, 随着雪崩区的变深, 其受到器件表面缺陷的影响减小, 暗计数率 (dark count rate, DCR) 随之不断降低. 另一方面, 通过优化保护环的结构来减小器件表面及浅沟道隔离区 (shallow trench isolation, STI) 附近的电场以减小表面暗电流, 在降低边缘击穿概率的同时也能够减小暗计数^[13,14]. Accarino 等^[14] 基于 0.18- μm 标准 CMOS 工艺, 在深 P 阱中注入浅 P 阱形成保护环, 在室温 4 V 过偏压下的 DCR 仅为 217 Hz, 相比只用 P 阱的保护环结构有了显著的改善. 此外, 其他材料雪崩光电二极管在优化保护环设计时还会改良扩散/注入工艺来削弱暗电流的影响^[15,16]. 上海技术物理研究所的李庆等^[16] 研究了引入不同保护环结构的 HgCdTe 电子雪崩光电二极管的噪声特性, 发现保护环的引入可以削弱由表面电场引起的暗电流从而减小暗噪声, 并且退火过程不但可以将雪崩区与损伤区分开, 而且有利于形成轻掺杂雪崩区, 因此合适的退火工艺可以有效抑制暗噪声. 然而, 一个高性能器件的结构设计往往需要考虑诸如掺杂浓度、位置分布和工艺约束等许多繁复的方面, 会消耗较多的时间、精力和研究成本, 甚至会

提高工艺复杂度, 先进工艺的采用更是增加了制作成本. 因此, 探究出一种简单、有效、低成本的暗计数降低方法尤为重要.

利用多晶硅场板不仅能有效降低 SPAD 器件的暗计数率, 而且实现方法简单, 与标准 CMOS 工艺中淀积多晶硅栅级同步制作, 不需要额外的工艺步骤, 制造成本低. 本文基于 SMIC 0.18- μm 标准 CMOS 工艺研究了采用多晶硅场板降低 SPAD 暗计数的物理机理. 首先介绍了多晶硅场板结构的 SPAD 器件的设计与测试, 对比分析在 P+有源区和 STI 之间淀积多晶硅场板前后器件暗计数特性的变化情况. 然后进行了 SPAD 器件的建模与 TCAD 仿真, 探究多晶硅场板对保护环区域电场的影响. 最后分析讨论多晶硅场板降低器件暗计数的物理机理.

2 SPAD 器件设计与测试

本文采用 P+/P 阱/深 N 阱的 SPAD 器件结构, 如图 1 所示. 在 P 阱和深 N 阱交界处形成雪崩倍增区, 在 P 阱的上方注入了一层浓度很高的 P+区并作为阳极引出, 在深 N 阱两侧的 N 阱上方注入了高浓度的 N+区并作为阴极引出, 利用 N 阱降低了导通电阻; 由于深 N 阱杂质呈倒置的分布, 在 P 阱和 N 阱之间的深 N 阱区域的掺杂浓度较低, 作为器件的虚拟保护环. 虚拟保护环的引入不但能避免边缘及表面过早击穿, 而且可以使 P+有源区的直径缩小到 5 μm 以下, 实现小尺寸的器件设计^[17]. 为了有效减小 P+有源区附近的表面电场, 减小暗计数的产生, 在 P+有源区和 STI 之间淀积多晶硅场板来改变器件表面及保护环区域的

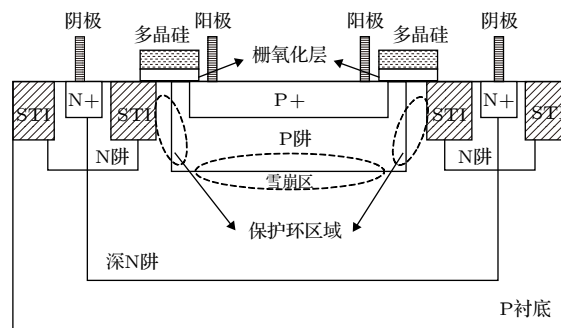


图 1 淀积了多晶硅场板的 P+/P 阱/深 N 阱 SPAD 器件结构示意图

Fig. 1. Structure of the P+/P-well/deep N-well SPAD device with polysilicon field plate.

电场分布. 器件的 P+有源区直径设计为 10 μm , 多晶硅场板长 4 μm 、厚 0.2 μm , STI 宽度为 1 μm , P+有源区与 STI 的间距为 3.7 μm .

该 SPAD 器件的制作流程完全基于 SMIC 0.18- μm 标准 CMOS 工艺, 无需改变任何工艺条件, 主要的前端制备工艺步骤如图 2 所示. 在晶圆的准备工作完成后, 首先进行 STI 的刻蚀, 并进行垫氧, 填充高密度等离子体 (high density plasma, HDP), 形成 STI 区域; 然后依次进行深 N 阱-N 阱-P 阱的离子注入, 再进行高温退火, 分别形成深 N 阱、N 阱和 P 阱区域; 之后淀积栅氧化层和多晶硅栅极, 此时多晶硅场板和 MOSFET 的多晶硅栅极同时形成, 不需要额外的工艺步骤; 最后进行 MOSFET 源、漏区的 N+和 P+离子注入, 然后再进行快速热退火, 从而形成 SPAD 器件的 N+及 P+有源区. 最后按照一般 CMOS 后端工艺步骤形成接触孔、介质层、通孔、金属层和钝化层. 器件完成所有流片步骤后就可以对器件进行封装测试.

为了进行暗计数噪声性能的对比研究, 无多晶硅场板结构的 SPAD 器件也进行了流片制作, 两种 SPAD 器件的尺寸完全相同, 流片后的显微照片分别如图 3 所示, 器件位置如箭头标注. SPAD_1 没有淀积多晶硅场板, 而 SPAD_2 的 P+有源区和 STI 之间区域的上方淀积了多晶硅场板. 在 Cascade 探针台上对 SPAD_1 和 SPAD_2 的暗计数率进行了测试. 分别将 SPAD 器件的阴极、阳极

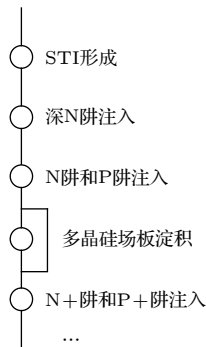


图 2 主要前端工艺步骤

Fig. 2. Main front-end process steps.

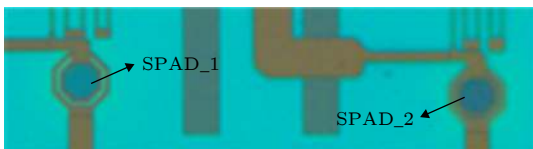


图 3 器件显微照片

Fig. 3. Micrograph of the devices.

以及接地电极通过探针引出. SPAD 的阳极连接一个阻值为 100 k Ω 的电阻, 电阻的另一端接地, 起到被动淬灭的作用.

首先测试了 SPAD 器件的反向 I - V 特性, 得到器件雪崩电压. 图 4 展示了对器件阴极进行电压扫描操作得到的 I - V 特性曲线. 由于 SPAD_1 和 SPAD_2 的结构只有多晶硅场板的区别, 所以它们的雪崩电压几乎相同, 分别为 15 V 和 14.7 V. 进一步对 SPAD 器件的 DCR 进行测试, 当器件工作在盖革模式下, 示波器观察到的器件阳极输出的雪崩脉冲信号如图 5 所示. 雪崩电流产生后阳极电压上升, 淬灭复位结束, 这个过程大约需要 10 μs . 可以看到有的单个雪崩脉冲上存在两个尖峰, 即发生了后脉冲现象. 后脉冲严重依赖于温度, 温度越低, 后脉冲概率便越大. 并且主要受雪崩触发概率、陷阱能级的载流子俘获率和陷阱能级密度的影响, 通过降低反偏电压、减小材料陷阱能级密度以及利用有源淬灭实现可调死区时间等可以有效抑制后脉冲的产生及其干扰.

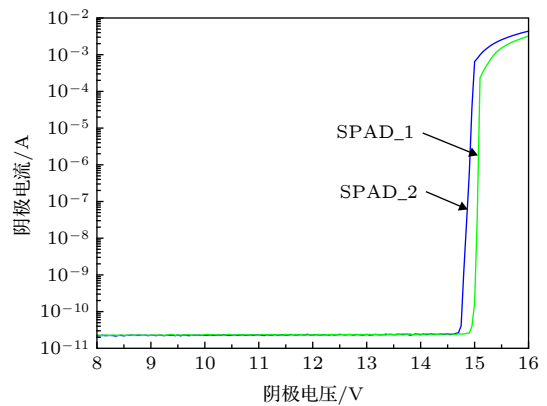


图 4 器件 I - V 特性曲线图

Fig. 4. I - V characteristic curve of the devices.

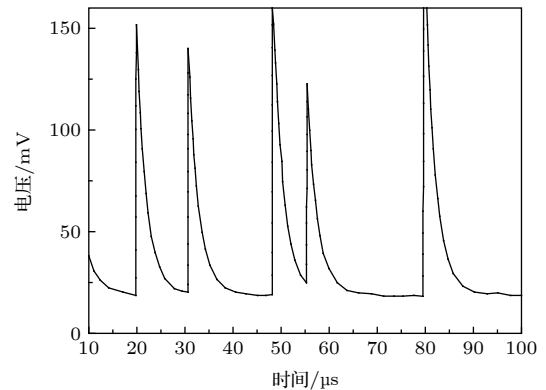


图 5 雪崩脉冲电压信号

Fig. 5. Avalanche pulse voltage signal.

在室温下测得的两种 SPAD 器件的 DCR 随过偏压的关系如图 6 所示. 在 0.1 —1.0 V 的过偏压范围内, 两个器件的 DCR 都随过偏压逐渐上升. SPAD_1 的 DCR 从 10 kHz 左右增加到了 40 kHz 左右, 整体暗计数水平较高; 而淀积了多晶硅场板的 SPAD_2 的 DCR 低于 3 kHz, 比 SPAD_1 的 DCR 降低了一个数量级. 可以看出, 淀积多晶硅场板能明显改善 SPAD 器件的暗计数性能, 下面对

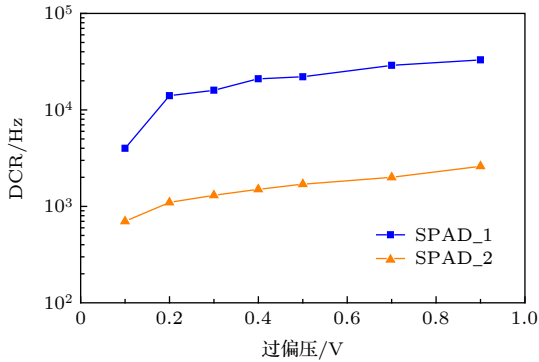


图 6 室温下 SPAD 暗计数率与过偏压关系

Fig. 6. DCR as a function of excess bias voltage at room temperature.

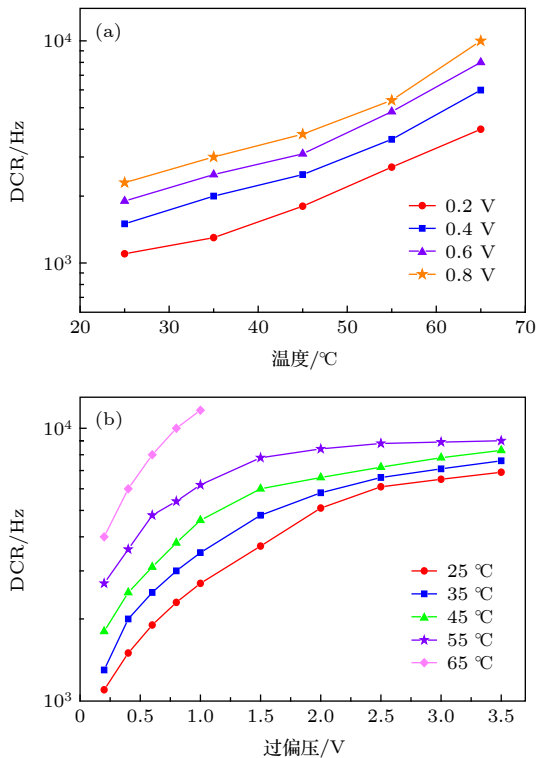


图 7 SPAD_2 的 DCR 变化曲线图 (a) 不同过偏压下的温度特性; (b) 不同温度下的过偏压特性

Fig. 7. DCR of SPAD_2 as a function of (a) temperature at different excess bias voltage, and (b) excess bias voltage at different temperature.

SPAD_2 做了进一步的性能测试, 详细观察其在不同过偏压和温度下的暗计数性能.

图 7(a) 展示了 SPAD_2 在不同过偏压下的 DCR 随温度变化的关系, 当温度由 25 °C 变化至 65 °C 时, DCR 显著增加, 体现了温度对该器件的强烈影响, 说明 DCR 的主要来源不是 BTBT, 而是与缺陷相关的暗计数^[18]. SPAD_2 在不同温度下的 DCR 随过偏压的变化情况如图 7(b) 所示, 65 °C 时的实验数据不全, 这是因为器件能承受的最高温度为 65 °C 左右, 在该温度下持续工作一段时间后器件无法正常工作. 温度低于 55 °C 时, 在过偏压由 0.1 V 上升至 3.5 V 的过程中, SPAD 器件的 DCR 逐渐增加, 随着雪崩触发概率趋于饱和, DCR 的增加趋于平缓, 整体水平低于 10 kHz. 在室温 25 °C 下, 在过偏压 1.5 V 时, 器件的 DCR 为 3.7 kHz. 测试结果表明在器件 P+有源区和 STI 之间淀积多晶硅场板可以明显改善 SPAD 器件的暗计数性能. 即便是在 55 °C 下, 淀积了多晶硅场板的 SPAD_2 的暗计数性能都优于室温下没有多晶硅场板的 SPAD_1.

3 DCR 建模与 TCAD 仿真

深亚微米 CMOS 工艺下 SPAD 器件的暗计数有热产生-复合 (SRH)、缺陷辅助隧穿 (TAT) 和带-带隧穿 (BTBT) 三种主要产生机制^[19,20]. 观察图 6 发现, 在室温 0.1 V 过偏压下, 无多晶硅场板淀积器件的 DCR 就达到了 4 kHz 左右. BTBT 机制只在高过偏压或重掺杂雪崩区 (电场强度高于 7×10^5 V/cm) 对暗计数的贡献才显著^[21], SRH 机制的影响主要由温度和缺陷决定, 而 TAT 机制除了受到缺陷影响外, 电场更是 TAT 产生暗载流子的主要因素, 在缺陷密度较高、电场较强时, TAT 机制对暗计数的产生占主导作用. SPAD 器件的雪崩区由于电场高, 是产生暗计数的主要区域. 但应当注意到器件保护环区域靠近缺陷密度很高的 STI 区域, 所以保护环区域由于 TAT 机制而产生的暗计数不能忽略. 采用同时考虑 SRH 和 TAT 机制的场效应增强型 SRH 模型, 与缺陷相关的载流子产生率可以由下式估算:

$$G \approx \frac{n_i \cdot (1 + \Gamma)}{2 \cdot \tau_0}, \quad (1)$$

其中 n_i 是本征载流子浓度, τ_0 为载流子寿命,

$$\tau_0 = \frac{1}{N_t \cdot v_{th} \cdot \sigma_n}, \quad (2)$$

$$v_{th} = \sqrt{\frac{3 \cdot k_B \cdot T}{m_n^*}}, \quad (3)$$

这里 N_t 代表缺陷密度, v_{th} 是热电子速度, k_B 为玻尔兹曼常数, T 是绝对温度, m_n^* 代表电子有效质量. 另外, Γ 是与 TAT 机制相关的场效应调制系数, 表示为

$$\Gamma = 2\sqrt{3\pi} \frac{|E|}{E_\Gamma} \exp\left[\left(\frac{E}{E_\Gamma}\right)^2\right], \quad (4)$$

$$E_\Gamma = \frac{\sqrt{24 \cdot m_t^* \cdot (k_B \cdot T)^3}}{q \cdot \hbar}, \quad (5)$$

式中, E 代表局部平均场强, \hbar 为狄拉克常量, q 是电子电荷量, m_t^* 代表电子隧穿有效质量, 对硅基材料 $m_t^* = 0.25m_0$, m_0 是真空中电子的质量.

当考虑了保护环区域对暗计数产生的贡献, 则器件的缺陷相关 DCR 可由下式计算:

$$DCR_{trap} = G_a P_a A_a W_a + G_r P_r A_r W_r, \quad (6)$$

其中 G_a 和 G_r 分别为雪崩区和保护环区域的载流子产生率, P_a , P_r , A_a , A_r , W_a 和 W_r 分别是两个区域的雪崩触发概率、截面积和厚度.

为了能准确得到 DCR 模型中的关键参数如雪崩触发概率和电场分布, 我们进行了 TCAD 仿真. 首先基于 SMIC 0.18- μm 工艺流程, 使用 SILVACO Athena 工具对 P+有源区直径为 10 μm 的 SPAD_1 和 SPAD_2 进行了二维工艺仿真, 然后根据工艺仿真获得的器件结构和杂质分布, 再使用 SILVACO Atlas 工具进行了盖革模式的二维器

件仿真. 在 TCAD 仿真时, 除了在 SPAD_2 的 P+有源区和 STI 之间设置了多晶硅场板外, 两个 SPAD 器件其他参数的设置都相同. 直径 10 μm 的 P+有源区注入在一个浅 P 阱中, 结深约为 2.2 μm , 峰值浓度约为 $6 \times 10^{17} \text{ cm}^{-3}$, 深 N 阱在结深 1.5 μm 处的峰值浓度约为 $2 \times 10^{17} \text{ cm}^{-3}$. 在器件仿真中采用了 Connmob 和 Fldmob 迁移率模型、SRH 载流子产生-复合模型、Selberherr 碰撞电离模型和 Geiger 模型等以获得器件的电学特性, 对比了 SPAD 器件淀积多晶硅场板前后的电场分布.

图8(a)和图8(b)分别为 SPAD_1 和 SPAD_2 的二维电场仿真分布图, 对 STI 及保护环表面区域的电场仿真结果进行了局部放大显示. 可以看出两个器件的雪崩区电场几乎相同, 结深约为 1.5 μm , 厚度约为 0.8 μm , 峰值电场达到 $4.7 \times 10^5 \text{ V/cm}$. 而在保护环区域, 没有多晶硅场板的 SPAD_1 的电场仍然较强, 处于 10^5 V/cm 的量级; 而淀积了多晶硅场板的 SPAD_2 保护环区域的峰值电场被引入了 STI 内部, 硅表面下 0.5—0.7 μm 处的电场显著降低, 保护环区域的整体电场相比 SPAD_1 降低了 25%, 从而有效削弱了 STI 附近缺陷相关的非平衡载流子借助电场向保护环边界漂移所产生的暗计数噪声. 盖革模式 TCAD 仿真进一步揭示 SPAD_2 器件除了保护环区域电场被削弱了以外, 保护环区域的雪崩触发概率也明显降低, 在 0.4 V 过偏压下 SPAD_1 和 SPAD_2 的 P_r 分别为 0.07 和 0.01. 除此之外, 两个器件的其他的 DCR 模型计算的参数都一样, 表 1 列出了过偏压为 0.4 V 时室温下的其他关键模型参数.

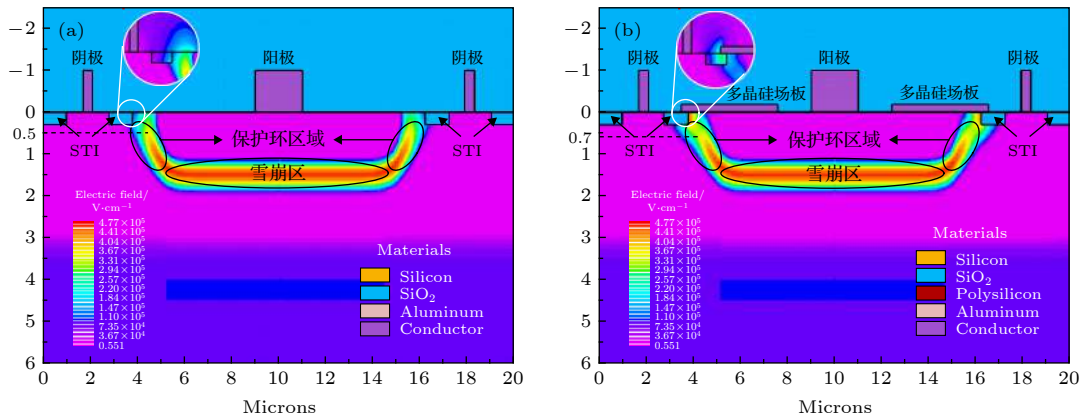


图 8 TCAD 二维电场仿真图 (a) SPAD_1; (b) SPAD_2

Fig. 8. TCAD simulation of 2D electric field: (a) SPAD_1; (b) SPAD_2.

表 1 关键模型参数取值 (温度 $T = 300$ K, 过偏压 $V_{EX} = 0.4$ V)
Table 1. Summary of the key parameters for modeling ($T = 300$ K, $V_{EX} = 0.4$ V).

参数	描述	值
$A_a/\mu\text{m}^2$	雪崩区面积	63.6
$A_r/\mu\text{m}^2$	保护环区域面积	49.4
$W_a/\mu\text{m}$	雪崩区厚度	0.8
$W_r/\mu\text{m}$	保护环区域厚度	0.8
P_a	雪崩区平均雪崩触发概率	0.09
m_n^*/m_0	电子有效质量	0.43
m_t^*/m_0	电子隧穿有效质量	0.25
$m_0/10^{-31}$ kg	电子静止质量	9.108
$n_i/10^{10}$ cm^{-3}	本征载流子浓度	1.5
$k/10^{-23}$ J·K ⁻¹	玻尔兹曼常数	1.38
$\hbar/10^{-34}$ J·s	狄拉克常数	1.054
$q/10^{-19}$ C	电子电荷量	1.602

4 分析与讨论

根据上述 DCR 模型及 TCAD 仿真提取的参数, 计算出的器件缺陷相关 DCR 与过偏压的关系如图 9 所示. 计算时将雪崩区缺陷密度相关的参数 $N_t\sigma_n$ 取为 0.25 cm^{-1} , 而 SPAD_1 和 SPAD_2 保护环区域的 $N_t\sigma_n$ 取为 3 cm^{-1} 和 2 cm^{-1} , 这是由于保护环区域靠近 STI 及表面, 缺陷密度较大. 同时 SPAD_1 由于没有多晶硅场板的阻挡, N+和 P+离子注入时对保护环硅表面的损伤更大, 因此保护环区域的缺陷密度更高. 图 9 表明 DCR 模型计算结果与测试结果有较好的一致性, 证明了建模与仿真结果的正确和合理性, 建立的 DCR 模型可以用于 SPAD 器件暗计数机理的分析.

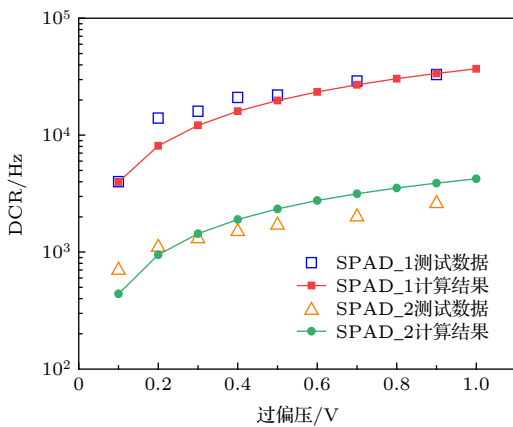


图 9 模型算得室温下 SPAD 暗计数率与过偏压关系图
Fig. 9. Calculated DCR as a function of excess bias voltage at room temperature.

测试数据与模型计算结果都表明, 淀积多晶硅场板可以显著降低器件暗计数. 从 DCR 模型中可以看出 SPAD 器件的 DCR 主要受温度、电场和缺陷密度等因素的影响, 并且与这三者都是正相关, 也就是说, 温度越高, 电场强度越强, 缺陷密度越大, 暗计数水平就会越高. 考虑到 TAT 机制的影响越来越严重, 器件整体 DCR 主要产生于缺陷密度高的区域, 削弱高缺陷密度区域的电场将会有效抑制缺陷相关暗计数的产生, 从而改善器件暗计数性能. 在 SPAD 器件中, 晶圆表面相对而言缺陷较多, 并且在形成 STI 时, 光刻、刻蚀等工艺步骤又会在晶圆上引入较多的缺陷, 保护环区域相比雪崩区更靠近器件表面和 STI, 缺陷密度更高, 缺陷相关暗计数的产生几率变大. 因此削弱保护环区域的电场是一种可行的改善器件暗计数性能的方法.

为了进一步明确 DCR 降低的主要来源, 考虑 BTBT 机制对暗计数的影响, 在 0—10 V 过偏压范围内进行了仿真计算, 其中 BTBT 相关载流子产生率表示为:

$$G_{BTBT} = BB.A \cdot |E|^{BB.GAMMA} \cdot \exp\left(\frac{-BB.B}{E}\right), \quad (7)$$

式中, BB.A, BB.B, BB.GAMMA 是 BTBT 参数, 取值分别为 $BB.A = 7 \times 10^{14} \text{ cm}^{-0.5} \cdot \text{V}^{-2.5} \cdot \text{s}^{-1}$, $BB.B = 1.5 \times 10^7 \text{ V} \cdot \text{cm}^{-1}$ 和 $BB.GAMMA = 2.5$. 同样将雪崩区和保护环区域的电场分开考虑计算 $G_{BTBT,a}$ 和 $G_{BTBT,r}$, 算得 BTBT 相关 DCR 为

$$DCR_{BTBT} = G_{BTBT,a}P_aA_aW_a + G_{BTBT,r}P_rA_rW_r. \quad (8)$$

器件整体 DCR 则可以表示为

$$DCR_{TOT} = DCR_{trap} + DCR_{BTBT}. \quad (9)$$

图 10 中室温下的仿真计算结果清楚地表明, 整体 DCR 的降低主要是由于 SRH 和 TAT 缺陷相关 DCR 的降低. 由于带-带隧穿主要发生于电场较强的雪崩区, 而多晶硅场板的淀积主要会影响保护环区域的电场分布, 对雪崩区影响甚微, 因此 BTBT 相关暗计数的减少对整体 DCR 降低的贡献可以忽略. 同时注意到在低过偏压下, BTBT 相关 DCR 与缺陷相关 DCR 在数量级上有显著的差异, 直到过偏压达到 8 V, 电场强度较强时, BTBT 相关 DCR 才与缺陷相关 DCR 有可比性, 因此, 低过偏压下由 BTBT 机制引发的暗计数可以忽略. 此外, 仿真是比较理想的, 由于雪崩触发概率相比实际情况更高, 使得整体 DCR 会存在一

些偏差,但在合理范围之内,整体趋势符合图7的实测结果.

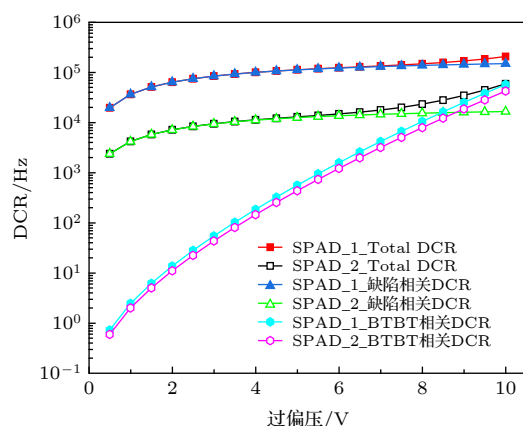


图 10 室温下 0—10 V 过偏压范围内的 DCR 变化情况
Fig. 10. Variety of DCR under 0–10 V excess bias voltage at room temperature.

场板在功率器件中是一种通过调制耗尽区电场分布以提高器件击穿电压的电场优化技术^[22],其本质往往是在主结的边缘形成 PN 结或金属-氧化物-半导体 (MOS) 结构. 外加反向偏压时,其耗尽区会往半导体内部扩展,削弱边缘密集的电场^[23]. 本文利用浮空场板形成 MOS 结构,无需施加电压偏置,由场板所处的场势环境决定其电势,通过场板使保护环区域的雪崩区横向扩展,将保护环区域的一部分电场线转移至场板边缘,从而降低了高缺陷密度的保护环区域的电场. 仿真结果表明,淀积了多晶硅场板后,保护环区域的峰值电场被引入了 STI 内部,保护环区域电场被降低,缺陷相关载流子的产生明显减少,从而显著降低了器件暗计数噪声. 而场板的引入对雪崩区的影响微乎其微,不会影响雪崩区的深度、厚度、电场分布和掺杂情况等,而 SPAD 器件的其他关键性能参数例如光子探测效率 (photon detection efficiency, PDE) 主要与雪崩区深度、厚度和电场强度有关;时间抖动主要受过偏压大小和工艺掺杂的影响. 多晶硅场板的淀积没有改变这些影响因素,从而在降低了器件暗计数的同时不会对器件的探测性能造成影响. 因此合理地设置多晶硅场板可以有效改善器件的暗计数性能.

5 结 论

本文研究了采用多晶硅场板来降低 SPAD 暗

计数噪声的机理和方法. 基于 0.18- μm 标准 CMOS 工艺,在 P+/P 阱/深 N 阱结构的 SPAD 器件的 P+有源区和 STI 之间区域的上方淀积一层多晶硅场板,实验结果表明场板的引入使器件的暗计数率降低了 1 倍左右. TCAD 仿真进一步揭示保护环区域的整体电场在多晶硅场板的作用下明显降低,从而抑制了保护环区域的缺陷相关暗计数. 最后对 DCR 进行了建模计算,验证了实验结果的正确性,解释了采用多晶硅场板减小暗计数噪声的物理机理. 本文为降低 SPAD 器件暗计数噪声提供了一种简单、有效、低成本的方法,提高了单光子探测的准确性与可靠性.

参考文献

- [1] Villa F, Lussana R, Bronzi D, Tisa S, Tosi A, Zappa F, Mora A D, Contini D, Durini D, Weyers S, Brockherde W 2014 *IEEE J. Sel. Top. Quantum Electron.* **20** 364
- [2] Bai P, Zhang Y H, Shen W Z 2018 *Acta Phys. Sin.* **67** 221401 (in Chinese) [白鹏, 张月衢, 沈文忠 2018 *物理学报* **67** 221401]
- [3] Hu W D, Li Q, Chen X S, Lu W 2019 *Acta Phys. Sin.* **68** 120701 (in Chinese) [胡伟达, 李庆, 陈效双, 陆卫 2019 *物理学报* **68** 120701]
- [4] Perenzoni M, Massari N, Perenzoni D, Gasparini L, Stoppa D 2016 *IEEE J. Solid-State Circuits* **51** 155
- [5] Pancheri L, Stoppa D, Dalla Betta G F 2014 *IEEE J. Sel. Top. Quantum Electron.* **20** 328
- [6] Bronzi D, Villa F, Bellisai S, Tisa S, Paschen U 2013 *Proc. SPIE-Int. Soc. Opt. Eng.* **8631** 241
- [7] Xu Y, Xiang P, Xie X P 2017 *Solid-State Electron.* **129** 168
- [8] Xu Y, Xiang P, Xie X P, Huang Y 2016 *Semicond. Sci. Technol.* **31** 065024
- [9] Moreno-García M, Xu H S, Gasparini L, Perenzoni M 2018 *2018 48th European Solid-State Device Research Conference (ESSDERC)* Dresden, Germany, Sept. 3–6, 2018 p94
- [10] Webster E A G, Richardson J A, Grant L A, Renshaw D, Henderson R K 2012 *IEEE Electron Device Lett.* **33** 694
- [11] Bose S, Ouh H, Sengupta S, Johnston M L 2018 *IEEE Sens. J.* **18** 5291
- [12] Jing X L, Zeng D D, Peng Y N, Yang H J, Pu H Y, Peng Y, Luo J 2019 *J. Infrared Millim. W.* **38** 403 (in Chinese) [金湘亮, 曾朵朵, 彭亚男, 杨红姣, 蒲华燕, 彭艳, 罗均 2019 *红外与毫米波学报* **38** 403]
- [13] Shin D, Park B, Chae Y, Yun L 2019 *IEEE Trans. Electron Devices* **66** 2986
- [14] Accarino C, Al-Rawhani M, Shah Y D, Maneuski D, Mitra S, Buttar C, Cumming D R S 2018 *2018 IEEE International Symposium on Circuits and Systems (ISCAS)* Florence, Italy, May 27–30, 2018 p1
- [15] Liu Y, Forrest S R, Hladky J, Lange M J, Olsen G H, Ackley D E 1992 *J. Lightwave Technol.* **10** 182
- [16] Li Q, Wang F, Wang P, Zhang L L, He J L, Chen L, Martyniuk P, Rogalski A, Chen X S, Lu W, Hu W D 2020 *IEEE Trans. Electron Devices* **67** 542
- [17] Richardson J A, Webster E A G, Grant L A, Henderson R K 2011 *IEEE Trans. Electron Devices* **58** 2028

- [18] Wang C, Wang J Y, Xu Z Y, Wang R, Li J H, Zhao J Y, Wei Y M, Lin Y 2019 *Optik* **185** 1134
- [19] Cheng Z, Zheng X Q, Palubiak D, Deen M J, Peng H 2016 *IEEE Trans. Electron Devices* **63** 1940
- [20] Xu Y, Zhao T C, Li D 2018 *Superlattices Microstruct.* **113** 635
- [21] Hurkx G A M, Klaassen D B M, Knuvers M P G 1992 *IEEE Trans. Electron Devices* **39** 331
- [22] Mao W, Yang C, Hao Y, Zhang J C, Liu H X, Ma X H, Wang C, Zhang J F, Yang L A, Xu S R, Bi Z W, Zhou Z, Yang L, Wang H 2011 *Acta Phys. Sin.* **60** 017205 (in Chinese) [毛维, 杨翠, 郝跃, 张进成, 刘红侠, 马晓华, 王冲, 张金凤, 杨林安, 许晟瑞, 毕志伟, 周洲, 杨凌, 王昊 2011 物理学报 **60** 017205]
- [23] Liu J H, Guo Y F, Huang X M, Huang Z, Yao X J 2020 *J. Nanjing Univ. Post. Telecom. (Nat.Sci.Ed.)* **40** 9 (in Chinese) [刘建华, 郭宇锋, 黄晓明, 黄智, 姚小江 2020 南京邮电大学学报 (自然科学版) **40** 9]

Reducing dark count of single-photon avalanche diode detector with polysilicon field plate*

Han Dong¹⁾ Sun Fei-Yang¹⁾ Lu Ji-Yuan¹⁾ Song Fu-Ming²⁾ Xu Yue^{1)3)†}

1) (*College of Electronic and Optical Engineering & College of Microelectronics, Nanjing University of Posts and Telecommunications, Nanjing 210023, China*)

2) (*Office of Scientific R & D, Nanjing University of Posts and Telecommunications, Nanjing 210023, China*)

3) (*National and Local Joint Engineering Laboratory of RF Integration & Micro-Assembly Technology, Nanjing 210023, China*)

(Received 9 April 2020; revised manuscript received 29 April 2020)

Abstract

To suppress the effect of dark count noise on single photon avalanche diode (SPAD) detector, the mechanism and method of reducing the dark count rate (DCR) of SPAD device by using a polysilicon field plate is studied in this paper. Based on the 0.18- μm standard CMOS process, a polysilicon field plate located between the P+ active region and shallow trench isolation (STI) is deposited to reduce the dark count noise for a scaleable P+/P-well/deep N-well SPAD structure. Test results show that the DCR of SPAD device decreases by an order of magnitude after the deposition of polysilicon field plates, and its dark count performance at high temperature is even better than that of device without polysilicon field plate at room temperature. The TCAD simulation further indicates that the peak electric field in the guard ring region of the SPAD device is introduced into the STI by the field plate, and the overall electric field in the guard ring region is reduced by 25%. Finally, through modeling and calculating the DCR, the polysilicon field plate weakens the electric field of the guard ring region with high trap density, hence the trap-related DCR is significantly reduced. Therefore, the dark count performance of SPAD detector is effectively improved.

Keywords: single-photon avalanche diode (SPAD), dark count rate (DCR), polysilicon field plate, trap-assisted tunneling (TAT)

PACS: 85.60.Gz, 85.60.Dw, 85.60.Bt, 85.30.-z

DOI: 10.7498/aps.69.20200523

* Project supported by the National Natural Science Foundation of China (Grant Nos. 61571235, 61871231), the Key Research & Development Plan-Social Development of Jiangsu Province, China (Grant No. BE2019741), the Natural Science Foundation of Jiangsu Province, China (Grant No. BK20181390), the Natural Science Foundation of Jiangsu Higher Education Institutions, China (Grant No. 18KJB140008), and the Postgraduate Research & Practice Innovation Program of Jiangsu Province, China (Grant No. SJCX19_0272).

† Corresponding author. E-mail: yuex@njupt.edu.cn