

# 结构参数对 N 极性面 GaN/InAlN 高电子迁移率晶体管性能的影响\*

刘燕丽<sup>1)</sup> 王伟<sup>1)</sup> 董燕<sup>2)</sup> 陈敦军<sup>2)†</sup> 张荣<sup>2)</sup> 郑有焯<sup>2)</sup>

1) (山东工商学院信息与电子工程学院, 烟台 264005)

2) (南京大学电子科学与工程学院, 南京 210093)

(2019 年 7 月 27 日收到; 2019 年 10 月 26 日收到修改稿)

基于漂移-扩散传输模型、费米狄拉克统计模型以及 Shockley-Read-Hall 复合模型等, 通过自洽求解薛定谔方程、泊松方程以及载流子连续性方程, 模拟研究了材料结构参数对 N 极性面 GaN/InAlN 高电子迁移率晶体管性能的影响及其物理机制. 结果表明, 增加 GaN 沟道层的厚度 (5—15 nm) 与 InAlN 背势垒层的厚度 (10—40 nm), 均使得器件的饱和输出电流增大, 阈值电压发生负向漂移. 器件的跨导峰值随 GaN 沟道层厚度的增加与 InAlN 背势垒层厚度的减小而减小. 模拟中, 各种性能参数的变化趋势均随 GaN 沟道层与 InAlN 背势垒层厚度的增加而逐渐变缓, 当 GaN 沟道层厚度超过 15 nm、InAlN 背势垒层厚度超过 40 nm 后, 器件的饱和输出电流、阈值电压等参数基本趋于稳定. 材料结构参数对器件性能影响的主要原因可归于器件内部极化效应、能带结构以及沟道中二维电子气的变化.

**关键词:** N 极性面 GaN/InAlN, 高电子迁移率晶体管, 结构参数, 电学性能

**PACS:** 72.80.Ey, 73.40.Kp, 73.61.Ey

**DOI:** 10.7498/aps.68.20191153

## 1 引言

GaN 基异质结由于具有禁带宽度大、击穿电场强、电子饱和漂移速度高等特性, 使得由其制作的高频大功率电子器件在卫星通信、雷达、移动基站、汽车电子等领域展现出极大的应用潜力<sup>[1-3]</sup>. 自 1993 年第一只 GaN 基高电子迁移率晶体管 (HEMT) 器件被成功研制后<sup>[4]</sup>, 随着材料生长技术与器件工艺水平的逐步提高, HEMT 器件的性能已得到显著提升<sup>[5-10]</sup>. 然而该器件在高温、高场下的性能退化问题一直是阻碍其进一步商业化发展的关键难题<sup>[11,12]</sup>.

近年来, 研究者们主要针对如何有效提高 GaN 基 HEMT 器件的性能与可靠性问题开展了大量的研究工作. HEMT 器件性能与可靠性的改善措施主要可以分为两类. 一类是围绕器件结构进行优化设计, 如: 场板技术<sup>[13,14]</sup> (调制器件内电场分布, 提高器件的击穿电压、减小电流崩塌效应等)、凹栅技术<sup>[15,16]</sup> (提高器件的栅控能力) 以及鳍式晶体管技术<sup>[17,18]</sup> (也称为 Fin-FET, 通过增加栅极围绕沟道的面积, 加强栅对沟道的控制) 等. 另一类是围绕 GaN 基异质结材料结构进行优化设计, 如: 势垒层减薄技术<sup>[19,20]</sup> (减小栅长的同时, 需要缩短栅极与沟道之间的距离, 抑制短沟道效应, 提高器件的频率特性和栅控能力)、帽层技术<sup>[21]</sup>

\* 国家自然科学基金重点项目 (批准号: 61634002)、国家自然科学基金青年科学基金 (批准号: 61804089)、国家自然科学基金联合基金 (批准号: U1830109)、山东省高等学校科技计划 (批准号: J16LN04) 和烟台市重点研发计划 (批准号: 2017ZH064) 资助的课题.

† 通信作者. E-mail: djchen@nju.edu.cn

(增加肖特基接触势垒, 减小栅极漏电流)、组合势垒 [22] 以及背势垒技术 [23,24] (提高器件对沟道二维电子气 (2DEG) 的限域性, 减小电流崩塌效应) 等. 上述结构优化措施主要围绕 Ga 极性面 GaN 基 HEMT 器件进行. 长期以来, 对于 N 极性面的材料与器件由于制备困难而相对研究较少. 直到近年来, 随着 N 极性面外延材料生长瓶颈的突破 [25,26], 研究人员开始将注意力转移到 N 极性面材料与器件的研究中, 并成为新的研究热点 [27,28].

对于 N 极性面 GaN 基 HEMT 器件, 欲通过结构优化设计有效提高器件的性能与可靠性, 前提需弄清材料结构参数对器件性能的影响规律及其机理. 虽然已有研究者分析了材料结构对 N 极性面 GaN/AlGaIn 异质结中 2DEG 浓度的影响情况 [29], 但是关于材料结构参数对 N 极性面 GaN/InAlN HEMT 器件性能的影响尚未见系统的研究报道. 相比于 N 极性面 GaN/AlGaIn 异质结, N 极性面 GaN/InAlN 异质结可通过调控 InAlN 材料的 In 组分使其与 GaN 达到晶格匹配. 晶格匹配时, InAlN 的 In 组分为 0.17—0.18. 晶格匹配的 GaN/InAlN 异质结界面处的极化差值与导带带阶均远大于常规 GaN/AlGaIn 异质结, 因此, N 极性面 GaN/InAlN 异质结具有更高的沟道 2DEG 浓度与更好的载流子限域性, 进而使得相应 HEMT 器件更适于高频方面的应用 [30]. 此外, GaN/AlGaIn HEMT 器件在高温高场下由于逆压电效应容易导致器件性能的退化, 而晶格匹配无应力的 GaN/InAlN HEMT 可避免因逆压电效应引起的器件退化问题, 由此使得该器件在可靠性提升方面具有更大潜能. 本文通过自洽求解薛定谔方程、泊松方程以及载流子连续性方程, 系统研究了 GaN 沟道层厚度、InAlN 背势垒层厚度对 N 极性面 GaN/InAlN HEMT 器件性能的影响规律及其物理机制. 研究结果为 N 极性面 GaN 基 HEMT 器件中材料结构的优化设计提供了重要的理论依据.

## 2 器件结构

由于纤锌矿结构的 III 族氮化物材料缺少反演对称性, 导致该材料具有很强的极化效应. 从衬底沿 [0001] 方向生长的 Ga 极性面材料与沿 [000 $\bar{1}$ ] 方向生长的 N 极性面材料, 由于原子排列方式的不同导致二者的极性相反. 极化方向的不同使得在进

行 GaN 基 HEMT 异质结构设计时, N 极性面异质结中 2DEG 沟道处于势垒层的上方, 势垒层成为天然背势垒. 而 Ga 极性面异质结中 2DEG 沟道在势垒层的下方. 图 1 为本文模拟所用的 N 极性面 GaN/InAlN HEMT 器件结构示意图. 蓝宝石衬底上外延层依次为非故意掺杂的 GaN 缓冲层、In<sub>0.18</sub>Al<sub>0.82</sub>N 背势垒层和 GaN 沟道层. 由于器件中 2DEG 的主要来源为极化诱导电荷, 并且实际实验中非故意掺杂的 GaN 和 InAlN 材料中电子浓度均约为  $1 \times 10^{16} \text{ cm}^{-3}$ . 因此本文中 GaN 和 InAlN 层内的电子浓度均设为  $1 \times 10^{16} \text{ cm}^{-3}$ . 器件的栅长设为 0.35  $\mu\text{m}$ , 源漏之间的距离为 2  $\mu\text{m}$ , 器件表面使用 SiN 材料进行钝化保护. 模拟中 GaN 沟道层厚度的变化范围设为 5—18 nm, InAlN 背势垒层厚度的变化范围为 10—45 nm.

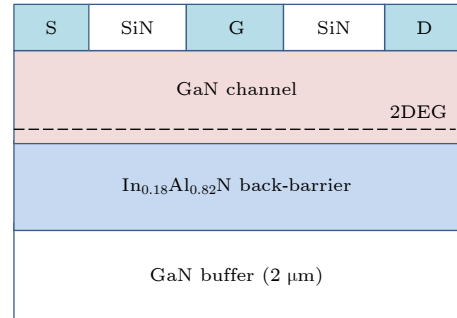


图 1 N 极性面 GaN/InAlN HEMT 结构示意图  
Fig. 1. Schematic of N-polar GaN/InAlN HEMT structure.

## 3 理论模型

为了得到各种 GaN 沟道层厚度与 InAlN 背势垒层厚度下 N 极性面 GaN/InAlN HEMT 器件的直流输出特性与转移特性曲线, 进而得出器件的饱和输出电流密度、阈值电压、跨导峰值等性能参数, 本文采用数值计算方法自洽求解了薛定谔方程、泊松方程以及载流子连续性方程.

由于 GaN/InAlN 异质结在界面处发生量子化效应, 形成了三角形量子阱. 电子在界面势阱中的波函数和能量本征值满足薛定谔方程 [31]

$$\left[ -\frac{\hbar^2}{2m^*} \frac{d^2}{dz^2} + V(z) \right] \psi(z) = E\psi(z), \quad (1)$$

其中  $\hbar$  为普朗克常数,  $m^*$  为电子有效质量,  $V(z)$  为电子势能,  $E$  为能量本征值,  $\psi(z)$  为本征波函数.

静电势可由泊松方程求得

$$\frac{d}{dz} \left( \epsilon \frac{d}{dz} \right) \phi(z) = -q [N_d^+(z) - n(z)], \quad (2)$$

式中  $\phi(z)$  为静电势,  $\epsilon$  为材料的介电常数,  $q$  为电子电荷,  $N_d^+$  为离化施主浓度,  $n(z)$  为电子的浓度.

为求得外加电场作用下器件的电学特性, 除上述方程外, 还需用到载流子连续性方程. 由于空穴和受主电荷对总的电荷与电流的贡献很小, 计算中未考虑空穴与受主电荷的影响<sup>[31]</sup>. 电子的连续性方程为

$$\frac{\partial n}{\partial t} = \frac{1}{q} \text{div} \mathbf{J}_n + G_n - R_n, \quad (3)$$

式中  $\mathbf{J}_n$  是电子的电流密度,  $G_n$  和  $R_n$  分别为电子的产生与复合率.

上述计算过程中, 采用了与实际情况相符的漂移-扩散传输模型、费米-狄拉克载流子统计模型以及 Shockley-Read-Hall 复合模型等<sup>[32-34]</sup>. 模拟中, 在进行 HEMT 器件材料结构区域设置时, 对于 N 极性面, GaN 沟道层区域应定义在 InAlN 背势垒层区域上方. 而 Ga 极性面中, 势垒层区域应定义在 GaN 沟道层上方. 此外, N 极性面的极化系数需设为正值, Ga 极性面的极化系数为负值.

## 4 结果与讨论

### 4.1 GaN 沟道层厚度对 N 极性面 GaN/InAlN HEMT 性能的影响

对于 Ga 极性面 HEMT 器件, 为了提高器件的跨导与频率特性, 需尽量减薄 AlGaIn 或 InAlN 势垒层的厚度. 而对于 N 极性面 GaN/InAlN HEMT 器件, 增加背势垒层厚度并不会导致器件跨导与输出性能的下降, 在已有文献报道中 N 极性面 GaN/InAlN HEMT 器件的 InAlN 层厚度通常为 20 nm 左右<sup>[35,36]</sup>. 因此, 模拟研究 GaN 沟道层厚度对 N 极性面 GaN/InAlN HEMT 器件性能的影响时, In<sub>0.18</sub>Al<sub>0.82</sub>N 背势垒层的厚度固定为 20 nm, GaN 沟道层厚度的变化范围为 5—18 nm. 图 2(a)—(c) 分别为不同 GaN 沟道层厚度下, HEMT 器件的输出特性 ( $V_{gs} = 0$  V)、转移特性 ( $V_{ds} = 10$  V) 以及跨导曲线.

由图 2(a) 可知, GaN 沟道层厚度在 5—15 nm 范围内, 器件的饱和输出电流随 GaN 沟道层厚度的增加而增大, 增加趋势逐渐变缓. 由图 2(b) 和图 2(c) 可看出, 随着 GaN 沟道层厚度的增加, 器

件的阈值电压发生负向漂移, 跨导峰值逐渐减小, 并且二者的变化趋势也逐渐变缓. 当 GaN 沟道层厚度超过 15 nm 后, 器件的饱和输出电流、阈值电压基本趋于稳定.

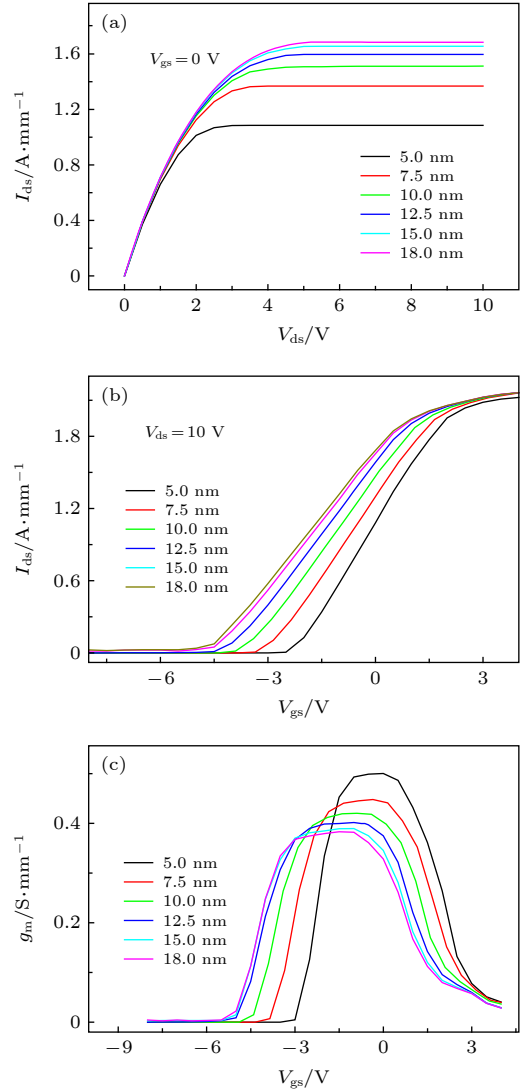


图 2 不同 GaN 沟道层厚度下, N 极性面 GaN/InAlN HEMT 器件的 (a) 输出特性、(b) 转移特性和 (c) 跨导曲线  
Fig. 2. (a) Output characteristics, (b) transfer characteristics, and (c) transconductance curves of N-polar GaN/InAlN HEMTs with different GaN channel thicknesses.

为解释上述现象, 模拟分析了不同 GaN 沟道层厚度下 HEMT 器件栅极下方 GaN/In<sub>0.18</sub>Al<sub>0.82</sub>N/GaN 异质结的导带结构与电子浓度的分布情况, 结果见图 3(a) 和图 3(b). 由图 3(a) 可看出, 当 GaN 沟道层的厚度增加时, 该层内能带的倾斜变缓, 即 GaN 沟道层内总的内建电场强度减小, 然而电势能在该层的降落数值增大, 导致 GaN/InAlN 界面处三角势阱变深, 进而使得 2DEG 浓度随之增大

(图 3(b)). 2DEG 浓度的增大导致 HEMT 器件的饱和输出电流增加, 耗尽沟道内 2DEG 需要的负向栅压也更大, 因此器件的阈值电压发生负向漂移. 此外, 增加 GaN 沟道层的厚度, 导致器件栅极与 2DEG 沟道之间的距离增大, 从而使得器件的跨导即栅控能力随之下降. 然而 2DEG 浓度不会随 GaN 沟道层厚度的增加而一直增大, 当 GaN 沟道层厚度超过 15 nm 后, 2DEG 浓度基本趋于不变, 其主要原因可归为表面态的电离情况. 随着 GaN 沟道层厚度的增大, 表面施主能级逐渐高于费米能级, 使得表面态离化增加, 离化产生的电子在极化电场的作用下转移到 GaN/InAlN 界面处形成 2DEG. 当 GaN 沟道层厚度增大到一定值时, 表面态全部电离, 从而致使 2DEG 浓度不变. 因此, 当 GaN 沟道层厚度超过 15 nm 后, 器件的饱和输出电流、阈值电压等参数基本趋于不变.

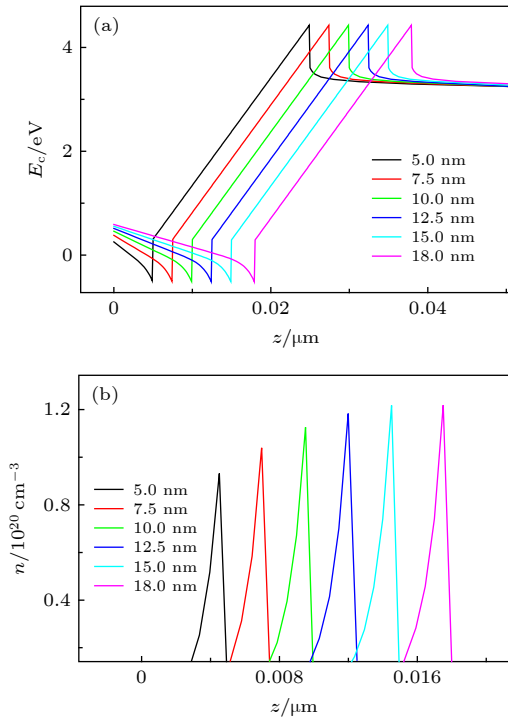


图 3 不同 GaN 沟道层厚度下, N 极性面 GaN/InAlN HEMT 器件栅极下方的 (a) 导带结构和 (b) 电子浓度分布图

Fig. 3. (a) Conduction-band energy diagram and (b) electron distribution in N-polar GaN/InAlN HEMTs with different GaN channel thicknesses.

由上述分析可得, 在一定范围内增加 GaN 沟道层的厚度, 虽然可使得 N 极性面 HEMT 器件的 2DEG 浓度与饱和输出电流增大, 即器件的功率性能可以得到提高, 但是器件的栅控能力 (代表器件

的工作频率特性) 下降. 因此, 在进行 N 极性面 HEMT 器件中 GaN 沟道层厚度参数的优化设计时, 需要在器件的功率与频率性能方面根据实际需求进行权衡与折中考虑.

#### 4.2 InAlN 背势垒层厚度对 N 极性面 GaN/InAlN HEMT 性能的影响

由于减薄 N 极性面 HEMT 中 GaN 沟道层厚度可直接缩小栅极与 2DEG 沟道之间的距离, 从而使得在稍微降低器件输出性能的同时较大幅度地提高器件的跨导即栅控能力, 使其更适于高频应用. 因此, 模拟研究 InAlN 背势垒层厚度对 N 极性面 GaN/InAlN HEMT 器件性能的影响时, GaN 沟道层厚度设为 5 nm,  $\text{In}_{0.18}\text{Al}_{0.82}\text{N}$  背势垒层厚度的变化范围为 10—45 nm. 图 4(a)—(c) 分别为不同 InAlN 背势垒层厚度下, HEMT 器件的输出特性 ( $V_{\text{gs}} = 0 \text{ V}$ )、转移特性 ( $V_{\text{ds}} = 10 \text{ V}$ ) 以及跨导曲线.

由图 4 可看出, N 极性面 GaN/InAlN HEMT 器件的饱和输出电流与跨导峰值随着 InAlN 背势垒层厚度的增加而增大, 器件的阈值电压发生负向漂移. 上述变化趋势随着 InAlN 背势垒层厚度的增加而逐渐变缓. 当 InAlN 厚度达 40 nm 时, 器件的性能参数基本趋于稳定.

为解释上述现象, 模拟分析了不同 InAlN 背势垒层厚度情况下, HEMT 器件栅极下方 GaN/InAlN/GaN 异质结的导带结构与电子浓度的分布情况, 结果如图 5(a) 和图 5(b) 所示. 由图 5(a) 及其插图可知, 增加 InAlN 背势垒层的厚度, 其极化效应相应增强, 导致 GaN/InAlN 界面处三角势阱的深度增加, 相应 2DEG 限域性得到提高. 2DEG 限域性的提高使得器件的跨导即栅控能力增大. 另外, 极化效应的增强直接导致沟道内 2DEG 浓度的增加 (如图 5(b) 所示). 2DEG 浓度的增大使得 HEMT 器件的饱和输出电流增大, 与此同时耗尽沟道 2DEG 需要更大的栅极负偏压, 即阈值电压发生负向漂移.

由以上分析可得, 适当增加 InAlN 背势垒层的厚度, 可使得 N 极性面 HEMT 器件的 2DEG 浓度、饱和输出电流以及栅控能力得到提高. 因此, 在进行 N 极性面 GaN/InAlN HEMT 器件材料结构优化设计时, 在保证材料生长质量的基础上应适当提高 InAlN 背势垒层的厚度.



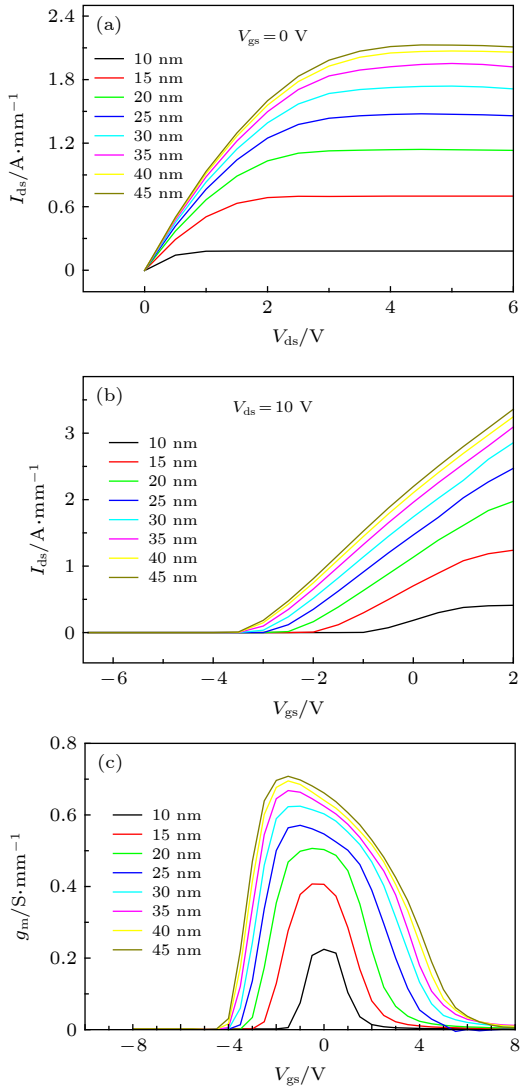


图4 不同InAlN背势垒层厚度下,N极性面GaN/InAlN HEMT器件的(a)输出特性、(b)转移特性和(c)跨导曲线  
Fig. 4. (a) Output characteristics, (b) transfer characteristics, and (c) transconductance curves of N-polar GaN/InAlN HEMTs with different InAlN back barrier thicknesses.

将上述GaN沟道层厚度与InAlN背势垒层厚度对器件性能影响的结果即图2与图3相比较可以看出,InAlN背势垒层厚度对器件性能的影响更加显著,其内在物理原因可归于极化效应对器件内部能带结构与2DEG沟道的调控.由晶格匹配的InAlN/GaN异质结中2DEG的产生机理,即InAlN与GaN材料自发极化的差值以及二者的导带带阶导致在界面处形成三角量子势阱并诱导产生2DEG沟道可知,InAlN层内强的极化效应是2DEG产生的关键因素.相比于GaN,InAlN材料具有更强的极化效应,因此,增加InAlN背势垒层的厚度比增加GaN沟道层厚度对界面处三角势阱深度的增加幅度更大,相应沟道限域性与

2DEG浓度的增加量也更大,进而导致器件的饱和输出电流与跨导极值的改变量更为显著.

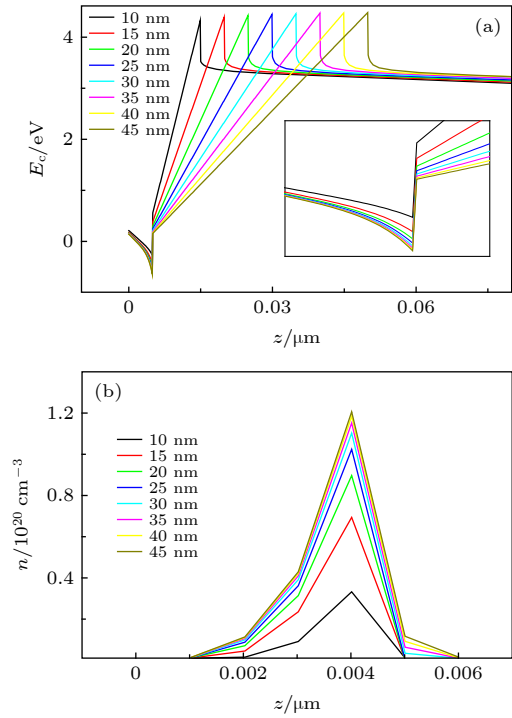


图5 不同InAlN背势垒层厚度下,N极性面GaN/InAlN HEMT器件栅极下方的(a)导带结构(内插图为三角势阱处导带结构的局部放大图),以及(b)电子浓度分布图  
Fig. 5. (a) Conduction-band energy diagram and (b) electron distribution in N-polar GaN/InAlN HEMTs with different InAlN back barrier thicknesses. The inset in panel (a) is the partial enlarged conduction-band energy of the rectangular quantum well.

为证明模拟结果的正确性与准确度,需将其与实验结果进行对比验证. Wong等[37]报道了GaN沟道层厚度对N极性面GaN/AlGaIn HEMT器件中2DEG浓度影响的实验结果,GaN沟道层厚度在4—12 nm范围内,2DEG浓度随厚度的增加而增大,其变化规律与本文结果一致.另有王现彬等[29]报道了AlGaIn背势垒层厚度、GaN沟道层厚度对N极性面GaN/AlGaIn异质结构中2DEG浓度与能带影响的理论模拟,其变化规律和趋势也与本文结果基本一致.我们将在后续研究中进一步开展与本文模拟工作相对应的完整的实验对比验证工作.

## 5 结论

本文通过自洽求解薛定谔方程、泊松方程以及载流子连续性方程,模拟研究了材料结构参数对

N 极性面 GaN/InAlN HEMT 器件性能的影响规律. 研究发现, 当 GaN 沟道层厚度从 5 nm 增加到 15 nm 时, 可使得 2DEG 浓度与器件的饱和输出电流增大, 即器件的功率性能可以得到提高, 其主要原因可归于 GaN 沟道层厚度对器件内部内建电场与能带结构的影响. 然而器件的栅控能力 (代表器件的频率特性) 随 GaN 沟道层厚度的增加而不断下降. 因此, 在进行 N 极性面 HEMT 器件中 GaN 沟道层厚度参数的优化设计时, 需要在器件的功率与频率性能方面根据实际需求进行权衡考虑. 增加 InAlN 背势垒层的厚度 (10—40 nm), 可使得 GaN/InAlN 界面三角量子阱变深, 沟道限域性提高, 进而导致 N 极性面 HEMT 器件的 2DEG 浓度、饱和输出电流以及栅控能力逐步得到提高. 当 InAlN 厚度超过 40 nm 后, 器件的饱和输出电流、阈值电压、跨导峰值基本趋于不变. 因此, 在进行 N 极性面 GaN/InAlN HEMT 器件结构优化设计时, 在保证材料生长质量的基础上应适当增加 InAlN 背势垒层的厚度.

## 参考文献

- [1] Mishra U K, Likun S, Kazior T E, Wu Y F 2008 *Proc. IEEE* **96** 287
- [2] Cao M Y, Zhang K, Chen Y H, Zhang J C, Ma X H, Hao Y 2014 *Chin. Phys. B* **23** 037305
- [3] Huang S, Yang S, Tang Z K, Hua M Y, Wang X H, Wei K, Bao Q L, Liu X Y, Chen J 2016 *Sci. Sin.: Phys. Mech. Astron.* **46** 107307 (in Chinese) [黄森, 杨树, 唐智凯, 化梦媛, 王鑫华, 魏珂, 包琦龙, 刘新宇, 陈敬 2016 中国科学: 物理学 力学 天文学 **46** 107307]
- [4] Khan M A, Bhattarai A, Kuznia J N, Olson D T 1993 *Appl. Phys. Lett.* **63** 1214
- [5] Xie G, Tang C, Wang T, Guo Q, Zhang B, Sheng K, Wai T N 2013 *Chin. Phys. B* **22** 026103
- [6] Li S P, Zhang Z L, Fu K, Yu G H, Cai Y, Zhang B S 2017 *Acta Phys. Sin.* **66** 197301 (in Chinese) [李淑萍, 张志利, 付凯, 于国浩, 蔡勇, 张宝顺 2017 物理学报 **66** 197301]
- [7] Fitch R C, Walker D E, Green A J, Tetlak S E, Gillespie J K, Gilbert R D, Sutherland K A, Gouty W D, Theimer J P, Via G D, Chabak K D, Jessen G H 2015 *IEEE Electron Device Lett.* **36** 1004
- [8] Zhang Z R, Fang Y L, Yin J Y, Guo Y M, Wang B, Wang Y G, Li J, Lu W L, Gao N, Liu P, Feng Z H 2018 *Acta Phys. Sin.* **67** 076801 (in Chinese) [张志荣, 房玉龙, 尹甲运, 郭艳敏, 王波, 王元刚, 李佳, 芦伟立, 高楠, 刘沛, 冯志红 2018 物理学报 **67** 076801]
- [9] Han T C, Zhao H D, Peng X C 2019 *Chin. Phys. B* **28** 047302
- [10] Zhao S L, Wang Z Z, Chen D Z, Wang M J, Dai Y, Ma X H, Zhang J C, Hao Y 2019 *Chin. Phys. B* **28** 027301
- [11] Wu Y, Chen C Y, del Alamo J A 2015 *J. Appl. Phys.* **117** 025707
- [12] Yan D W, Ren J, Yang G F, Xiao S Q, Gu X F, Lu H 2015 *IEEE Electron Device Lett.* **36** 1281
- [13] Xie G, Xu E, Hashemi N, Zhang B, Fu F Y, Ng W T 2012 *Chin. Phys. B* **21** 086105
- [14] Zhang S, Wei K, Ma X H, Zhang Y C, Lei T M 2019 *Appl. Phys. Express* **12** 054007
- [15] Lin H K, Huang F H, Yu H L 2010 *Solid-State Electron.* **54** 582
- [16] Wu S, Ma X H, Yang L, Mi M H, Zhang M, Wu M, Lu Y, Zhang H S, Yi C P, Hao Y 2019 *IEEE Electron Device Lett.* **40** 846
- [17] Tan X, Zhou X Y, Guo H Y, Gu G D, Wang Y G, Song X B, Yin J Y, Lv Y J, Feng Z H 2016 *Chin. Phys. Lett.* **33** 098501
- [18] Liu T T, Zhang K, Zhu G R, Zhou J J, Kong Y C, Yu, X X, Chen T S 2018 *Chin. Phys. B* **27** 047307
- [19] Pardeshi H, Raj G, Pati S, Mohankumar N, Sarkar C K 2013 *Superlattices Microstruct.* **60** 47
- [20] Deen D A, Storm D F, Meyer D J, Bass R, Binari S C, Gougousi T, Evans K R 2014 *Appl. Phys. Lett.* **105** 093503
- [21] Kong Y C, Zhou J J, Kong C, Dong X, Zhang Y T, Lu H Y, Chen T S 2013 *Appl. Phys. Lett.* **102** 043505
- [22] Quan R D, Zhang J C, Xue J S, Zhao Y, Ning J, Lin Z Y, Zhang Y C, Ren Z Y, Hao Y 2016 *Chin. Phys. Lett.* **33** 088102
- [23] Zhang J C, Zheng P T, Dong Z D, Duan H T, Ni J Y, Zhang J F, Hao Y 2009 *Acta Phys. Sin.* **58** 3409 (in Chinese) [张进成, 郑鹏天, 董作典, 段焕涛, 倪金玉, 张金凤, 郝跃 2009 物理学报 **58** 3409]
- [24] Han T C, Zhao H D, Yang L, Wang Y 2017 *Chin. Phys. B* **26** 107301
- [25] Rajan S, Wong M, Fu Y, Wu F, Speck J S, Mishra U K 2005 *Jpn. J. Appl. Phys.* **44** L1478
- [26] Keller S, Suh C S, Chen Z, Chu R, Rajan S, Fichtenbaum N A, Denbaars S P, Speck J S, Mishra U K 2008 *J. Appl. Phys.* **103** 033708
- [27] Ahmadi E, Wu F, Li H R, Kaun S W, Tahhan M, Hestroffer K, Keller S, Speck J S, Mishra U K 2015 *Semicond. Sci. Technol.* **30** 055012
- [28] Ahmadi E, Keller S, Mishra U K 2016 *J. Appl. Phys.* **120** 115302
- [29] Wang X B, Zhao Z P, Feng Z H 2014 *Acta Phys. Sin.* **63** 080202 (in Chinese) [王现彬, 赵正平, 冯志红 2014 物理学报 **63** 080202]
- [30] Hao Y, Xue J S, Zhang J C 2012 *Sci. Sin. Inform.* **42** 1577 (in Chinese) [郝跃, 薛军帅, 张进成 2012 中国科学: 信息科学 **42** 1577]
- [31] Kong Y C, Zheng Y D, Chu R M, Gu S L 2003 *Acta Phys. Sin.* **52** 1756 (in Chinese) [孔月婵, 郑有料, 储荣明, 顾书林 2003 物理学报 **52** 1756]
- [32] Selberherr S 1984 *Analysis and Simulation of Semiconductor Devices*. (New York: Springer-Verlag) p16
- [33] Dong Y, Chen D J, Lu H, Zhang R, Zheng Y D 2018 *Int. J. Numer. Modell. Electron. Networks Devices Fields* **31** e2299
- [34] Shockley W, Read W T 1952 *Phys. Rev.* **87** 835
- [35] Rakoski A, Diez S, Li H R, Keller S, Ahmadi E, Kurdak C 2019 *Appl. Phys. Lett.* **114** 162102
- [36] Denninghoff D, Lu J, Laurent M, Ahmadi E, Keller S, Mishra U K 2012 *70th Device Research Conference Pennsylvania, USA, June 18–20, 2012* p151
- [37] Wong M H, Keller S, Dasgupta N S, Denninghoff D J, Kolluri S, Brown D F, Lu J, Fichtenbaum N A, Ahmadi E, Singisetti U, Chini A, Rajan S, Denbaars S P, Speck J S, Mishra U K 2013 *Semicond. Sci. Technol.* **28** 074009

# Effect of structure parameters on performance of N-polar GaN/InAlN high electron mobility transistor\*

Liu Yan-Li<sup>1)</sup> Wang Wei<sup>1)</sup> Dong Yan<sup>2)</sup> Chen Dun-Jun<sup>2)†</sup>  
Zhang Rong<sup>2)</sup> Zheng You-Dou<sup>2)</sup>

1) (*School of Information and Electronic Engineering, Shandong Technology and Business University, Yantai 264005, China*)

2) (*School of Electronic Science and Engineering, Nanjing University, Nanjing 210093, China*)

( Received 27 July 2019; revised manuscript received 26 October 2019 )

## Abstract

Based on the drift-diffusion transport model, Fermi-Dirac statistics and Shockley-Read-Hall recombination model, the effect of the structure parameters on the performance of N-polar GaN/InAlN high electron mobility transistor is investigated by self-consistently solving the Schrodinger equation, Poisson equation and carrier continuity equation. The results indicate that the saturation current density of the device increases and the threshold voltage shifts negatively with GaN channel thickness increasing from 5 nm to 15 nm and InAlN back barrier thickness increasing from 10 nm to 40 nm. The maximum transconductance decreases with GaN channel thickness increasing or InAlN back barrier thickness decreasing. The change trends of the various performance parameters become slow gradually with the increase of the thickness of the GaN channel layer and InAlN back barrier layer. When the GaN channel thickness is beyond 15 nm or the InAlN back barrier thickness is more than 40 nm, the saturation current, the threshold voltage and the maximum transconductance tend to be stable. The influence of the structure parameter on the device performance can be mainly attributed to the dependence of the built-in electric field, energy band structure and the two-dimensional electron gas (2DEG) on the thickness of the GaN channel layer and InAlN back barrier layer. The main physical mechanism is explained as follows. As the GaN channel thickness increases from 5 nm to 15 nm, the bending of the energy band in the GaN channel layer is mitigated, which means that the total built-in electric field in this layer decreases. However, the potential energy drop across this GaN channel layer increases, resulting in the fact that the quantum well at the GaN/InAlN interface becomes deeper. So the 2DEG density increases with GaN channel thickness increasing. Furthermore, the saturation current density of the device increases and the threshold voltage shifts negatively. Moreover, due to the larger distance between the gate and the 2DEG channel, the capability of the gate control of the high electron mobility transistor decreases. Similarly, the depth of the GaN/InAlN quantum well increases with InAlN back barrier thickness increasing from 10 nm to 40 nm, which results in the increase of the 2DEG concentration. Meanwhile, the electron confinement in the quantum well is enhanced. Therefore the device saturation current and the maximum transconductance increase with InAlN back barrier thickness increasing.

**Keywords:** N-polar GaN/InAlN, high electron mobility transistor, structure parameter, electrical performance

**PACS:** 72.80.Ey, 73.40.Kp, 73.61.Ey

**DOI:** [10.7498/aps.68.20191153](https://doi.org/10.7498/aps.68.20191153)

\* Project supported by the Key Program of the National Natural Science Foundation of China (Grant No. 61634002), the Young Scientists Fund of the National Natural Science Foundation of China (Grant No. 61804089), the Program of Joint Funds of the National Natural Science Foundation of China (Grant No. U1830109), the Science and Technology Program of the Higher Education Institutions of Shandong Province, China (Grant No. J16LN04), and the Key R&D Program of Yantai, China (Grant No. 2017ZH064).

† Corresponding author. E-mail: [djchen@nju.edu.cn](mailto:djchen@nju.edu.cn)