

高压抗辐射横向扩散金属氧化物半导体的设计与研究

初飞^{1,2} 陈洪转¹ 彭领² 王瑛² 宁静怡²

¹(南京航空航天大学 南京 211106)

²(北京微电子技术研究所 北京 100076)

摘要 针对宇航级功率集成电路中横向扩散金属氧化物半导体(LDMOS)器件抗单粒子辐射性能低的问题,开展了高压LDMOS抗单粒子效应加固技术的研究,采用重掺杂P+well及漏区缓冲层结构设计了一种耐压为60V的N型LDMOS器件。利用TCAD软件对重掺杂P+well及漏区缓冲层结构的加固机理进行仿真分析,并对回片器件利用Ta离子(线性能量转移,LET=79.2 MeV·cm²/mg)进行辐照试验验证,结果表明,提高Pwell掺杂浓度和采用缓冲层结构可将高压LDMOS器件抗单粒子烧毁电压提升至60V。

关键词 功率集成电路,横向扩散金属氧化物半导体(LDMOS),单粒子烧毁,单粒子栅穿

中图分类号 TN402

DOI: 10.11889/j.1000-3436.2022-0035

Research and design of high voltage radiation hardened lateral diffused metal oxide semiconductor

CHU Fei^{1,2} CHEN Hongzhan¹ PENG Ling² WANG Ying² NING Jingyi²

¹(Nanjing University of Aeronautics and Astronautics, Nanjing 211106, China)

²(Beijing Microelectronics Technology Institute, Beijing 100076, China)

ABSTRACT Lateral diffused metal oxide semiconductors (LDMOS) used in power management integrated circuits demonstrate low anti-radiation performance. To address this issue, a high voltage radiation hardened LDMOS structure was studied, and an N-LDMOS device with a breakdown voltage of 60 V was designed. We analyzed the radiation hardening mechanism of the heavily doped P+well and buffer layer structures using the Ta ion model (Linear energy transfer, LET=79.2 MeV·cm²/mg) with a TCAD simulation tool and verified it via an irradiation test. The results revealed that by using the heavily doped P+well and buffer layer structures, the single event burnout voltage of the high-voltage LDMOS could be improved to 60 V.

KEYWORDS Power IC, Lateral diffused metal oxide semiconductors, Single event burnout, Single event gate rupture

CLC TN402

横向扩散金属氧化物半导体(LDMOS)具有高压、高开关速度及高线性度等特点,是功率集成电路中电平转换及驱动模块的优选器件,因其制备

工艺与CMOS及BJT器件兼容度较高,因此,被广泛用于高压模拟开关、驱动器及电源管理电路等集成电路中^[1]。在宇航及辐射环境中,集成电路会受到

第一作者: 初飞,男,1979年出生,研究方向为数模混合集成电路设计、抗辐射加固设计、复杂装备算法研究、卫星导航应用、科技和质量管理,博士研究生,研究员,E-mail: sdcf_2000@163.com

收稿日期: 初稿 2022-03-23; 修回 2022-05-06

First author: CHU Fei (male) was born in 1979, engaging in digital-analog mixed IC design, radiation hardenreinforcement design, complex equipment algorithm research, satellite navigation application, and technology and quality management, graduate student, professor, E-mail: sdcf_2000@163.com

Received 23 March 2022; accepted 06 May 2022

各种高能射线及粒子的辐照而导致性能降低或功能失效,最终造成飞行器发生数据错误、功能中断甚至“瘫痪”^[2-3]。对于功率集成电路而言,由于LDMOS器件的高压偏置及其结构中寄生晶体管的存在,为功率集成电路引入了单粒子栅穿(Single event gate rupture, SEGR)和单粒子烧毁(Single event burnout, SEB)两种辐射效应^[1,3],极易造成电路及系统在单粒子辐射环境中发生永久损伤,这也增加了宇航级功率集成电路抗单粒子效应的加固难度。近年来,由于LDMOS单粒子效应造成的电路失效问题日益剧增,抗辐射LDMOS结构的设计与研究也成为国内外抗辐射加固技术研究的热点之一^[4]。

目前,国内外科研人员针对LDMOS单粒子效应机理及抗辐射加固结构开展了一系列的研究。其中,Shea等^[5-6]通过采用P+埋层结构降低LDMOS器件Pwell区导通电阻,提高器件抗单粒子烧毁的能力;针对LDMOS的单粒子效应及总剂量效应进行了一定的研究,通过采用PBL及PEPI等结构,完成了30 V抗辐射LDMOS的设计^[7]。然而,目前国内外研究的抗辐射LDMOS的结构耐压较低,而宇航用驱动器及DCDC转换器等功率集成电路对击穿电压60 V的抗辐射LDMOS器件提出了明确需求;另一方面,现有的抗辐射LDMOS结构虽与集成电路工艺兼容,但其制备工艺相对复杂,开发难度也相对较高。

本文针对宇航级功率集成电路对60 V LDMOS器件的应用需求,设计了一种抗辐射LDMOS器件,基于Sentaurus TCAD仿真工具对该器件进行了单粒子烧毁及单粒子栅穿效应的仿真分析,并利用高能Ta离子对器件进行辐照实验验证,结果显示,本文设计的LDMOS器件单粒子失效电压可达60 V。

1 样品与条件

1.1 LDMOS的单粒子效应

以N型LDMOS为例,在辐射环境中,当高能重离子入射到LDMOS器件内部时,沿路径沉积能量并产生大量电子-空穴对,当器件处于反向截止状态时,漏极接正高电位,源极、栅极接地或负电位,此时器件中的过剩载流子会在内部电场作用下进行漂移运动,部分空穴在栅氧化层下形成积累,当空穴积累到一定数量时,栅氧化层中的电场强度超过其临界击穿场强,导致栅氧化层击穿,即发生单

子栅穿效应^[8]。

图1为LDMOS器件发生单粒子栅穿及烧毁效应的机理示意图。LDMOS的N+源区、Pwell区及N-漂移区形成了寄生NPN晶体管结构,当重粒子轰击LDMOS器件时,体内过剩载流子在电场下运动,大量空穴流经Pwell区,在Pwell分布电阻上产生压降,导致寄生晶体管开启,漏源电流逐渐增大,最终导致器件烧毁,即发生单粒子烧毁效应^[9-10]。

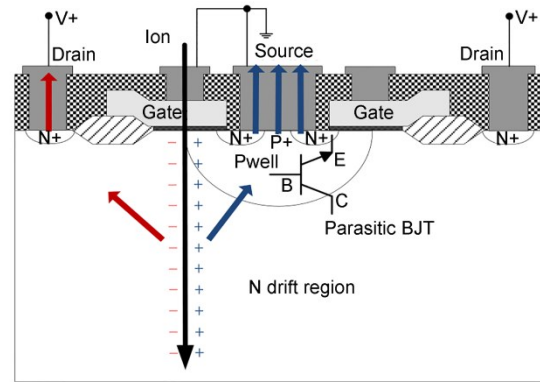


图1 LDMOS器件发生SEGR及SEB的机理示意图
Fig.1 The schematic diagram of SEB and SEGR in LDMOS

1.2 LDMOS抗辐射加固设计

通过分析,LDMOS器件的单粒子效应主要是由于辐射产生的过剩载流子在内部电场影响下运动,形成局部积累或触发寄生晶体管开启等现象,最终导致器件发生栅穿或烧毁。因此抗辐射LDMOS结构的加固技术思路就是要削弱寄生晶体管性能、加快过剩载流子抽离速度,减少其在器件内部的积累。在器件结构设计方面的抗单粒子辐射效应加固的主要措施如表1所示^[5,10]。

通过表1可知,提高LDMOS器件抗单粒子烧毁能力的加固措施包括降低Pwell区电阻、增加Pwell区长度、降低Pwell区载流子寿命以及增加漂移区长度等。然而,增加Pwell区长度、降低Pwell区载流子寿命以及增加漂移区长度等措施通常会对器件的性能造成一定影响,如何在尽量保证器件性能的前提下进行有效抗辐射加固是抗辐射LDMOS设计的关键^[11-12]。本文设计的抗辐射LDMOS采用重掺杂P+well降低寄生晶体管基区电阻,同时配合N型缓冲层结构,以提高LDMOS抗单粒子烧毁能力。

图2所示是抗辐射加固N型LDMOS器件示意图,未加固LDMOS结构如图1所示。两种结构均采用N型外延层设计,可降低器件的导通电阻;栅氧

化层厚度均为 80 nm。与未加固 LDMOS 结构相比, 加固结构 Pwell 区采用 P+ 掺杂, 可降低寄生晶体管的基区电阻, 抑制寄生晶体管开启, 同时为解决高掺杂带来的阈值电压升高的问题, 在沟道区通过进

行阈值调节注入, 控制沟道掺杂以调节阈值电压。同时, 在漏区增加 N 型缓冲层设计, 以降低漏区附近电场强度, 有利于载流子在电场作用下加速抽离体外。

表1 LDMOS 抗单粒子效应加固措施
Table 1 Radiation hardened measurements for LDMOS against single event effect (SEE)

加固措施 Hardening measures	加固机理 Hardening mechanism
降低 Pwell 电阻; 增加 Pwell 长度 Decrease Pwell resistance; increase Pwell length	降低寄生 BJT 电流增益 Decrease parasitic BJT current gain
降低 Pwell 少数载流子寿命; 降低源区掺杂浓度 Decrease minority carrier lifetime in Pwell region; decrease source doping Concentration	降低寄生 BJT 发射极注入效率 Decrease parasitic BJT emitter injection efficiency
增加 N 漂移区长度 Increase N drift region length	提高雪崩击穿电压 Increase avalanche break-down voltage

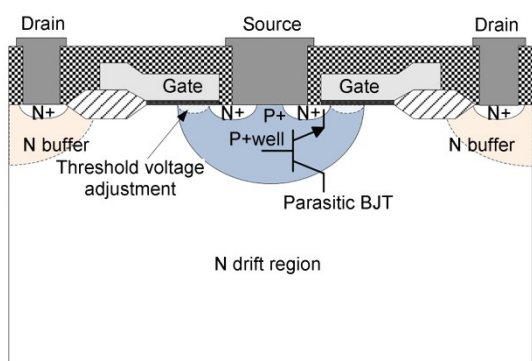


图2 抗辐射加固 LDMOS 结构
Fig.2 Structure of radiation hardened LDMOS

1.3 试验样品及试验方法

为验证重掺杂 P+well 及 N 型缓冲层对 LDMOS 单粒子辐射效应的加固效果, 基于 0.6 μm BCD 工艺对未加固、N 型缓冲层加固结构、重掺杂 P+well 加固结构以及重掺杂 P+well 加 N 型缓冲层加固结构的 4 种 LDMOS 进行流片, 除重掺杂 P+well 为新工艺流程外, 其余结构均基于该工艺平台原有流程实现。

图 3 为 4 种器件的转移特性曲线及击穿特性曲线。未加固器件及采用 N 型缓冲层加固器件阈值电压约为 2.3 V。采用重掺杂 P+well 加固器件和采用重掺杂 P+well 加 N 型缓冲层加固器件, 经过阈值调节注入, 可降低重掺杂阱区对阈值电压的影响, 其阈值电压约为 2.7 V。4 种器件的击穿电压均在 63 V 左右, 满足设计要求。

单粒子辐照试验在中国科学院近代物理研究

所进行, 重粒子类型为 Ta 离子(线性能量转移, LET = 79.2 MeV·cm²/mg), 离子能量为 1 602.3 MeV, 入射(Si)深度为 94.1 μm, 注量率为 1.2×10⁴ cm⁻²·s⁻¹。图 4 为 LDMOS 单粒子试验示意图。

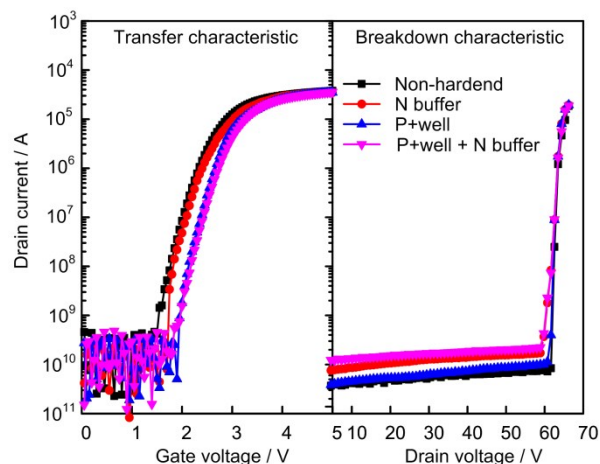


图3 LDMOS 器件的转移特性和击穿特性曲线
Fig.3 Transfer characteristic and breakdown characteristic of LDMOS

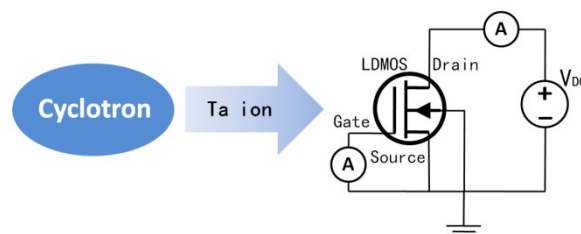


图4 LDMOS 单粒子辐照试验示意图
Fig.4 Diagram of LDMOS SEE irradiation test

试验时 LDMOS 器件均采用反向偏置, 栅极与源极接地, 漏极由 5 V 开始, 以 5 V 为步幅递增, 每个漏极偏置电压步长内离子注量为 $5 \times 10^6 \text{ cm}^{-2}$, 为避免器件失效时电流过大导致芯片烧蚀面积大而影响分析定位, 本次试验直流电源限流为 1 mA, 试验过程中若器件漏源电流达到 1 mA, 则判定为器件失效。若器件发生失效, 则取另一器件在前一电压值基础上以 1 V 为步幅递增, 以便确定器件相对精确的单粒子失效电压; 器件未发生失效时, 记录该器件的偏置电压及电流, 若器件发生失效则记录偏置电压及失效电流值。

2 结果

图 5 为 LDMOS 器件辐照试验结果, 其中未加固 LDMOS 在漏压为 17 V 时发生失效; 采用 N 型缓冲层加固的 LDMOS 在漏压 22 V 时发生失效; 重掺杂 P+well 加固结构失效时漏极电压为 53 V; 而采用重掺杂 P+well 加 N 型缓冲层加固结构的 LDMOS 在 60 V 时仍未发生失效。

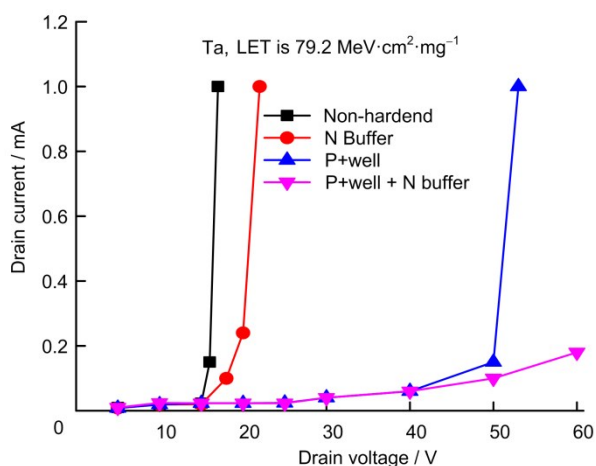


图 5 LDMOS 单粒子辐照试验结果
Fig.5 Results of LDMOS SEE irradiation test

图 6 为未加固 LDMOS 失效器件去层后显微照片, 其烧毁位置起始点位于器件漏极, 根据烧毁点判断该器件的失效模式为单粒子烧毁。

通过试验结果可知, 重掺杂 P+well 及缓冲层结构均可以在一定程度上提高 LDMOS 抗单粒子效应的能力, 其中采用重掺杂 P+well 结构提升更加明显, 但仍未使得 LDMOS 在全电压范围内 (0~60 V) 实现对 Ta 离子辐照的加固。而采用重掺杂 P+well 加缓冲层结构成功将 LDMOS 抗 SEB 电压提升至 60 V。

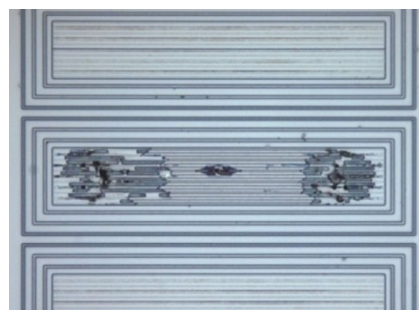


图 6 未加固 LDMOS SEB 失效点显微图
Fig.6 Micrograph of non-hardened LDMOS SEB failure point

3 分析与讨论

3.1 Pwell 掺杂浓度对单粒子效应的影响

为分析重掺杂 P+well 对 LDMOS 单粒子效应的影响, 本文对不同掺杂浓度 Pwell 的 LDMOS 单粒子烧毁电压进行仿真分析。

图 7 为 Pwell 表面掺杂浓度变化对器件抗单粒子烧毁电压的影响。单粒子效应仿真所用粒子按照兰州中国科学院近代物理研究所提供的参数建模。当器件 Pwell 区表面掺杂浓度为 $1 \times 10^{16} \text{ cm}^{-3}$ 时, 器件的烧毁电压约为 15.5 V, 随着 Pwell 掺杂浓度的提升, LDMOS 单粒子烧毁电压逐渐增加, 直至 $1 \times 10^{18} \text{ cm}^{-3}$ 左右时, 器件的单粒烧毁电压达到击穿电压 (约 63 V)。

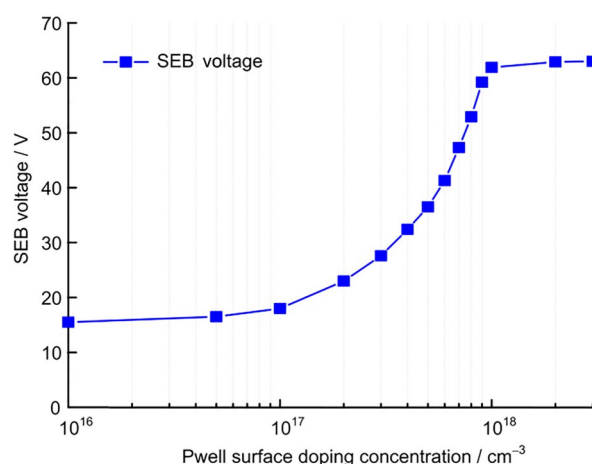


图 7 LDMOS 单粒子烧毁电压与 Pwell 掺杂浓度的关系
Fig.7 Influence of Pwell doping concentration on LDMOS SEB voltage

如图 8 所示, 在 N 型 LDMOS 结构中, Pwell 为寄生 BJT 的基极, 其存在寄生的基区电阻。在单粒子作

用过程中,高能重离子在器件内部沉积能量,产生的大量过剩载流子在内部电场影响下运动,在Pwell区产生压降触发寄生晶体管开启,进而导致器件烧毁。重掺杂P+well可提高寄生BJT基区掺杂浓度,降低寄生BJT的基区电阻,提高SEB电压。研究表明,LDMOS器件单粒子烧毁与器件二次击穿电压密切相关^[13]。图8中A点为器件雪崩击穿电压,B点为寄生晶体管开启点,C点为器件发生二次击穿。通过二次击穿曲线可知,随着Pwell掺杂浓度的提高,器件寄生BJT开启电流(B点)及二次击穿电压(A点)不断提高,当其表面掺杂浓度达到 $2 \times 10^{18} \text{ cm}^{-3}$ 时,其二次击穿电压已大于60 V,即在漏压为60 V时不会发生单粒子烧毁,因此趋于饱和。

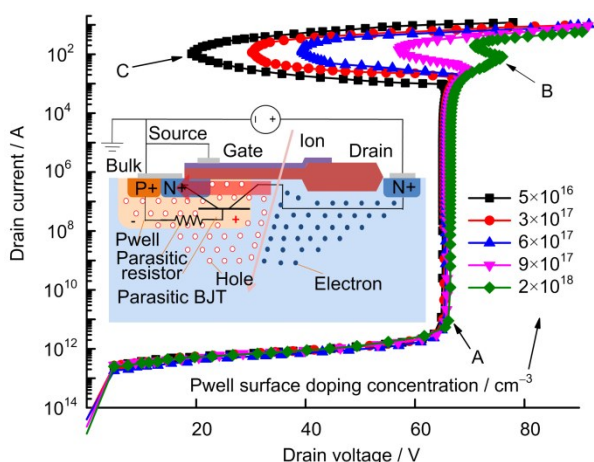


图8 LDMOS击穿特性与Pwell掺杂浓度的关系
Fig.8 Influence of Pwell doping concentration on LDMOS breakdown characteristic

3.2 漏区缓冲层对单粒子效应的影响

本文采用的N型缓冲层结构掺杂浓度介于N+漏区与N-漂移区掺杂浓度之间,在集成电路工艺中可采用Nwell充当N型缓冲层,因此其与现有BCD集成电路工艺兼容性较高。图9为有缓冲层结构及无缓冲层结构的LDMOS在单粒子效应仿真过程中漏区附近的电场强度分布图。

通过对比,有缓冲层结构的LDMOS在辐照过程中其漏区附近1~6 μm处峰值电场约为 $2.3 \times 10^5 \text{ V/cm}$,远低于无缓冲层结构的 $3.7 \times 10^5 \text{ V/cm}$,这有利于该处由于辐射诱生的过剩载流子在电场作用下被加速抽离出器件内部^[10,14],减少过剩载流子在栅氧化层下方以及Pwell区形成积累,从而降低LDMOS器件发生SEGR及SEB的风险。

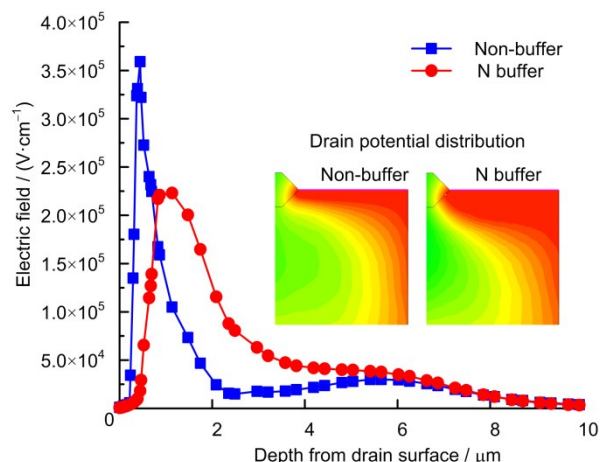


图9 单粒子辐射过程中两种LDMOS结构漏区附近电场强度
Fig.9 LDMOS drain region electric field during SEE

3.3 LDMOS单粒子辐射仿真分析

为进一步分析重掺杂P+well及N型缓冲层对器件抗单粒子性能的加固机理,分别对4种器件进行单粒子效应仿真。其中未加固器件SEB电压为15.5 V;N型缓冲层加固器件SEB电压为19.8 V;重掺杂P+well加固器件SEB电压为50.3 V;重掺杂P+well加N型缓冲层加固器件漏压60 V时未烧毁。

下文以未加固LDMOS及采用P+well加N型缓冲层加固LDMOS仿真结果为例进行分析。图10是未加固LDMOS在单粒子仿真过程中电流密度分布图。在重离子入射后100 ps~1 ns,过剩载流子横向漂移导致器件中寄生晶体管开启,此时漏极电流 I_D 逐渐增大,当重离子作用消失后,器件内部仍存在较大电流。

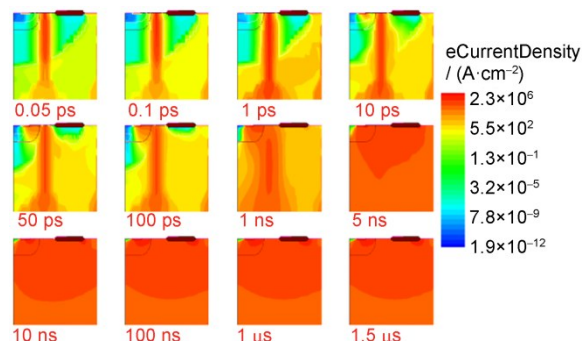


图10 未加固LDMOS单粒子烧毁仿真图
Fig.10 SEB simulation of non-hardened LDMOS

图11为采用P+well加N型缓冲层加固LDMOS单粒子烧毁仿真图,仿真器件的反偏电压为60 V。抗辐射加固LDMOS在重离子作用过程中,过剩载

流子随内部电场作用抽离出器件,虽形成一定的瞬态电流,但其寄生晶体管未开启,重离子作用结束后器件源漏电流逐渐恢复至原有水平。

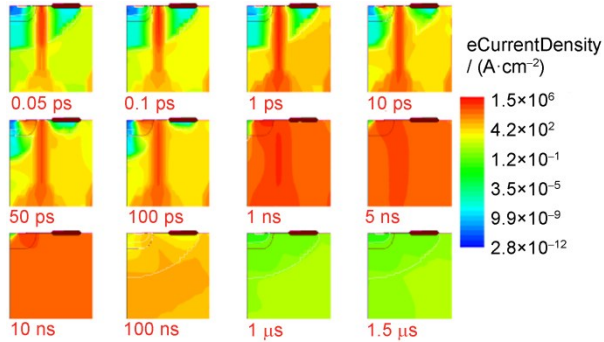


图 11 加固 LDMOS 单粒子烧毁仿真图
Fig.11 SEB simulation of radiation hardened LDMOS

图 12 为两种 LDMOS 器件在单粒子作用过程中的漏极电流 I_D 变化仿真图。随着重离子射入器件内部,两种器件的漏极电流 I_D 逐渐增加,这是由于重离子轰击器件产生大量过剩载流子在内部电场作用下抽离出器件产生的电流。在入射后 1 ns 时,抗辐射加固 LDMOS 晶格温度到达最高(947 K),之后漏极电流逐渐降低,重离子作用消失后恢复至 1.5×10^{-14} A;而未加固器件漏极电流在 1 ns 时,其漏极附近晶格温度达到 4 133 K,远高于硅的熔点温度(1 683.15 K),重离子作用消失后,其漏极电流继续上升达到 20 mA,且无法关断,结合晶格温度及漏极电流分析,该器件发生单粒子烧毁。

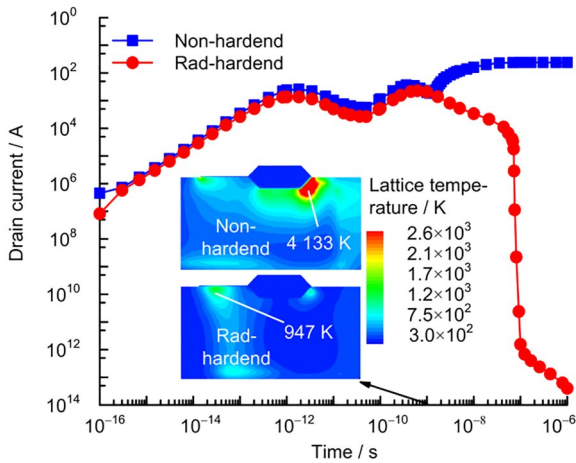


图 12 单粒子辐射仿真中 LDMOS 漏极电流变化
Fig.12 Drain current changes of LDMOS during SEE simulation

图 13 为加固及未加固 LDMOS 器件在单粒子辐照过程中栅氧化层最大场强变化仿真图。在重离子作用过程中,未加固 LDMOS 栅氧化层最大电场

强度达到 6.7×10^6 V/cm,而抗辐射加固 LDMOS 栅氧化层最强电场强度只有 4.4×10^6 V/cm。两种 LDMOS 栅氧化层电场强度均未达到其介质临界击穿场强,即两种器件均未发生栅穿。

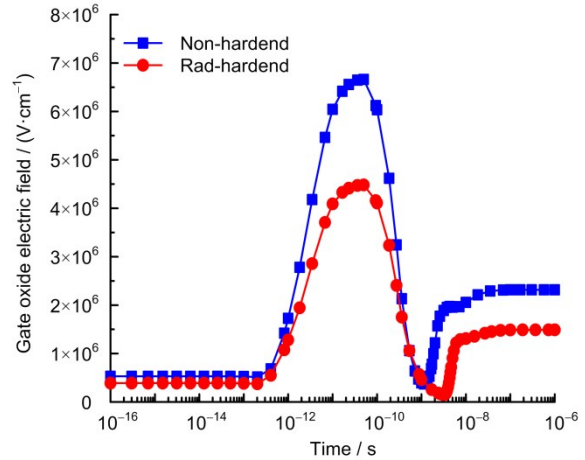


图 13 单粒子辐射仿真中 LDMOS 栅氧化层电场强度变化
Fig.13 Gate oxide electric field changes of LDMOS during SEE simulation

通过对比,抗辐射加固 LDMOS 栅氧化层最强电场强度比未加固结构降低了 34%,这也证明了采用本文设计的加固结构,可优化器件内部电场分布,有利于辐照诱生载流子被加速抽出器件外,减少过剩载流子在器件内部的积累,进而提高器件的抗辐射能力。同时,该结果也与器件单粒子辐照试验中未发现单粒子栅穿的结果一致。

4 结论

本文设计了一种耐压为 60 V 的抗辐射加固 N 型 LDMOS 器件,并基于 TCAD 软件及单粒子试验对加固及未加固器件进行了单粒子辐射效应的仿真分析及试验验证。结果表明,通过采用重掺杂 P+ well 及漏区 N 型缓冲层结构对器件进行加固,将 LDMOS 器件的抗单粒子烧毁电压由 17 V 提升至 60 V,有效提高了 LDMOS 器件的抗辐射能力及可靠性,为宇航用功率集成电路的研发提供参考。

作者贡献声明 初飞和陈洪转负责本论文的研究思路和试验方案设计,指导辐照试验及仿真验证工作,并完成结果论证分析及论文初稿的撰写;彭领负责进行辐照试验、测试及数据分析工作,协助完成论文撰写;王瑛和宁静怡负责 LDMOS 单粒子仿真验证及分析工作。所有作者均已阅读并认可该论文最终版的所有内容。

参考文献

- 1 Landowski M. Design and modeling of radiation hardened lateral power mosfets[D]. Florida: University of Central Florida, 2011: 1-25.
- 2 Schwank J R, Shaneyfelt M R, Fleetwood D M, *et al.* Radiation effects in MOS oxides[J]. IEEE Transactions on Nuclear Science, 2008, **55**(4): 1833-1853. DOI: 10.1109/TNS.2008.2001040.
- 3 Hughes H L, Benedetto J M. Radiation effects and hardening of MOS technology: devices and circuits[J]. IEEE Transactions on Nuclear Science, 2003, **50**(3): 500-521. DOI: 10.1109/TNS.2003.812928.
- 4 Adell P C, Schrimpf R D, Choi B K, *et al.* Total-dose and single-event effects in switching DC/DC power converters[J]. IEEE Transactions on Nuclear Science, 2002, **49**(6): 3217-3221. DOI: 10.1109/TNS. 2002. 805425.
- 5 Shea P M. Lateral power mosfets hardened against single event radiation effects[D]. Florida: University of Central Florida, 2011: 102-115.
- 6 Shea P M, Shen Z J. Numerical and experimental investigation of single event effects in SOI lateral power MOSFETs[J]. IEEE Transactions on Nuclear Science, 2011, **58**(6): 2739-2747. DOI: 10.1109/TNS. 2011. 2172956.
- 7 李燕妃, 吴建伟, 顾祥, 等. 30 V NLD MOS 结构优化及 SEB 能力提高[J]. 电子与封装, 2018, **18**(10): 36-39. LI Yanfei, WU Jianwei, GU Xiang, *et al.* Structure optimization for SEB tolerant enhancement in 30 V NLD MOS[J]. Electronics and Packaging, 2018, **18**(10): 36-39.
- 8 Titus J L. An updated perspective of single event gate rupture and single event burnout in power MOSFETs[J]. IEEE Transactions on Nuclear Science, 2013, **60**(3): 1912-1928. DOI: 10.1109/TNS.2013.2252194.
- 9 Schwank J R, Ferlet-Cavrois V, Shaneyfelt M R, *et al.* Radiation effects in SOI technologies[J]. IEEE Transactions on Nuclear Science, 2003, **50**(3): 522-538. DOI: 10.1109/TNS.2003.812930.
- 10 Jia Y P, Peng L, Su H Y, *et al.* Effect of grade doping buffer layer on SEE failure in VDMOSFET[C]. 2016 IEEE 23rd International Symposium on the Physical and Failure Analysis of Integrated Circuits. Singapore: IEEE, 2016: 276-279. DOI: 10.1109/IPFA.2016.7564299.
- 11 Dodd P E, Shaneyfelt M R, Draper B L, *et al.* Development of a radiation-hardened lateral power MOSFET for POL applications[J]. IEEE Transactions on Nuclear Science, 2009, **56**(6): 3456-3462. DOI: 10.1109/TNS.2009.2033922.
- 12 Hamlyn M, Hower P L, Warren K, *et al.* Transmission line pulse test method for estimating SEB performance of n-channel lateral DMOS power transistors[J]. IEEE Transactions on Nuclear Science, 2018, **65**(1): 249-255. DOI: 10.1109/TNS.2017.2779841.
- 13 Liu S, Boden M, Girdhar D A, *et al.* Single-event burnout and avalanche characteristics of power DMOSFETs[J]. IEEE Transactions on Nuclear Science, 2006, **53**(6): 3379-3385. DOI: 10.1109/TNS.2006.884971.
- 14 Liu S, Titus J L, Boden M. Effect of buffer layer on single-event burnout of power DMOSFETs[J]. IEEE Transactions on Nuclear Science, 2007, **54**(6): 2554-2560. DOI: 10.1109/TNS.2007.910869.