

基于0.18 μm SMIC工艺的一款 TDC芯片设计

马毅超¹ 王亮懿¹ 滕海云² 蒋俊国¹

1(陕西科技大学 西安 710021)

2(中国科学院高能物理研究所 东莞 523000)

摘要 为适应高能物理实验中飞行时间探测器对高速飞行粒子高分辨率的时间测量需求,本文提出了一种差分结构的时间数字转换器(Time to Digital Converter, TDC),其主要测量部分采用差分延迟环实现,并基于该结构设计了一款TDC芯片。差分延迟环TDC主要由时间测量核心模块、时间测量数据传输模块、延迟环校准模块以及时钟产生模块组成。对于时间测量核心模块,又将其细化为延迟环模块、温度计码生成模块以及粗计数与细计数生成模块三个部分。该TDC芯片采用中芯国际(Semiconductor Manufacturing International Corporation, SMIC)0.18 μm 工艺,版图面积为1.35 mm \times 1.35 mm,分辨率达到17 ps,精度达到8.5 ps(Root Mean Square, RMS),动态范围为0~210 μs ,可以满足通常情况下高能物理实验的高精度时间测量需求。

关键词 差分延迟环TDC, 高分辨率, 0.18 μm 工艺, SMIC

中图分类号 TN791, O572.21

DOI: 10.11889/j.0253-3219.2022.hjs.45.110402

Design of a TDC chip based on 0.18 μm SMIC technology

MA Yichao¹ WANG Liangyi¹ TENG Haiyun² JIANG Junguo¹

1(Shaanxi University of Science & Technology, Xi'an 710021, China)

2(Institute of High Energy Physics, Chinese Academy of Sciences, Dongguan 523000, China)

Abstract [Background] The measurement of time-of-flight is one of the indispensable experimental contents in contemporary high-energy physics experiments and plays a vital role in exploring the essence of particle physics. [Purpose] This study aims to design a time to digital converter (TDC) chip that meets the high-resolution time measurement requirements of time-of-flight detectors for high-speed flying particles in high-energy physics experiments. [Methods] First of all, a differential structure TDC was proposed and the main measurement part was realized by differential delay loop composed of time measurement core module, time measurement data transmission module, delay loop calibration module and clock generation module. Based on this structure, three parts of delay loop module, thermometer code generation module, and coarse count and fine count generation module were integrated into the core module of time measurement, and the 0.18 μm SMIC (Semiconductor Manufacturing International Corporation) process was adopted to achieve the TDC chip design. [Results & Conclusions] The designed TDC chip has a layout area of 1.35 mm \times 1.35 mm, a resolution of 17 ps, an accuracy of 8.5 ps (Root Mean Square, RMS), and a dynamic range of 0~210 μs . It can meet the current requirements for high-precision time measurement in high-energy

国家自然科学基金(No.11975255)资助

第一作者: 马毅超, 男, 1984年出生, 2011年于中国科学技术大学获博士学位, 研究领域为高速数字电路设计和集成电路设计

通信作者: 滕海云, E-mail: tenghy@ihep.ac.cn

收稿日期: 2022-06-07, 修回日期: 2022-09-15

Supported by National Natural Science Foundation of China (No.11975255)

First author: MA Yichao, male, born in 1984, graduated from University of Science and Technology of China with a doctoral degree in 2011, focusing on high speed digital circuit design and integrated circuit design

Corresponding author: TENG Haiyun, E-mail: tenghy@ihep.ac.cn

Received date: 2022-06-07, revised date: 2022-09-15

physics.

Key words Differential delay loop TDC, High resolution, 0.18 μm technology, SMIC

粒子飞行时间(Time of Flight, TOF)测量是当代高能物理实验中不可或缺的技术手段之一,它能够间接反映粒子的动量、质量等信息,对于鉴别粒子种类从而确定其反应类型,探究粒子物理本质起着至关重要的作用^[1-2]。不同类型的粒子,在实验中的飞行时间也会存在一定的差异,为了能够实现较好的鉴别能力,通常要求探测器的时间分辨率达到百皮秒以内^[3-4]。现阶段应用广泛的时间数字转换器(Time to Digital Converter, TDC)设计方案主要分为两类:其一是通过延迟链内插法实现高精度时间测量算法的设计,该方法测量精度可达 13 ps 以内^[5],但是内插单元的增多使得解码困难且对时钟要求较高^[6-7];其二是通过时钟分相法实现高精度时间测量算法的设计,该方法没有过多的延时单元插入,解码简单,但是精度最好只能达到 100 ps 左右^[8],难以满足实验中百皮秒内时间精度的要求^[9]。

针对以上两种设计方案存在的问题,本文完成了一款基于差分延迟环结构的 TDC 芯片设计。其中差分延迟环结构可以使芯片的分辨率达到 17 ps。该结构的内插单元较少,且采用双环结构设计,由于两组延迟环之间仅延迟时间不同,其余特性相似,因

此双环之间的延迟差可以抵消工艺、电压及温度变化,使得芯片抗干扰能力强,受外界温度等环境因素影响较小。TDC 芯片采用中芯国际(Semiconductor Manufacturing International Corporation, SMIC) 0.18 μm 工艺技术设计完成并进行流片,可以实现高分辨率的时间数字转换^[10-11]。

1 TDC 芯片结构设计

TDC 芯片结构如图 1 所示,该芯片由差分环 TDC 内核、控制逻辑、温度计解码器、4 位精细计数器(N_f)和 16 位粗计数器(N_c)组成。该芯片在对两组信号时间差进行测量时,代表起始的信号(Start)先进入到慢环,之后代表停止的信号(Stop)再进入到快环。通过内置的比较器对信号状态进行比较,最终输出温度计码“TH”,并通过温度计到二进制编码器转换成 6 位二进制代码。TH 记录结束信号超过起始信号的位置,即延迟单元的数量。精细计数器(N_f)记录结束信号赶上起始信号之前起始信号的传输圈数,粗计数器(N_c)记录结束信号进入差分环 TDC 之前起始信号的传输圈数。通过对三个数据进行整合最终得到测量的时间差。

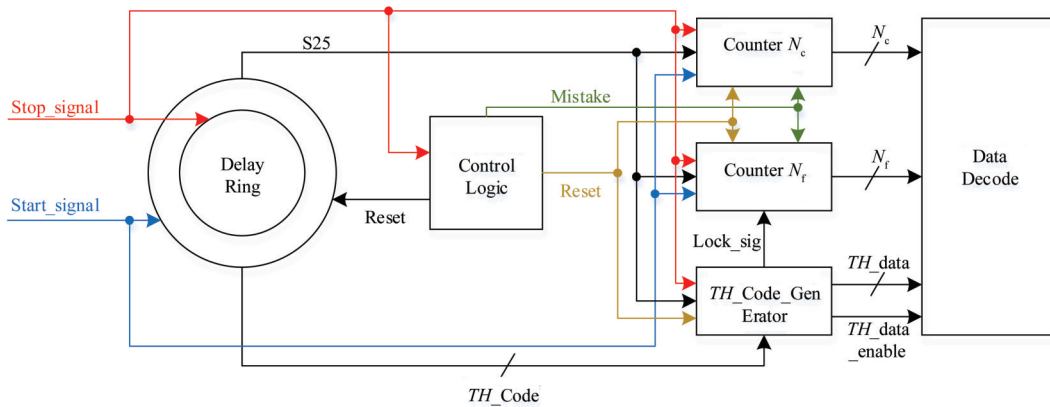


图 1 TDC 芯片结构
Fig.1 Diagram of TDC chip structure

2 电路结构设计

2.1 差分延迟环 TDC 设计

传统的差分延迟链 TDC 如图 2 所示。该 TDC 结构由两条分别带有多个延迟单元的延迟链构成,两条延迟链上的延迟单元相互对应,且每条链自身各延迟单元的延迟时间相同,其中 Start 链上延迟单

元的延迟时间为 t_1 , Stop 链上延迟单元的延迟时间为 t_2 , $t_1 > t_2$ ^[12]。相互对应的两个延迟单元的输出信号在同一个 D 触发器中进行比较,但由于其分辨率与集成电路工艺决定的门延时密切相关,且硬件消耗随测量范围的增大呈指数增长^[13]。为了减少延迟链上延迟单元浪费,本文对传统的差分延迟链进行改进^[14],设计了一种延迟环结构。环状结构可以使差分延迟单元在一次测量中重复使用,通过该设

计可以大大减少延迟单元的数量^[15]。

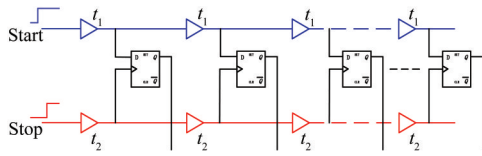


图2 差分延迟链 TDC
Fig.2 Differential delay chain TDC

差分延迟环 TDC 结构如图 3 所示。两个具有不同延迟的与非门环用于测量输入信号的时间间隔。差分环 TDC 的核心由两个比较链路组成,分别在奇数圈和偶数圈时运行^[16]。差分环 TDC 包含奇数个延迟单元,输入信号沿环传播一圈后,会由上升沿变成下降沿。两种类型的比较器沿环交替放置,分别比较上升沿和下降沿。差分环 TDC 的核心由三个部分组成:一个延迟较小的快环、一个延迟较大的慢环和 50 个比较器。每个环有 25 级与非门,延迟可通过外部偏置电压调节。快环和慢环中与非门的传播延迟分别设置为 T_f 和 T_s 。因此,差分环 TDC 的时间分辨率 R 如式(1)所示:

$$R = T_s - T_f \quad (1)$$

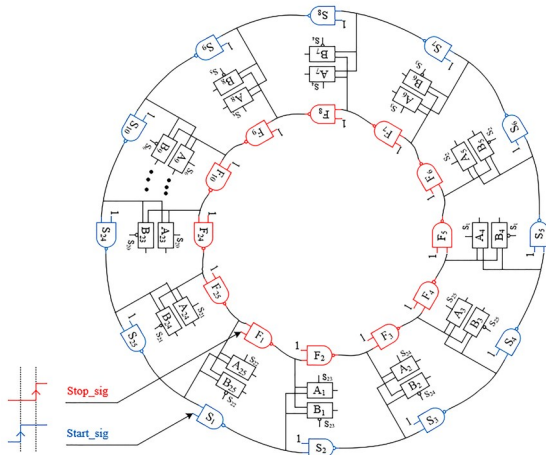


图3 差分延迟环 TDC
Fig.3 Differential delay ring TDC

2.2 判断单元组合设计

差分环 TDC 将整个 TDC 核心分离为两个差分延迟环,如图 4 所示。图 4(a)显示了差分环 TDC 在第一圈中的操作。在第一圈中,起始信号和结束信号的上升沿进入到两个与非门,分别沿慢环和快环进行传输。起始信号在与非门延迟 T_s 后传播到 S_2 , 结束信号在与非门延迟 T_f 后传播到 F_2 。比较器 A_1 比较 S_1 和 F_1 处的两个上升沿,而比较器 B_2 比较 S_2 和 F_2 处的两个下降沿。当起始信号分别传播到 S_{23} 和 S_{24} 时, A_1 和 B_2 将复位。图 4(b)显示了差分环第二圈的操作。与第一圈的操作类似,不同的是在第二圈中,

起始信号和结束信号的下降沿进入到两个与非门。当两个信号都进入差分环后,慢环和快环的输入都设置为逻辑“1”,直到结束信号赶上起始信号。

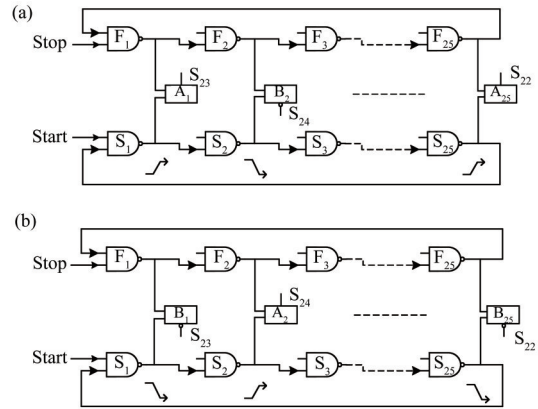


图4 判断单元组合示意图
(a) TDC 第一圈操作, (b) TDC 第二圈操作
Fig.4 Diagram of judgment unit combination
(a) TDC first loop operation, (b) TDC second loop operation

2.3 数据处理及分析

延迟总量由三个元素组成,粗计数器值 N_c 、精细计数器值 N_f 和温度计代码 TH , 如图 5 的时序图所示。在结束信号进入到差分环 TDC 之前,只有起始信号沿着慢环传输,此时的差分环 TDC 在其粗测量模式下工作,时间间隔的差值为 $50T_s$,这种粗插值模式提高了功率和面积效率,使测量时间更加方便。一旦结束信号进入环,差分环 TDC 将使用差分原理自动切换到其精细测量模式,在该模式下, TDC 以精细分辨率对被测时间间隔的剩余部分进行插值,直到结束信号赶上起始信号。由于温度计码的位计数有限,计数器用于辅助计算精细插值的数量。因此差分环 TDC 的最终输出代码,即测量的时间间隔 T 如式(2)所示:

$$T = 50 \times T_s \times N_c + 50 \times R \times (N_f - N_c) + TH \times R \quad (2)$$

其中: TDC 分辨率由 $R = T_s - T_f$ 给出,测量范围为 $0 \sim T$ 。

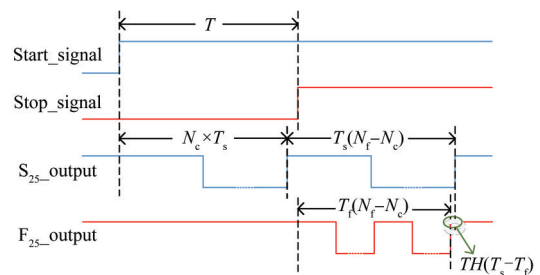


图5 差分环 TDC 时序图
Fig.5 Sequence diagram of differential ring TDC

3 关键模块电路实现

3.1 比较器的实现

图 6 为差分环 TDC 的比较器示意图,其采用了对称拓扑结构,使比较器对外部因素变化的敏感度降低。两个比较器分别由上升沿和下降沿触发,且均由一对边缘检测器、两组复位电路和一个核心比较器组成。在慢环中的起始信号传输期间,每隔一

圈 Rst_i 信号会重置比较器。在开始新的测量之前,来自控制逻辑的 Rst_e 信号将重置所有比较器。两个比较器中的边缘检测器都输出一个窄的负脉冲来设置比较器,继而释放对重置信号的控制。当慢环中的信号首先到达 S_i 时,比较器输出“0”,即结束信号尚未赶上起始信号。当快环中的信号首先到达时,比较器输出“1”,表示结束信号赶上起始信号。系统会检测到比较器输出从 0 到 1 的第一次转换,并用于锁存精细计数器。

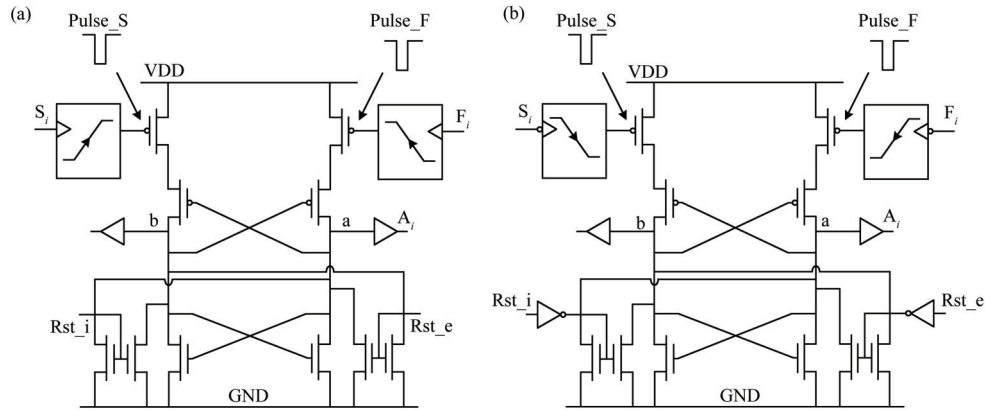


图 6 比较器结构图 (a) 上升沿比较器, (b) 下降沿比较器
Fig.6 Structure diagram of arbiter (a) Rise edge arbiter, (b) Falling edge arbiter

本文 TDC 芯片为单输入通道,输入信号的类型为 TTL(上升沿有效)。比较器的输入输出延迟对 TDC 至关重要,该延迟依赖于两个输入信号之间的时间间隔。当时间间隔小于 1 ps 时,比较器延迟急剧增加。

在每次比较开始之前,都需要重置比较器。复位信号来自慢环中延迟单元的输出,比当前的慢环早三级,需要比较器在慢环的半个周期内进行比较,并在另外半个周期内重置。边缘检测器将比较器 A 与比较器 B 区分开来。图 7 显示了比较器 A 的工作周期,半个周期的时间为 $25T_s$,其中“1”区域和“0”区域的时间分别为 $3T_s$ 和 $22T_s$ 。前半周期是就绪周期,其中比较器准备接收输入信号并判断它们的到达时序。后半周期是重置周期,其中比较器重置为零,输入信号也被屏蔽。如图 7 所示,当 F_i 的上升沿出现在“0”区域时,比较器将输出 0,当 F_i 的上升沿出现在“1”区域时,比较器将输出 1。在两个环中,结束信号追赶起始信号的过程可视为 F_i 的边沿接近并超过 S_i 边沿的过程。

3.2 校正电路的实现

如图 8 所示,当结束信号在其第一圈的传输期间出现在“1”区域时, B₁ 处会发生异常的“01”转变。正常情况下,比较器 B₁ 应该对边沿 c 与边沿 a 进行比较。信号传输发生异常时,边沿 c 将与 F₁ 的下一个

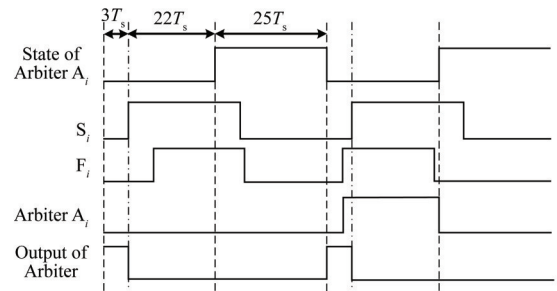


图 7 比较器 A 的运行周期
Fig.7 Operating cycle of arbiter A

下降边沿 b 进行比较。在结束信号沿着快环传输之前,比较器 A₂₅ 和 B₂₄ 均被设置为“0”,此时温度计码的最低有效位将错误检测到“001”转换,差分环 TDC 会错误地判断结束信号已经赶上起始信号,因此需要正确的错误检测和校正电路。该校正电路会屏蔽这种错误的“001”检测信号,并保持结束信号的边沿 c 继续追赶边沿 a,直至下一次追赶发生。延迟的结束信号将在输入快环后立即采样比较器 B₂₄、A₂₅ 以及 B₁ 的状态。如果检测到错误的“001”代码,校正电路会将温度计中的寄存器组重置为二进制编码器,该复位信号将保持有效,直到图 8 中的边沿 c 进入比较器的复位区域。由于比较器 B₂₄、A₂₅ 以及 B₁ 的“001”状态由结束信号采样,因此校正电路正常工作,当输入时间间隔非常小时,可以对校正电路进行

修改,通过使用小相位误差检测(Small Phase Error Detector, SPED)来禁用寄存器组的复位。

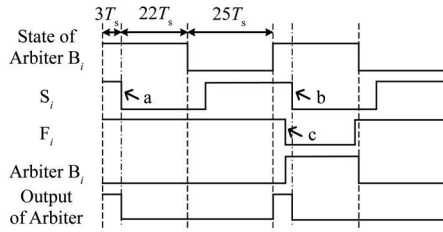


图8 比较器B的意外“01”转换
Fig.8 Unexpected "01" conversion of arbiter B

3.3 温度计到二进制编码器

温度计到二进制编码器由寄存器组、气泡校正、“01”检测电路和二进制编码器组成。两个比较器链的输出被组合成一个50位的温度计码,并将其转换为6位二进制码。温度计码中的第一个“01”转换将由“01”检测电路检测,但是在比较器输出的下降沿中有很多假“01”转换,如图9所示。这种情况需要从差分环TDC的输出中将其移除,因此本文设计的寄存器组将比较器输出的下降沿过滤掉,从而消除温度计码中的假“01”转换。追赶完成后,当差分环的两个外部输入重置为“0”时,两个环就停止工作。

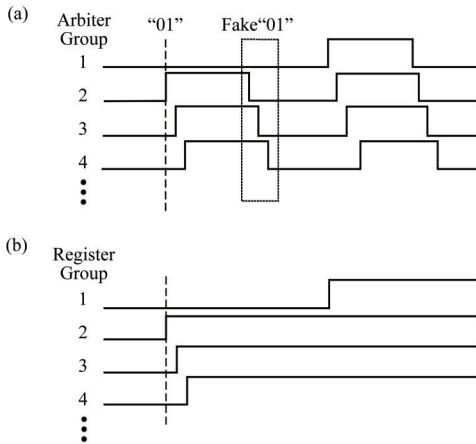


图9 时序图显示寄存器组在下降边缘过滤掉假“01”
(a) 假“01”时序图,(b) 过滤假“01”后的时序图

Fig.9 The sequence diagram shows that the register group filters out the false "01" at the falling edge
(a) Fake "01" sequence diagram. (b) Sequence diagram after filtering fake "01"

3.4 粗细计数电路设计

SPED由两个比较器组成,两个比较器交叉输入结束信号和 S_{25} ,如果两个输入信号之间的时间间隔小于 tw ,则输出“1”。图10为小相位误差检测器的时序图,其中 S_{i1} 、 F_{i2} 和 S_{i2} 、 F_{i1} 被反向复制, S_{25} 和结束信号的延迟分别为 tw 。当 F_{i1} 出现在 B_1 的“1”区域时, B_1 输出为“1”;当 F_{i2} 出现在 B_2 的“1”区域时, B_2 输出为“1”;当结束信号出现在 S_{25} 的小范围内时,Y被

设置为“1”。

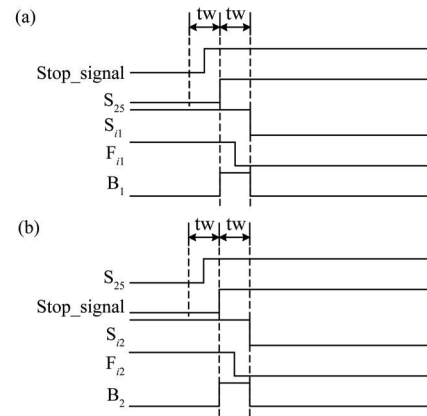


图10 B1 (a)和B2 (b)的时序图
Fig.10 Sequence diagram of B1 (a) and B2 (b)

计数器 N_c 和 N_f 由差分环中的 S_{25} 触发,由于差分环到温度计-二进制编码器和差分环到两个计数器之间的传播延迟差,以及 S_{25} 到粗计数器 N_c 和结束信号到 N_c 之间的延迟差,都可能会出现代码丢失的现象,这些延迟差随输入时间间隔而变化,不容易进行匹配,因此两组计数器 N_c 和 N_f 就用于解决代码丢失的问题。在计数器中, N_{ceven} 和 N_{codd} 用于计算起始信号在结束信号进入差分环之前传输的奇偶圈数。当结束信号没有超过 S_{25} 时,SPED将选择 N_{ceven} ,否则 N_{codd} 减去 B_1 将是 N_c 的结果;当结束信号领先 S_{25} 一小段时间间隔且 N_{codd} 比 N_c 大“1”时, B_1 设置为“1”。同时,在奇数圈追赶时, N_{feven} 将被选中,否则 N_{codd} 减去“1”将是 N_f 的输出。

4 仿真分析

芯片整体版图如图11所示,该版图由Synopsys IC Compiler制作完成,主要由差分延迟环TDC模块、250 MHz时钟的锁相环(Phase Locked Loop, PLL)电路模块、计数器模块、温度计解码器以及控制模块构成。其中差分延迟环TDC模块又可细分为延迟环模块、温度计码生成模块以及粗计数与细计数生成模块三个部分。芯片实体如图12所示,该TDC芯片采用0.18 μm SMIC系列工艺制造^[17-18],时钟输入为25 MHz,芯片死时间为11.77 ns,动态范围为0~210 μs ,整个芯片的版图面积为1.35 mm \times 1.35 mm,芯片在1.8 V电源下进行工作。

TDC芯片在1.8 V工作电压、25 $^{\circ}\text{C}$ 工作温度的基础器件库下进行工作。器件库的部分参数为:时间单位1 ns、电流单元位1 ms、功率单位1 μW 、负载电容单位1 pf、输入信号变化的界定为50%、输出信号变化的界定为50%。在信号的上升与下降过程中,有效高电平的阈值设置为基准电压的70%,有效

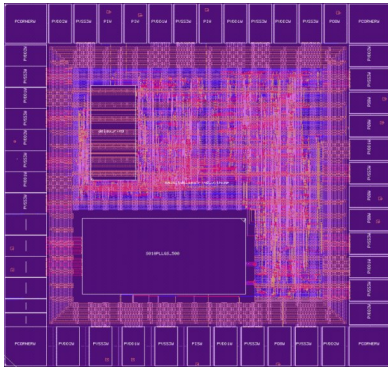


图 11 芯片版图
Fig.11 Chip layout

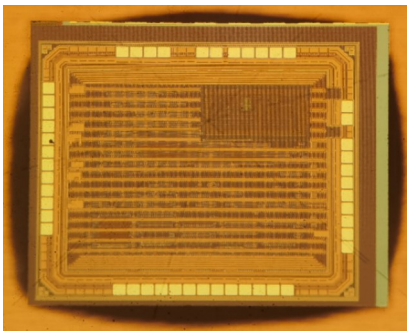


图 12 TDC 芯片图
Fig.12 TDC chip diagram

低电平的阈值设置为基准电压的30%。默认引脚的负载电容为0.004 pf,默认最大传输延时为2.49 ns,默认器件扇出为1。图13为差分延迟环的校准结果曲线图。本文TDC共有50个延迟单元,对差分延迟环的时延进行带寄生参数的后仿真,50 Bin对应的总延迟时间为893 ps,平均每Bin约为17 ps,即时间分辨率为17 ps。图14显示了TDC的时间精度,对时间间隔差值为260 ps的信号进行了100 000次测试,结果表明时间精度为8.5 ps(Root Mean Square, RMS)。图15与图16为实际测量中多组实验数据的真实时间差值与实验时间差值的折线对比图。图15为局部时间差值对比图,图中包含20组有效数据,时间测量间隔为10 ps。图16为总体时间差值对比图,同样为20组有效数据,时间测量间隔为500 ps。由此可得TDC芯片的线性度良好,符合本设计的预期结果。

对每个设置的延迟时间进行2 000次测试,统计TDC读数,按照TDC每个读数为一个时间Bin宽,得到统计结果如图17所示。图18、19分别为延时单元的差分非线性(Differential Nonlinearity, DNL)与积分非线性(Integral Nonlinearity, INL)测试结果。DNL代表延时单元理论时间间隔与实验时间间隔的偏移值。INL则相当于DNL的累积效应。DNL代表延时单元的一致性,DNL越小,延时单元的延

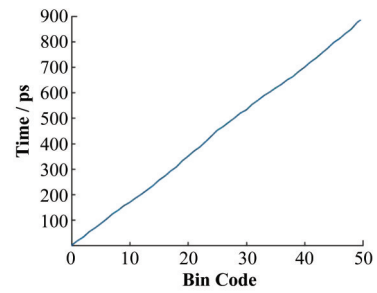


图 13 延迟环校正曲线
Fig.13 Calibration curve of delay ring

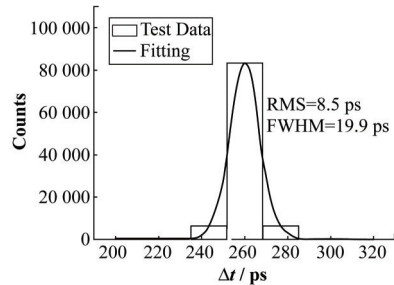


图 14 TDC 时间精度
Fig.14 Time accuracy of TDC

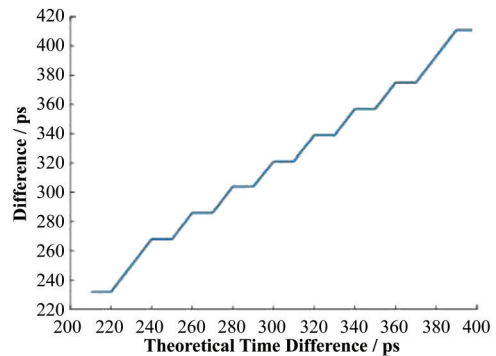


图 15 局部时间差值对比
Fig.15 Comparison of local time difference

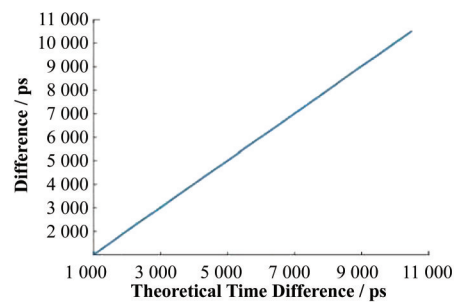


图 16 总体时间差值对比
Fig.16 Comparison of overall time difference

时时间就越均匀。由图18、19可知,TDC的DNL在 $[-0.4, 0.5]$ LSB之间,INL在 $[-1, 0.4]$ LSB之间。

通过对比不同设计TDC芯片的工艺、面积以及分辨率等,如表1所示,本文设计的TDC芯片可以更好地应用于高精度时间测量的高能物理实验中。

表1 不同设计的TDC芯片对比
Table 1 Comparison of TDC chips with different designs

参考文献 Reference	工艺 Technology	面积 Area / μm^2	分辨率 Resolution / ps	时钟频率 Clock frequency / MHz	功耗 Power loss / mW
[1]	0.11 μm CMOS	600×3 000	51.7	600	<100
[2]	SMIC 0.18 μm CMOS	120×120	32	125	
[3]	0.13 μm GSMC	300×40	70		1.36
[6]	0.13 μm CMOS		57		
[17]	0.18 μm CMOS		160		<8
本文 This paper	0.18 μm SMIC	1 350×1 350	17	250	

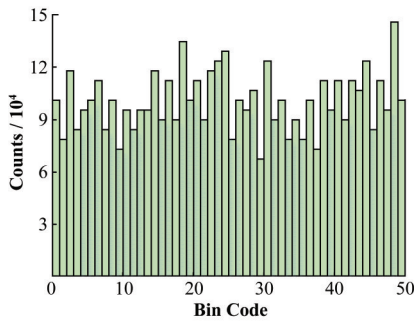


图17 TDC各延迟单元的计数
Fig.17 Counts of each TDC delay bin

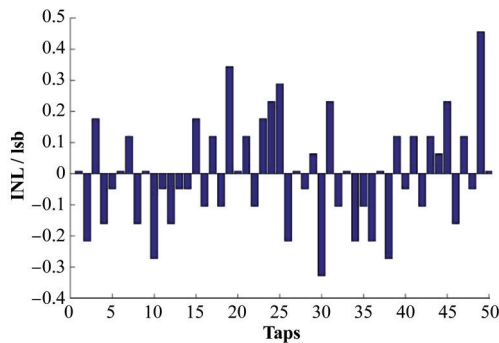


图18 DNL测试结果
Fig.18 DNL test results

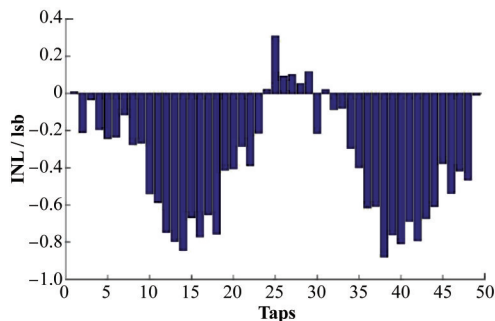


图19 INL测试结果
Fig.19 INL test results

5 结语

本文基于高能物理实验对高精度时间测量的时间数字转换器的需求,在经典差分延迟链的基础上,提出了一种差分延迟环TDC结构,该结构将差分延

迟链中一个个小的差分延迟单元放置在环形结构中,使得差分延迟链上的每个差分延迟单元可以得到重复利用,从而能够测量出更大的时间间隔。在环形结构中重复使用的每个差分延迟单元都能以小面积和低功耗的效率实现高分辨率和大动态范围,提出的差分环TDC动态范围为0~210 μs ,分辨率为17 ps,精度可达8.5 ps (RMS)。该TDC芯片采用0.18 μm SMIC工艺实现,版图面积为1.35 mm×1.35 mm,芯片在1.8 V电源下进行工作,工作频率为250 MHz。综上所述,本文设计的TDC芯片可以更好地应用于高精度时间测量的高能物理实验中。

作者贡献声明 马毅超:负责研究的提出及经费支持;王亮懿:负责文章起草及最终版本修订;滕海云:负责文章审阅;蒋俊国:负责数据分析及技术支持。

参考文献

- 赵捷, 赵野, 童纪昀, 等. 一种用于TOF激光雷达的多通道时数转换芯片设计[J]. 半导体光电, 2021, 42(3): 342 - 347. DOI: 10.16818/j.issn1001-5868.2021.03.008.
ZHAO Jie, ZHAO Ye, TONG Jiyun, *et al.* A design of multi-channel time-to-digital converter for TOF lidar[J]. Semiconductor Optoelectronics, 2021, 42(3): 342 - 347. DOI: 10.16818/j.issn1001-5868.2021.03.008.
- 吴仲. 单光子激光雷达探测器TOF像素单元电路研究与设计[D]. 南京: 南京邮电大学, 2020.
WU Zhong. Research and design of TOF pixel circuit for single photon LiDAR detector[D]. Nanjing: Nanjing University of Posts and Telecommunications, 2020.
- 岳壮, 刘军, 孙向明, 等. 基于计数时钟的两步式TDC设计[J]. 电子设计工程, 2021, 29(19): 7 - 12. DOI: 10.14022/j.issn1674-6236.2021.19.002.
YUE Zhuang, LIU Jun, SUN Xiangming, *et al.* A TDC design based on two-step counting clock[J]. Electronic Design Engineering, 2021, 29(19): 7 - 12. DOI: 10.14022/j.issn1674-6236.2021.19.002.

- 4 王磊, 郭唐永, 庞聪. 一种改进的计数型TDC设计及实现[J]. 大地测量与地球动力学, 2017, **37**(9): 987 - 990. DOI: 10.14075/j.jgg.2017.09.023.
WANG Lei, GUO Tangyong, PANG Cong. A TDC design method by improved counting method[J]. Journal of Geodesy and Geodynamics, 2017, **37**(9): 987 - 990. DOI: 10.14075/j.jgg.2017.09.023.
- 5 李煜. 一种用于PET的时间测量方法研究[D]. 西安: 陕西科技大学, 2021.
LI Yu. Research on a time measurement method for PET [D]. Xi'an: Shaanxi University of Science & Technology, 2021.
- 6 葛达, 梁福田, 王鑫喆, 等. 基于0.13 μm CMOS工艺的时间内插时间数字转换器设计与测试[J]. 核技术, 2018, **41**(4): 040401. DOI: 10.11889/j.0253-3219.2018.hjs.41.040401.
GE Da, LIANG Futian, WANG Xinzhe, *et al.* Design and test of time-interpolation TDC based on 0.13 μm CMOS process[J]. Nuclear Techniques, 2018, **41**(4): 040401. DOI: 10.11889/j.0253-3219.2018.hjs.41.040401.
- 7 郎子健. 硅像素探测器中的高事例率高精度TDC ASIC原型电路的研究[D]. 合肥: 中国科学技术大学, 2021.
LANG Zijian. Research of high event rate and high resolution TDC ASIC prototype for silicon pixel detectors [D]. Hefei: University of Science and Technology of China, 2021.
- 8 赫小萱. 基于FPGA的精密时间间隔测量技术研究[D]. 哈尔滨: 哈尔滨工业大学, 2018.
HE Xiaoxuan. Research on precision time interval measurement technology based on FPGA[D]. Harbin: Harbin Institute of Technology, 2018.
- 9 Russo S, Petra N, de Caro D, *et al.* A 41 ps ASIC time-to-digital converter for physics experiments[J]. Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, 2011, **659**(1): 422 - 427. DOI: 10.1016/j.nima.2011.08.031.
- 10 魏煜秦, 孔洁, 杨海波, 等. 基于FPGA的时间间隔测量设计与实现[J]. 原子能科学技术, 2017, **51**(10): 1893 - 1897. DOI: 10.7538/yzk.2016.youxian.0773.
WEI Yuqin, KONG Jie, YANG Haibo, *et al.* Design and realization of high precision time-interval measurement based on FPGA[J]. Atomic Energy Science and Technology, 2017, **51**(10): 1893 - 1897. DOI: 10.7538/yzk.2016.youxian.0773.
- 11 尹俊, 倪发福, 张建川, 等. 基于FPGA与GPS的时间测量电路设计与实现[J]. 原子能科学技术, 2019, **53**(1): 151 - 157. DOI: 10.7538/yzk.2018.youxian.0229.
YIN Jun, NI Fafu, ZHANG Jianchuan, *et al.* Design and realization of time measurement based on FPGA and GPS [J]. Atomic Energy Science and Technology, 2019, **53**(1): 151 - 157. DOI: 10.7538/yzk.2018.youxian.0229.
- 12 Cheng Z, Zheng X Q, Deen M J, *et al.* Recent developments and design challenges of high-performance ring oscillator CMOS time-to-digital converters[J]. IEEE Transactions on Electron Devices, 2016, **63**(1): 235 - 251. DOI: 10.1109/TED.2015.2503718.
- 13 魏凌峰, 周荣, 杨朝文. ICF中子飞行时间测量电路设计与实现[J]. 核技术, 2015, **38**(7): 070403. DOI: 10.11889/j.0253-3219.2015.hjs.38.070403.
WEI Lingfeng, ZHOU Rong, YANG Chaowen. Design and realization of the ICF neutron time-of-flight measurement circuit[J]. Nuclear Techniques, 2015, **38**(7): 070403. DOI: 10.11889/j.0253-3219.2015.hjs.38.070403.
- 14 周郭飞, 杨宏. 基于互连线插值的时间数字转换器结构设计[J]. 核技术, 2020, **43**(7): 070401. DOI: 10.11889/j.0253-3219.2020.hjs.43.070401.
ZHOU Guofei, YANG Hong. Structure design of time-to-digital converter based on interconnect interpolation[J]. Nuclear Techniques, 2020, **43**(7): 070401. DOI: 10.11889/j.0253-3219.2020.hjs.43.070401.
- 15 Yu J J, Dai F F, Jaeger R C. A 12-bit vernier ring time-to-digital converter in 0.13 μm CMOS technology[C]//2009 Symposium on VLSI Circuits. Kyoto, Japan. IEEE, 2009: 232 - 233. DOI: 10.1109/JSSC.2010.2040306.
- 16 安琪. 粒子物理实验中的精密时间间隔测量[J]. 核技术, 2006, **29**(6): 453 - 462.
AN Qi. Review of methods and techniques of precise time interval measurements for particle physics experiments[J]. Nuclear Techniques, 2006, **29**(6): 453 - 462.
- 17 蓝松富. 基于180 nm CMOS工艺的延迟锁相环型TDC ASIC研究[D]. 合肥: 中国科学技术大学, 2021.
LAN Songfu. Research on delay-locked loop based TDC ASIC in 180 nm CMOS[D]. Hefei: University of Science and Technology of China, 2021.
- 18 Machado R, Cabral J, Alves F S. Recent developments and challenges in FPGA-based time-to-digital converters [J]. IEEE Transactions on Instrumentation and Measurement, 2019, **68**(11): 4205 - 4221. DOI: 10.1109/TIM.2019.2938436.