

基于双锁相环的数据采集时钟电路设计及验证

刘智¹ 高国栋^{1,2} 岳军会¹ 曹建社^{1,2} 杜垚垚¹ 麻惠洲¹ 何俊¹ 叶强¹
唐旭辉^{1,2} 李宇鲲^{1,2} 杨静^{1,2} 魏书军^{1,2}

1(中国科学院高能物理研究所 北京 100049)

2(中国科学院大学 北京 100049)

摘要 基于模数转换器(Analog-to-Digital Converter, ADC)的数字测量系统,对采样数据的信噪比具有较高要求;在各项因素中,采样时钟的抖动对信噪比的影响最为突出。为滤除输入时钟的抖动,采用德州仪器双环路PLL架构的LMK04610芯片,设计了基于双锁相环的时钟电路;经测试,可以把频率为62.475 MHz源时钟大于7 ps的抖动降低到2 ps以下输出频率为499.8 MHz的时钟信号;提供给ADC芯片采样,其采样数据信噪比接近理论值。双锁相环滤除抖动方案,效果良好,可以为数字测量系统设计人员提供借鉴。

关键词 数据采集, 双锁相环, 抖动滤除, ADC信噪比

中图分类号 TL506

DOI: 10.11889/j.0253-3219.2022.hjs.45.100401

Design and verification of data acquisition clock circuit based on dual-loop phase-locked loop

LIU Zhi¹ GAO Guodong^{1,2} YUE Junhui¹ CAO Jianshe^{1,2} DU Yaoyao¹ MA Huizhou¹ HE Jun¹
YE Qiang¹ TANG Xuhui^{1,2} LI Yukun^{1,2} YANG Jing^{1,2} WEI Shujun^{1,2}

1(Institute of High Energy Physics, Chinese Academy of Sciences, Beijing 100049, China)

2(University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract [Background] Digital measurement system based on ADCs (analog-to-digital converter) has higher requirement on the signal to noise ratio (SNR) of sampled data. Among all the factors, the jitter of sampling clock has the most prominent effect on SNR. [Purpose] This study aims to design a clock circuit based on dual-loop phase-locked loop to reduce the jitter of digital measurement system input clock. [Methods] First of all, the influence of clock jitter on digital measurement system was analyzed. Then, the LMK04610 chip with dual loop PLL architecture of Texas Instruments was employed to design and implement a dual-loop phase-locked loop jitter cleaner circuit. The cores of this design were power supply design and the loop filter design. At last, the performance of the circuit was tested by using Rodeschwarz phase noise analyzer. [Results] After testing, the dual-loop phase-locked loop jitter cleaner circuit can reduce the jitter of the 62.475 MHz source clock from more than 7 ps to less than 2 ps with output frequency of 499.8 MHz. The SNR of the sampled data is close to the theoretical value. [Conclusions] Dual-loop

国家自然科学基金(No.11975254)资助

第一作者: 刘智, 男, 1984年出生, 2020年于中国科学院大学获博士学位, 研究领域为基于自研电子学的加速器束流测量、定时等设备的设计实现

通信作者: 魏书军, E-mail: weisj@ihep.ac.cn

收稿日期: 2022-06-06, 修回日期: 2022-08-19

Supported by National Natural Science Foundation of China (No.11975254)

First author: LIU Zhi, male, born in 1984, graduated from University of Chinese Academy of Sciences with a doctoral degree in 2020, focusing on design and implementation of accelerator beam measurement and timing equipment based on self-developed electronics

Corresponding author: WEI Shujun, E-mail: weisj@ihep.ac.cn

Received date: 2022-06-06, revised date: 2022-08-19

phase-locked loop jitter cleaner circuit has a good result and can provide reference for designers of digital measurement system.

Key words Data acquisition, Dual-loop PLL, Jitter cleaner, SNR of ADC

束流测量系统是粒子加速器的重要组成部分,测量的主要参数有束流流强、束流位置、束团长度、束流损失等^[1]。随着现代测量技术的发展,束流测量技术逐步使用数字化测量代替模拟测量及部分光学测量。已投入使用的北京正负电子对撞机(Beijing Electron Positron Collider II, BEPC-II)束流位置测量(Beam Position Measurement, BPM)系统就是基于数字技术研发^[2],用来替换运行时间过久、故障频发的模拟测量系统。上海光源也基于模数转换器(Analog-to-Digital Converter, ADC)技术研发了逐束团流强测量和束流寿命(Beam lifetime)测量系统^[3]。数字测量系统主要由两部分构成:一是ADC,作为连接模拟世界和数字世界的桥梁;二是为ADC提供工作频率的采样时钟。ADC的性能直接影响测量系统的整体性能,性能指标主要有:A/D转换位数,信噪比(Signal to Noise Ratio, SNR)、无杂散动态范围(Spurious Free Dynamic Range, SFDR)、转换速率和量化灵敏度等^[4]。一般来说,ADC的转换位数越多,信噪比越高,其动态范围就越大,有效改善ADC数据的信噪比对系统性能提升有着非常重要的意义^[5]。采样时钟的抖动(Jitter)对ADC数据信噪比具有较大影响^[6],在中高频信号采样时更为突出。因此,在ADC采样电路中,时钟电路的硬件设计方案不仅决定了ADC采样时钟的性能,更决定了整个测量系统的性能,正确选择并设计合适的时钟方案是数字采样电路硬件设计的重要内容^[7]。ADC采样时钟电路一般基于锁相环设计,近几年,芯片公司设计生产了两级锁相环结构的锁相环芯片,基于此可以设计性能更加优越的ADC采样时钟电路。

1 时钟抖动对ADC数据的影响

ADC的主要功能是在采样时钟的作用下,对模拟信号进行采样并产生量化数据。对于数字BPM系统,待测束流中心频率已经达到了射频范畴,此时ADC对于时钟抖动则更为敏感。从时域角度来看,时钟上升沿会产生随机不稳定性即时钟抖动,这会导致采样时间间隔的不确定性,进而在ADC采样数据中引入较大噪声,降低ADC数据的信噪比。时钟抖动对信噪比的影响可以用式(1)来表达^[8]。

$$\text{SNR} = 20\log(2\pi f_{\text{analog}} t_{\text{jitter rms}}) \text{ dB} \quad (1)$$

根据式(1),在时钟抖动不变的情况下(如5 ps),当输入信号频率由100 MHz提高至500 MHz

时,信噪比下降13.98 dB。而在输入模拟信号保持不变时(如500 MHz),若时钟抖动为2 ps,ADC信噪比约为44.04 dB;当时钟抖动增加至5 ps时,ADC信噪比约为36.08 dB,信噪比下降约7.96 dB,此时ADC数据的有效位(Effective Numbers of Bits, ENOB)会相应减少约1.03个^[9]。不同时钟抖动的前提下,输入信号的频率与信噪比的关系可由图1描述。

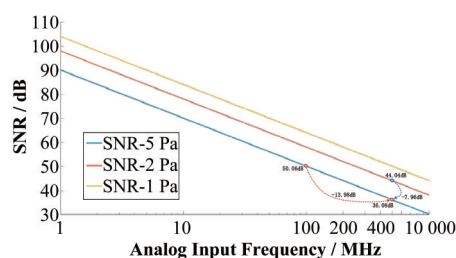


图1 时钟抖动为1 ps、2 ps和5 ps时ADC信噪比
Fig.1 SNR of ADC when clock jitter is 1 ps, 2 ps and 5 ps

在外部输入时钟噪声较大时,输入时钟性能将无法满系统对ADC的信噪比需求。此时,可以采用锁相环(Phase Locked Loop, PLL)抖动滤除器件对输入时钟信号进行噪声滤除,在实现内外时钟同步基础上,降低内部ADC采样时钟的抖动,进而满足系统的信噪比要求。

2 双锁相环时钟基本工作原理

典型的锁相环工作原理如图2所示,图2(a)是其基本结构,图2(b)是锁相过程示意图^[10-11]。具有极窄带宽环路滤波器(Loop Filter, LPF)以及低频、高性能压控振荡器(Voltage Controlled Oscillator, VCO)的单个锁相环可以清除参考时钟噪声,但不能提供高频输出;具有较高带宽环路滤波器以及高频VCO的锁相环能够提供较高频率,但不能滤除参考时钟噪声。通过组合两个锁相环可以实现噪声滤波及产生高频信号:第一级锁相环外接环路滤波器和压控振荡器,实现抖动滤除;第二级锁相环采用内置电荷泵VCO,工作频率可达几个GHz,提供高频频率,在输出分频器的配合下,产生系统所需频率^[12]。

德州仪器(Texas Instruments, TI)的LMK0461x系列器件为双环路PLL架构,功耗低、去抖动性能好。以LMK04610为例,器件内部功能框图如图3

所示,包括PLL1、PLL2、集成VCO、各个时钟路径的

分频电路、输出时延调整和输出分发电路等。

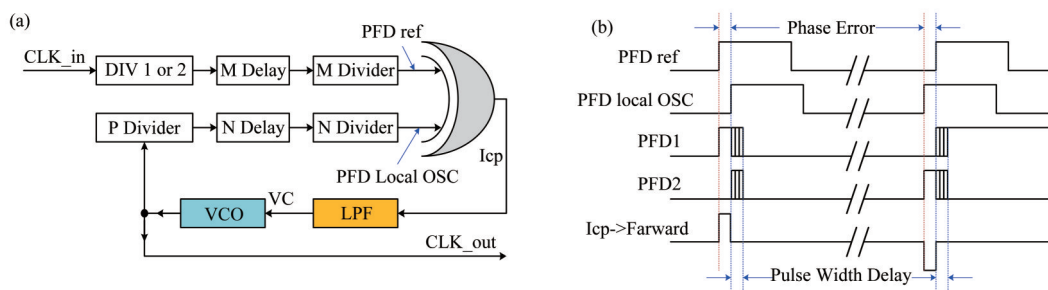


图2 锁相环工作原理示意

(a) 基本结构,(b) 锁相过程

Fig.2 The working principle of PLL
(a) Basic structure diagram of PLL, (b) Phase-lock process

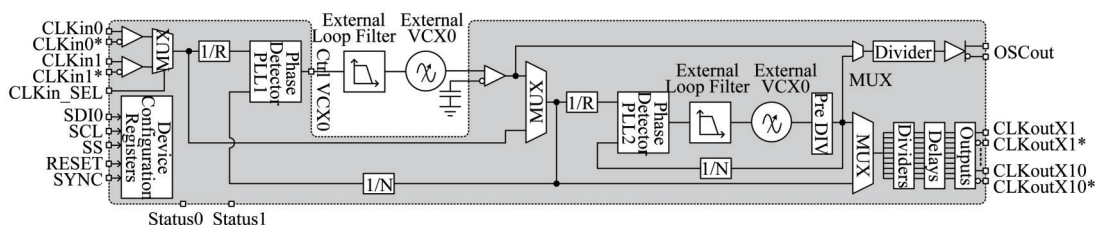


图3 LMK04610基本功能框图

Fig.3 Simplified functional block diagram for LMK04610

其中,第一级锁相环外接环路滤波器和压控晶体振荡器(Voltage-Controlled crystal Oscillator, VCXO),完成抖动滤除功能,输出时钟具有低抖动的近端噪声。第二级锁相环利用内部集成高性能电感电容(Inductance-Capacitance, LC)振荡器实现时钟倍频功能,可以实现低抖动的远端噪声。在两级锁相环作用下,确保输出时钟具有良好的噪声性能,理论上可实现约100 fs级别的抖动输出^[13]。

3 双锁相环时钟去抖电路的设计

双锁相环时钟去抖电路的设计主要包括:硬件电路设计、环路滤波器设计和FPGA(Field Programmable Gate Array)固件程序设计三部分。其中,硬件电路又包括电源、控制链路以及时钟输入输出接口,是时钟去抖电路设计的关键。

3.1 双锁相环时钟电路硬件设计

采用LMK04610的双锁相环时钟电路的硬件设计功能框图如图4所示。时钟输入端口0采用单端输入,端口1采用差分输入以适应不同的应用,在差分输入端进行了冗余设计,通过在PCB板上焊接不同位置电阻,选择外部时钟输入或板载晶振时钟输入。时钟输出采用单端输出,设计中采用巴伦变压器将LMK04610差分输出信号转换为单端信号。

PLL1 外接 VCXO 并采用可编程 VCXO 时钟芯片 Si571,产生可与外部输入时钟信号锁相的时钟信号,环路滤波器采用阻容设计。主控芯片由一片 FPGA 来实现,FPGA 通过 I2C 总线配置 Si571;通过 SPI 总线配置 PLL 芯片 LMK04610;同时,FPGA 设计有 USB 接口和 UART 接口,以方便调试和应用。

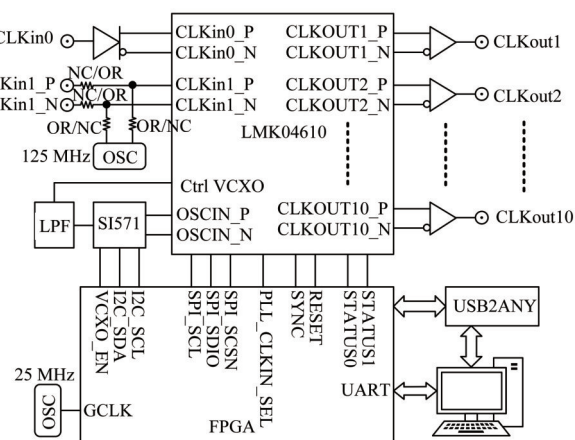


图4 双锁相环时钟电路整体功能框图

Fig.4 Block diagram of dual-loop phase-locked loop system overall design

3.1.1 电源设计

电源噪声对LMK04610的抖动清除性能具有较大影响^[14-15],为降低电源噪声对性能的影响,时钟芯

片 LMK04610 采用超低噪声 LDO 稳压器电源 TPS7A84 供电,该电源芯片可提供 3 A 的电流,输出电压噪声为 $4.4 \mu\text{V}_{\text{RMS}}$ 。VCXO 芯片 Si571 采用另一款超低噪声 LDO 稳压器电源 LP5907 供电,该芯片

可提供 250 mA 电流,输出电压噪声不大于 $6.5 \mu\text{V}_{\text{RMS}}$ 。FPGA 对噪声要求不是很高,因此采用 LT1764 稳压器供电,其电源噪声约为 $40 \mu\text{V}_{\text{RMS}}$ 。电源部分示意图如图 5 所示。

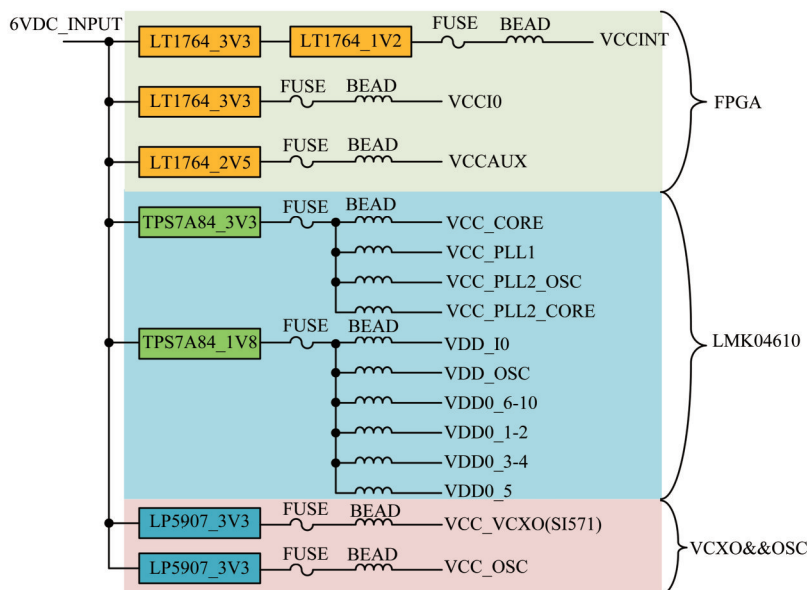


图5 双锁相环时钟电路的电源设计示意图
Fig.5 Diagrammatic drawing of power supply design

3.1.2 控制部分设计

控制部分完成 LMK04610 的正常配置,其示意图如图 6 所示。PC 机通过 USB 接口与 FPGA 相连, FPGA 与 LMK04610 直接相连。在程序调试阶段,位于 PC 机上的 TICS Pro 应用程序通过 USB 接口,经 FPGA 中转完成了 LMK04610 的配置与状态读

取。在调试完成后,将 LMK04610 的配置程序写入 FPGA 的 HDL 代码,生成 MCS 文件并写入配置 FPGA 的 Flash Memory 中,在板卡加电时,HDL 程序启动 FPGA 内部配置程序,完成时钟芯片 LMK04610 的配置工作。

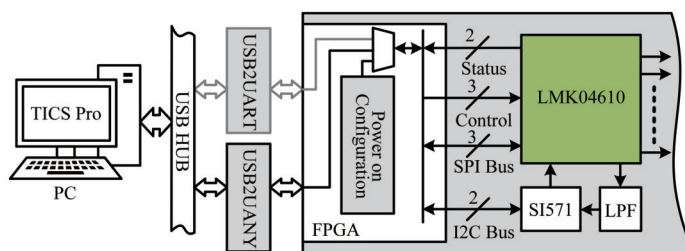


图6 LMK04610控制部分设计原理示意图
Fig.6 Diagrammatic drawing of the configuration circuit

3.1.3 时钟输入输出接口设计

在时钟电路中,时钟信号的主要输入及输出均采用单端设计,而 LMK04610 芯片的输入/输出端口为差分方式,因此在板卡的输入端需要将单端时钟输入信号转换为差分信号,在板卡的输出端需要将差分信号转换为单端信号。单转差分集成电路芯片最高工作频率为 250 MHz,不满足大于 250 MHz 输入/输出时钟需求,因此采用巴伦(Balun)变压器实

现信号单转差分的功能。巴伦是无源器件,其等效电路如图 7(a)所示,根据电压分压关系,可得式(2)和式(3),简单计算可知, U_{21} 和 U_{22} 幅值相等、相位相反;从其等效电路图可知,巴伦可双向传输,输入输出端反向使用,即可实现单端信号与差分信号的相互转换。本设计所选型的巴伦,工作频率范围为 4.5~3 000 MHz,满足电路对于时钟频率的要求,接口原理图示意如图 7(b)所示。

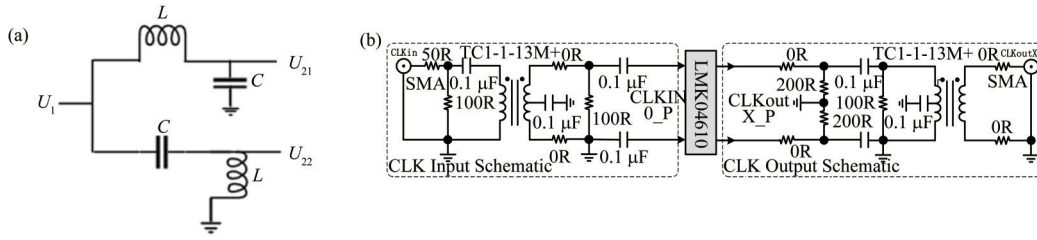


图7 巴伦等效电路图(a),时钟输入/输出单转差分电路原理示意图(b)

Fig.7 Equivalent circuit model of Balun (a), diagrammatic drawing of input/output (b)

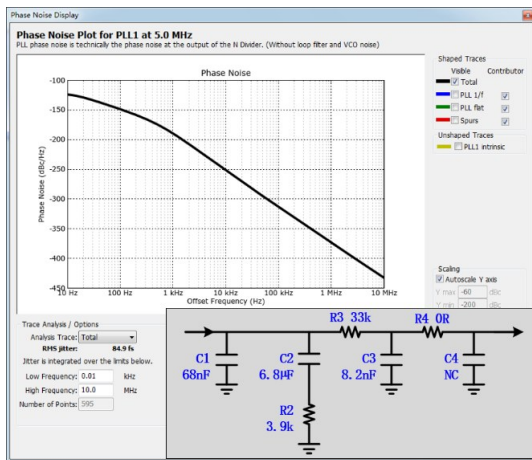
$$U_{21} = \frac{U_1/j\omega C}{1/j\omega C + j\omega L} = \frac{U_1}{1 - \omega^2 LC} \quad (2)$$

$$U_{22} = \frac{U_1 \cdot j\omega L}{1/j\omega C + j\omega L} = \frac{U_1}{\omega^2 LC - 1} \quad (3)$$

3.2 PLL1 环路滤波器设计

锁相环主要由鉴相器、环路滤波器和压控振荡器组成,环路滤波器的作用是滤除鉴相器输出的噪声和误差电压,其性能将直接影响双锁相环时钟电路的去抖动性能。对于频率较高的锁相环,一般使用三阶滤波器^[16]。图8中 C_1 、 C_2 、 C_3 和 R_2 、 R_3 组成了

$$F(s) = \frac{1 + sR_2C_3}{sC_3(1 + sR_2C_3) + sC_3(1 + sR_3C_3) + sC_1(1 + sR_3C_3)(1 + sR_2C_3)} \quad (4)$$

图8 PLL1 环路滤波器设计及其噪声示意图
Fig.8 Design of PLL1 LPF and its phase noise

3.3 FPGA 固件程序设计

FPGA 固件程序的主要功能是完成 LMK04610 的寄存器配置,而 LMK04610 的寄存器有 300 多个,如果用 HDL 语句去逐个配置,工作量大,容易出错,而且效率也不高。本文的实现方法为:首先利用 TI 所提供的 TICS Pro 调试工具把调试好的寄存器配置导出到 TXT 文件;然后,在 HDL 程序设计时将寄存器值写入 ROM 中;最后,设计 HDL 程序,顺序读取 ROM 中的内容,以 LMK04610 要求的配置时序将寄

理想三阶滤波器,其传递函数,即输出波形的拉普拉斯变换与输入波形的拉普拉斯变换之比,如式(4)所示。确定各 R 、 C 值,首先求解传输函数零点和极点,再综合考虑环路滤波器截止频率,鉴相器和压控振荡器的特性,反复迭代得出。本设计采用 TI 的“Clock Design Tool”^[17]进行仿真求解 RC 值,在带宽为 20 Hz 的情况下,各值如图 8 右下角所示。在 PLL1 的鉴相器频率为 5 MHz 时,通过软件计算得出由环路滤波器引入的相位噪声约为 84.9 fs,远小于最终时钟电路所要达到的抖动目标。

存器内容逐一配置进 LMK04610 相应寄存器即可。

为方便调试,FPGA 程序配置 LMK04610 时需要兼顾从 ROM 配置和从计算机配置两种方式,通过设计加电计数器产生控制信号来实现。板卡加电时控制信号为高,HDL 程序从 ROM 中顺序读取配置数据,并通过 SPI 总线配置 LMK04610。在配置完成后,控制信号变低,选通 USB 接口与 LMK04610 接口,此时可通过计算机对 LMK04610 寄存器进行配置、修改和读取。

4 测试及实验结果

时钟测试及结果分析包括两部分:一是时钟去抖动电路功能和性能测试,另一部分为利用此电路提供的去抖动时钟进行采样,对 ADC 的输出数据进行分析。

4.1 时钟去抖动性能测试

时钟测试时,输入时钟由信号源 Rigol DG5072 产生,频率为 62.475 MHz。我们利用罗德施瓦茨仪器公司相噪分析仪 R&S FSWP8 对该信号的噪声进行分析,测量其在 10 Hz~1 MHz 间的均值抖动为 7.8 ps,如图 9(a)所示;经 LMK04610 锁相环去抖后输出频率为 499.8 MHz 的时钟信号,并用 R&S FSWP8 测量其在 10 Hz~1 MHz 间的均值抖动为 1.8 ps,如图 9(b)所示。均值抖动可通过频域相位噪

声计算获得^[18], 计算公式如式(5)所示:

$$\sigma_{\text{RMS}} = \frac{\sqrt{2 \int_{f_1}^{f_2} L_{\phi}(f) df}}{2\pi f_0} \quad (5)$$

式中: f_1 和 f_2 为抖动积分上、下限频率; f_0 为信号中心频率; L_{ϕ} 为相位噪声。

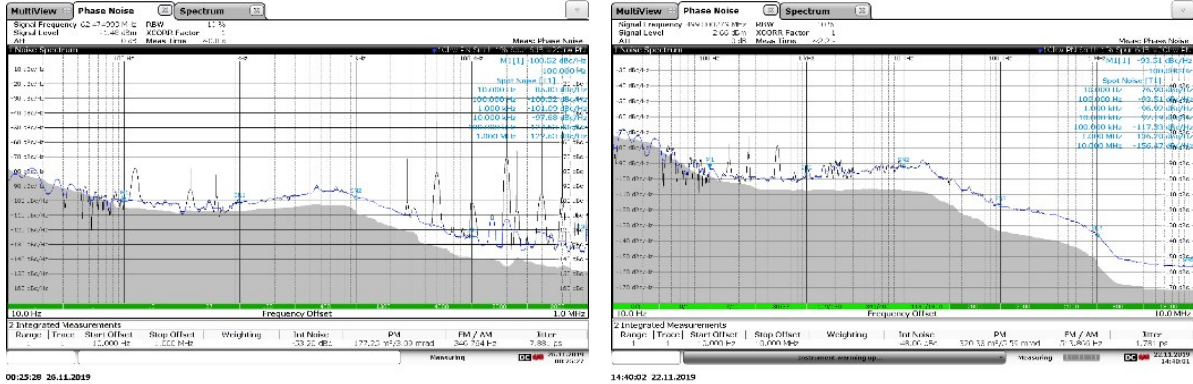


图9 时钟去抖性能测试 (a) 源时钟抖动值, (b) 处理后的时钟抖动值
Fig.9 Test for jitter performance (a) The jitter of source clock, (b) The jitter of processed clock

4.2 ADC采样性能分析

ADC采样性能测试采用带通采样方式测试, 其中采样时钟频率为116.1152 MHz, 它是由499.8 MHz时钟经99分频、23倍频后产生。ADC输入信号为499.8 MHz信号, 由射频信号源产生, 其抖动性能为36 fs。实验获取10 k ADC数据, 利用MATLAB对数据进行信噪比分析, 如果如图10所示, 数据频率为35.34 MHz, 数据信噪比为43.94 dB, 已接近44.95 dB的ADC理论信噪比。

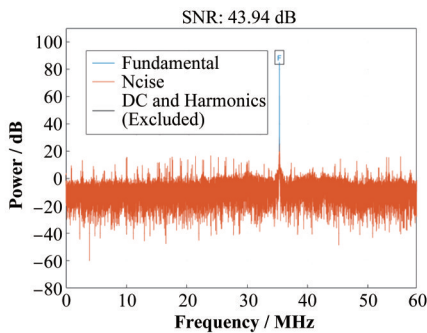


图10 时钟抖动为1.8 ps时ADC带通采样数据信噪比
Fig.10 SNR of ADC band-pass sampling data when the clock jitter is 1.8 ps

5 结语

ADC采样时钟的抖动会降低ADC的SNR, 在中高频信号输入尤甚。利用双锁相环去抖时钟电路, 可以将外部输入时钟的抖动降低, 进而大大改善ADC数据的信噪比。经测试, 本文设计的方案可以

将大于7 ps的抖动降低至2 ps以内; 经过ADC采样数据分析, 信噪比接近理论值。双锁相环抖动消除电路设计方法, 能够给从事测量系统的设计人员提供参考, 提高测量系统的性能。此外, 本文电路设计的压控晶振采用可编程晶振, 可以实现较大范围任意频率输出; 一路输入信号可产生10路输出信号, 再采用级联的方式, 可构建多台设备的同步采样时钟网络。

作者贡献声明 刘智: 负责系统整体的设计验证, 以及文章的撰写和修订; 高国栋: 负责系统性能测试; 岳军会、曹建社: 负责论文的修改及审定; 杜焱焱、麻惠州、何俊、叶强、唐旭辉、李宇赜、杨静: 分别从自己擅长的领域出发进行资料的搜集和整理; 魏书军: 负责研究的提出及论文的修改。

参考文献

- 赵籍九, 尹兆升. 粒子加速器技术[M]. 北京: 高等教育出版社, 2006.
ZHAO Jijiu, YIN Zhaosheng. Particle accelerator technology[M]. Beijing: Higher Education Press, 2006.
- 随艳峰, 杜焱焱, 叶强, 等. 基于BEPICII数字束流位置测量系统电子学系统的设计与实现[J]. 原子能科学技术, 2020, 54(1): 172 - 178.
SUI Yanfeng, DU Yaoyao, YE Qiang, et al. Development of digital beam position monitor electronics system based on BEPICII[J]. Atomic Energy Science and Technology, 2020, 54(1): 172 - 178.
- Gao B, Chen F Z, Zhou Y M, et al. Bunch-by-bunch

- beam lifetime measurement at SSRF[J]. Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, 2021, **1015**: 165758. DOI: 10.1016/j.nima.2021.165758.
- 4 张永伟. 一种高速 ADC 动态性能参数测试的新方法[J]. 舰船电子对抗, 2014, **37**(3): 56 - 59. DOI: 10.16426/j.cnki.jcdzdk.2014.03.015.
ZHANG Yongwei. A new method for testing high-speed ADC dynamic performance parameters[J]. Shipboard Electronic Countermeasure, 2014, **37**(3): 56 - 59. DOI: 10.16426/j.cnki.jcdzdk.2014.03.015.
- 5 任圣君, 陈少昌. 模数转换器(ADC)性能对雷达系统的影响性分析[J]. 舰船电子工程, 2017, **37**(10): 60 - 65.
REN Shengjun, CHEN Shaochang. Analysis of the influence of ADC performance on radar system[J]. Ship Electronic Engineering, 2017, **37**(10): 60 - 65.
- 6 张帆. 提升宽带高速 ADC 的 SFDR 性能的关键技术[J]. 电子质量, 2019(12): 43 - 49. DOI: 10.3969/j.issn.1003-0107.2019.12.010.
ZHANG Fan. Key technology to improve SFDR performance of broadband high speed ADC[J]. Electronics Quality, 2019(12): 43 - 49. DOI: 10.3969/j.issn.1003-0107.2019.12.010.
- 7 吕方兴. 基于光学时钟技术的高速 ADC 系统的研究[J]. 电子测量技术, 2021, **44**(6): 17 - 22. DOI: 10.19651/j.cnki.emt.2105771.
LYU Fangxing. Photonic time-interleaved ADC based on optical clock distribution[J]. Electronic Measurement Technology, 2021, **44**(6): 17 - 22. DOI: 10.19651/j.cnki.emt.2105771.
- 8 Brad Brannon. Aperture uncertainty and ADC system performance[EB/OL]. [2022-04-20]. https://www.analog.com/media/cn/technical-documentation/application-notes/an-501_cn.pdf.
- 9 张志强, 阮黎婷, 倪涛, 等. ADC 模数转换器有效位计算[J]. 电子科技, 2010, **23**(3): 84 - 85, 110. DOI: 10.16180/j.cnki.issn1007-7820.2010.03.009.
ZHANG Zhiqiang, RUAN Liting, NI Tao, *et al.* Calculation of effective numbers of bits for the analog-to-digital converter[J]. Electronic Science and Technology, 2010, **23**(3): 84 - 85, 110. DOI: 10.16180/j.cnki.issn1007-7820.2010.03.009.
- 10 蒲明臻, 赵宏亮, 鲜卓霖, 等. 低杂散、低相噪的电荷泵锁相环设计[J]. 固体电子学研究与进展, 2021, **41**(4): 285 - 290. DOI: 10.19623/j.cnki.rpsse.20210518.001.
PU Mingzhen, ZHAO Hongliang, XIAN Zhuolin, *et al.* Design of low-spur and low-phase-noise CPPLL[J]. Research & Progress of SSE, 2021, **41**(4): 285 - 290. DOI: 10.19623/j.cnki.rpsse.20210518.001.
- 11 曾兆权, 龚立娇, 李红跃. 电荷泵锁相环电路建模与仿真[J]. 自动化与仪表, 2022, **37**(2): 79 - 85, 90. DOI: 10.19557/j.cnki.1001-9944.2022.02.016.
ZENG Zhaoquan, GONG Lijiao, LI Hongyue. Modeling and simulation of charge pump phase-locked loop circuit [J]. Automation & Instrumentation, 2022, **37**(2): 79 - 85, 90. DOI: 10.19557/j.cnki.1001-9944.2022.02.016.
- 12 Kyle Slightom. Dual-loop clock generator cleans jitter, provides multiple high-frequency outputs[EB/OL]. [2022-04-20]. <https://www.analog.com/en/analog-dialogue/articles/dual-loop-clock-generator.html>.
- 13 Texas Instruments. LMK04610 ultra-low noise and low power JESD204B compliant clock jitter cleaner with dual loop PLLs[EB/OL]. [2022-04-20]. <https://www.ti.com/product/LMK04610>.
- 14 Texas Instruments. LMK0461x phase noise performance with DC-DC converters[EB/OL]. [2022-04-20]. <https://www.ti.com/lit/an/snua308b/snua308b.pdf>.
- 15 王力, 武杰. 电源噪声对模数转换器性能的影响[J]. 核技术, 2020, **43**(11): 110402. DOI: 10.11889/j.0253-3219.2020.hjs.43.110402.
WANG Li, WU Jie. Influence of power supply noise on the performance of ADC[J]. Nuclear Techniques, 2020, **43**(11): 110402. DOI: 10.11889/j.0253-3219.2020.hjs.43.110402.
- 16 任青莲, 高文华, 郭萍. 三阶 PLL 无源环路滤波器的设计与仿真[J]. 四川兵工学报, 2014, **35**(2): 101 - 104. DOI: 10.11809/scbgxb2014.02.029.
REN Qinglian, GAO Wenhua, GUO Ping. Design and simulation of passive loop filter of third-order PLL[J]. Journal of Sichuan Ordnance, 2014, **35**(2): 101 - 104. DOI: 10.11809/scbgxb2014.02.029.
- 17 Texas Instruments. Clock design tool v1.1 instructions user's guide[EB/OL]. [2022-04-20]. <https://www.ti.com/lit/ug/snau082/snau082.pdf>.
- 18 肖诚成, 尹哲, 张俊强, 等. 低电平系统中 C 波段时钟本振的设计及测试[J]. 核技术, 2021, **44**(1): 010201. DOI: 10.11889/j.0253-3219.2021.hjs.44.010201.
XIAO Chengcheng, YIN Zhe, ZHANG Junqiang, *et al.* Design and test of a C band local oscillator and clock device in LLRF[J]. Nuclear Techniques, 2021, **44**(1): 010201. DOI: 10.11889/j.0253-3219.2021.hjs.44.010201.