

基于 DSP 与 FPGA 粘滑式压电驱动器的控制系统研究

温尚林, 刘曰涛, 于智勇, 祝保财, 邹大林

(山东理工大学 机械工程学院, 山东 淄博 255049)

摘要:以提高粘滑式压电驱动器的输出性能和重复定位精度为目的,提出了一种以数字信号处理器(DSP)和现场可编程门阵列(FPGA)为核心的粘滑式压电驱动器的控制器。对FPGA与DSP硬件与软件进行设计:FPGA实现直接数字合成(DDS)技术产生驱动信号,搭配后续的高电压动态放大电路,可使压电陶瓷快速充、放电,从而实现粘滑运动;DSP接收输入及反馈信号并对其进行计算与判别,从而控制信号发生器产生频率不同、电压不同的驱动信号。反馈模块选择合适的光栅编码器后形成完整的闭环控制系统。搭建实验平台进行性能测试,当驱动频率为2.5 kHz、驱动电压幅值在120 V、负载为4 g时,最大速度为9.782 mm/s,重复定位精度为0.1 μm 。

关键词:粘滑原理;压电驱动器;DSP;FPGA;DDS技术

中图分类号:TN384;TP27.3;TN304.9 **文献标识码:**A

Research on Control System of Adhesive Sliding Piezoelectric Driver Based on DSP and FPGA

WEN Shanglin, LIU Yuetao, YU Zhiyong, ZHU Baocai, ZOU Dalin

(School of Mechanical Engineering, Shandong University of Technology, Zibo 255049, China)

Abstract: To improve the output performance and repeat positioning accuracy of a stick-slip piezoelectric actuator, a controller based on digital signal processor (DSP) and field-programmable gate array (FPGA) was proposed. The hardware and software of the FPGA and DSP were developed, with the FPGA utilizing direct digital synthesis (DDS) technology to generate driving signals. Combined with a high-voltage dynamic amplification circuit, the piezoelectric ceramic was rapidly charged and discharged, enabling stick-slip motion. This motion controlled the signal generator, allowing it to produce driving signals with varying frequencies and voltages by calculating and interpreting the received input and feedback signals. The feedback module incorporates an appropriate grating encoder to form a closed-loop control system. An experimental platform was built to conduct performance testing. When the driving frequency was 2.5 kHz, the driving voltage amplitude was 120 V, and the load was 4 g, the maximum speed achieved was 9.782 mm/s, and the repeat positioning accuracy reached 0.1 μm .

Key words: sticky slip principle; piezoelectric driver; DSP; FPGA; DDS technology

0 引言

随着科学技术的进步,精密制造、集成电路、微电子、航空航天等众多领域对高精度定位的要求越来越高,甚至达到了微纳米级别^[1]。粘滑式压电驱动器凭借定位精度高、工作行程大、响应快、功耗低等优点,在各领域得到广泛应用^[2-3]。粘滑式压电驱动器利用压电元件的惯性驱动原理,实现了动子的直线往复运动输出,但其存在回退现象,将导致定位精度降低等问题^[4]。

为了提高粘滑式压电驱动器的输出性能与定位精度,采用闭环控制方法设计了以数字信号处理器(DSP)和现场可编程门阵列(FPGA)为核心的驱动控制器。利用光栅编码器检测粘滑式压电驱动器的位置信息,并通过反馈模块提供的信号来实现位置判断,该反馈信号是确保整个系统正常运行的关键。该研究改善了粘滑式压电驱动器的输出性能,提高了定位精度,具有一定的实际应用价值。

收稿日期:2024-07-31

基金项目:国家自然科学基金资助项目(No. 51805299)

作者简介:温尚林(2000-),男,山东省淄博市人,硕士生。通信作者:刘曰涛(1980-),男,山东省淄博市人,副教授,博士。

1 粘滑式压电驱动器工作原理

本文所设计的粘滑式压电驱动器是基于压电叠层结构,将柔性铰链、滑动导轨、滑块等位移传递机构相结合,既能满足微纳米级别高精度定位,又能连续积累单步位移量^[5]。其中柔性铰链机构是传递形变信息的微位移平台,能在轴向和横向两个方向上同时产生驱动力,从而使滑块实现直线运动。在 1 个运动周期中,驱动器的运动模式由初始阶段、缓慢驱动阶段、快速恢复阶段 3 个阶段组成^[6],具体细节如图 1 所示。图中粘滑驱动模块从左到右分别为压电驱动器(PA)、滑块及驱动物体。PA 放置在地面和驱动物体之间,滑块为末端执行器。PA 的运动受到施加电压的控制,滑块在驱动物体上借助摩擦力滑动。

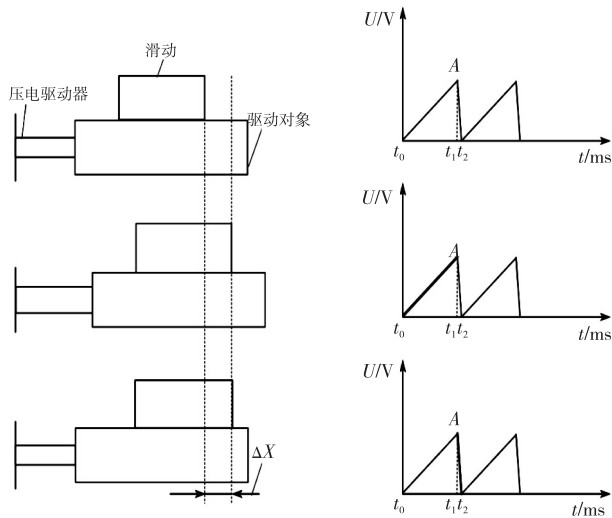


图 1 粘滑驱动原理图

由图 1 可见,在初始阶段,PA 未施加电压。在缓慢驱动阶段(t_0-t_1),驱动电压缓慢升高,控制 PA 以较小加速度缓慢延伸,驱动物体以相同的加速度向右移动。施加到滑块上的惯性力取决于滑块的质量和 PA 的加速度,且惯性力小于最大静摩擦力。滑块粘住驱动物体并向右移动称为“粘滞”期。在快速恢复阶段(t_1-t_2),驱动电压迅速下降,控制 PA 以较大加速度快速回缩,驱动物体以相同的加速度向左移动。施加到滑块上的惯性力取决于滑块的质量和 PA 的加速度需大于最大静摩擦力。滑块相对于驱动物体滑动,相对于地面静止,称为“滑移”期。

经过上述 3 个阶段,滑块实现了步进运动;不断重复 3 个阶段,滑块则可向右移动。若想让滑块向左移动,可施加与之相反的电压。根据 PSTA 原理,滑块的驱动运动发生在“粘滞”期间。

2 粘滑式压电驱动器的结构设计

图 2 为所设计的粘滑式压电驱动器实物图,驱动器整体包括压电叠堆、柔性铰链机构、导轨、预紧螺栓及滑块。作为驱动源和动力传动以及位移放大机构,叠堆型压电陶瓷与柔性铰链机构是其中最重要的两个元件。柔性铰链机构由直圆型柔性铰链、驱动足以及支架组成,其本身材质为 7075 铝合金,在压电叠堆的伸缩变形下,可以使驱动足推动滑块沿水平方向移动;预紧螺栓用来调节压电叠堆与柔性铰链机构之间的预紧力;选择交叉滚子导轨以降低摩擦系数变化对运动以及控制定位精度的影响,导轨与滑块在机械耦合的情况下可以实现运动单元的位移累积;滑块设计尺寸为 $40\text{ mm} \times 40\text{ mm} \times 5\text{ mm}$,确保滑块与驱动器的接触界面能产生足够的粘滑效应,减少摩擦力并提高传动效率。

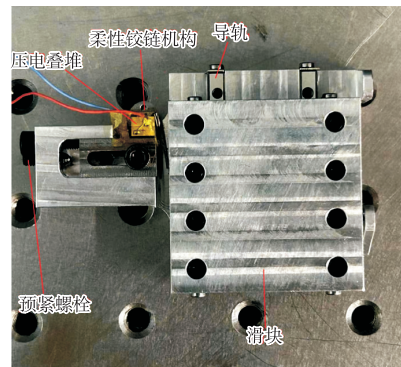


图 2 粘滑式压电驱动器实物图

3 粘滑式压电驱动器控制系统的硬件设计

硬件是一个控制系统的基础,也是控制程序能够正常运行的前提条件。对粘滑式压电驱动器控制器、传感器及执行器分别进行设计以形成一个完整的控制系统。本文设计将 DSP 控制器与 FPGA 信号发生器集成在同一电路板上。DSP 接收目标位置输入信号后,经过数字信号处理并与当前位置进行对比,确定运动策略并将控制信号传输给 FPGA。FPGA 利用直接数字合成(DDS)技术生成驱动信号,配合数模转换器和高动态电压放大电路,实现对粘滑式压电驱动器的精确调压和调频控制。此时粘滑式压电驱动器将输出信号传递给光栅编码器,光栅编码器可以直接输出数字信号,将反馈信号传递给 DSP。继续对其进行处理与判断,以减小误差使其定位更加精准。根据要求设计的粘滑式压电驱动器控制系统硬件结构主要由电源模块、DSP、FPGA、D/A、光栅编码器组成,如图 3 所示。

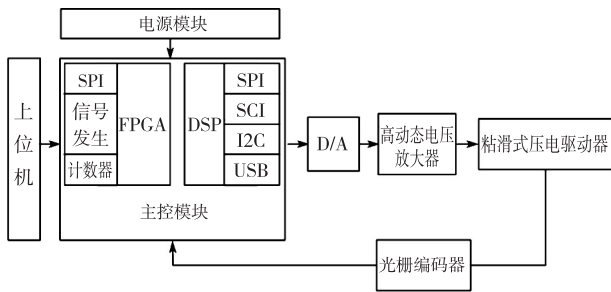


图3 控制系统硬件结构

电源模块首先将外部 220 V 交流电通过电源转换开关转换为 24 V 的内部供电。内部采用的 TPS75003 电源管理芯片由 95% 的 3 A 降压控制器和 1 个 300 mA 的线性稳压器 LDO 组成。输入电压范围控制在 2.2~6.5 V, 主要是为了进行稳压滤波、降低噪声、保护设备安全运行。其电路图如图 4 所示。

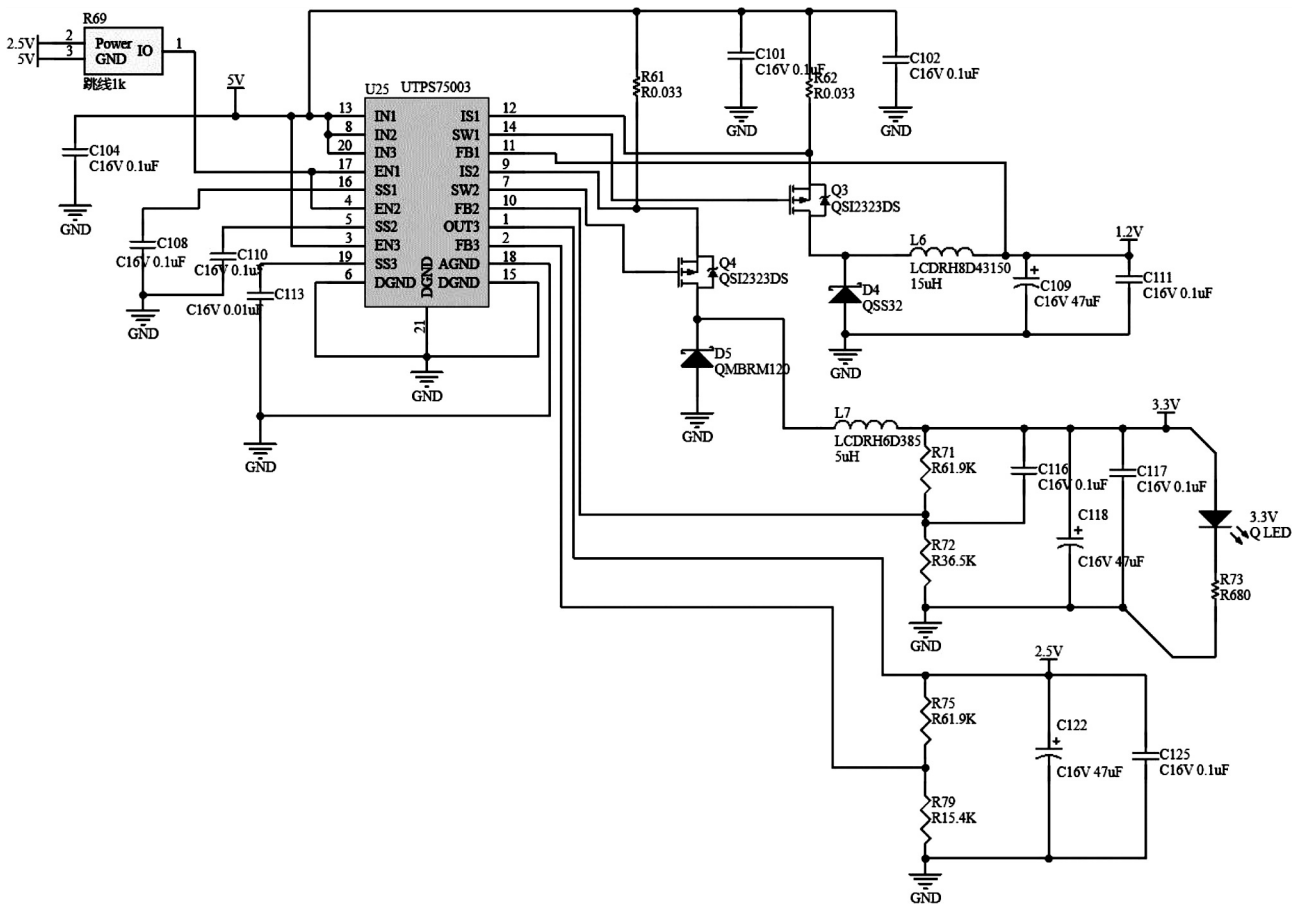


图4 TPS75003 电路图

DSP 是整个控制系统的核心,故选择一款合适的芯片至关重要^[7]。综合考虑速度、精度、功耗等因素,选择 TMS320F28379D 以满足本文研究需求,其具有独立的 32 位浮点处理器及 200 MHz 的信号处理性能,运算速度快,接口类型多。输入信号及反馈信号传输至 DSP,通过内部的计算与判别控制信号发生器产生频率不同、电压不同的驱动信号。基于 TMS320F28379D 的最小系统包括芯片本身、复位电路、时钟电路以及 JTAG 接口电路 4 部分,其

电路原理图如图 5 所示。

FPGA 被用于实现 DDS 技术,以产生更稳定、可靠且灵活性更大,可根据不同情况进行调节的驱动信号。本文选取 Spartan-3E 系列的 XC3S500E 芯片,其输出信号快,且搭配后续的高电压动态放大电路可使压电驱动器快速充、放电,从而实现粘滑运动。XC3S500E 的最小系统包括芯片本身、复位电路、时钟电路、JTAG 接口电路和配置电路,详细电路图如图 6 所示。

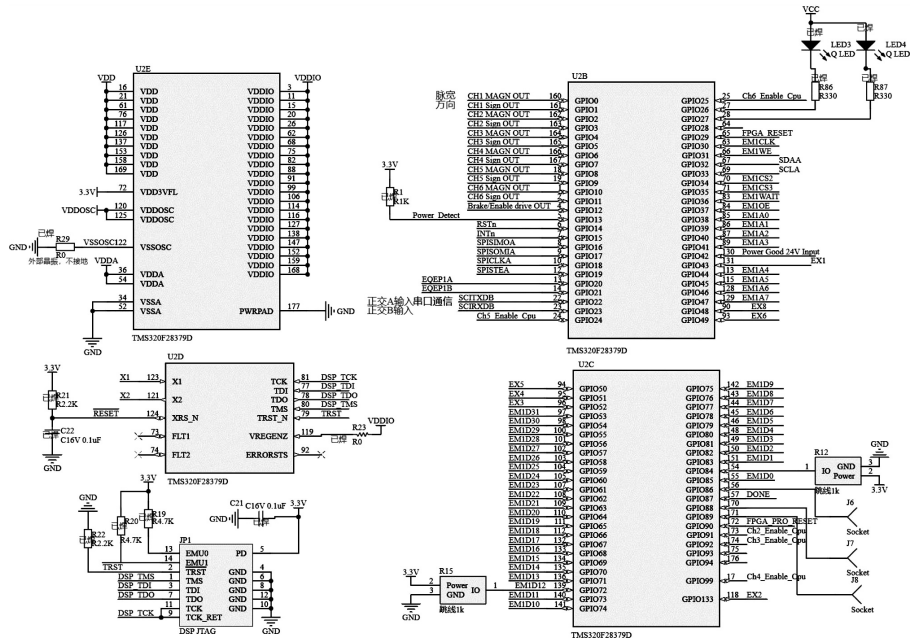


图 5 TMS320F28379D 最小系统电路原理图

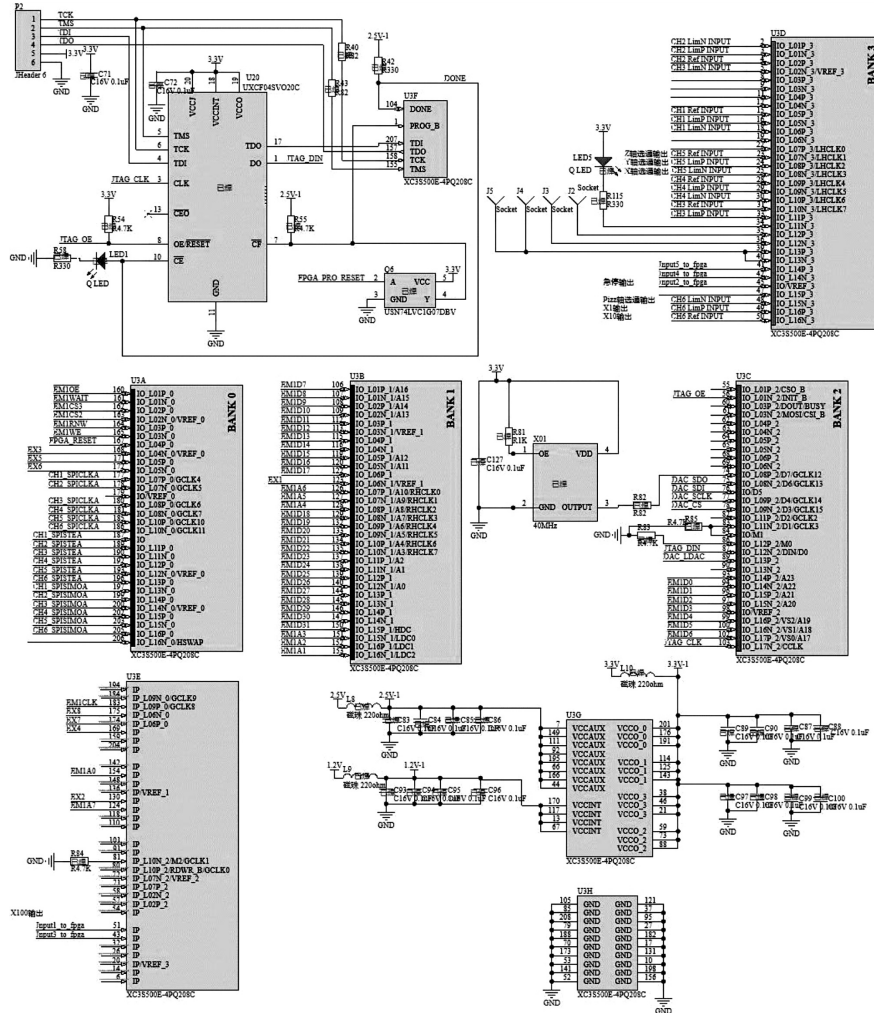


图 6 XC3S500E 最小系统电路原理图

高动态电压放大器是驱动板最重要的部分,主要用于实现高输出电压。驱动部分的电路为模拟电路,需要将主控模块输出的数字信号转换为模拟信号,故有必要选择一款合适的 D/A。根据设计要

求采用四通道、8 位 DAC、16 bit 分辨率及工作电压为 2.7~5.5 V 的 DAC80504RTER,其内部结构如图 7 所示。

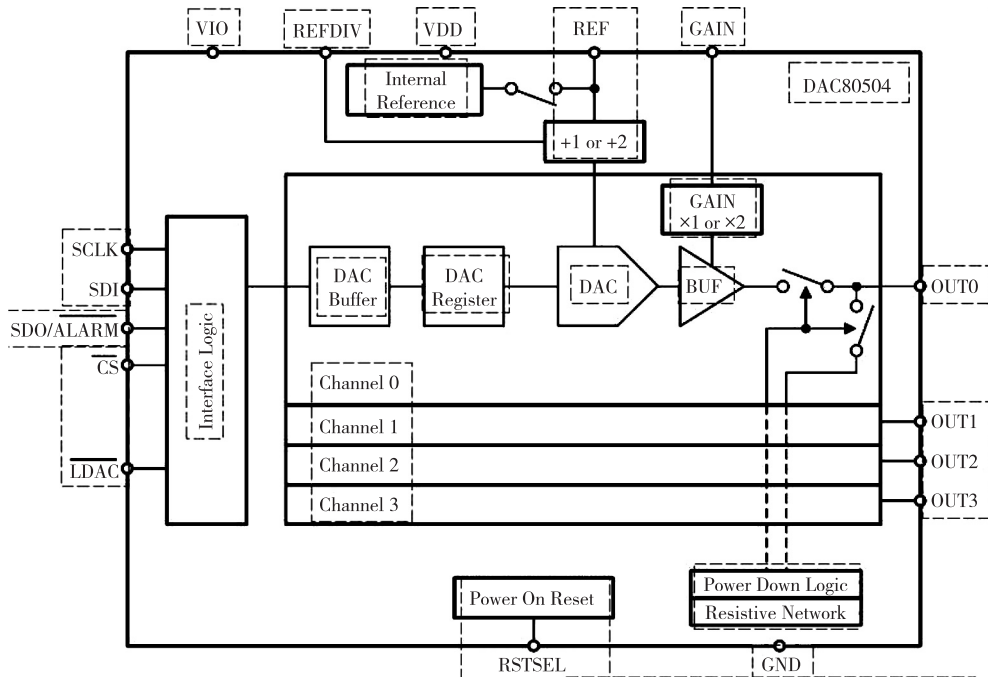


图 7 DAC80504 简化框图

每个 DAC80504RTER 输出通道都包含一个 R-2R 梯形结构和一个输出缓冲放大器。输入数据以二进制格式直接写入各个 DAC 数据寄存器。在上电或复位后,所有 DAC 寄存器会根据 RSTSEL 引脚的状态被初始化为零码或中档码。

反馈模块是整个闭环控制的保障,同时也是保证粘滑式压电驱动器精准定位的前提。本文选用 MicroE MII6000 光栅编码器,实物如图 8 所示。



图 8 MicroE MII6000 光栅编码器

该编码器具有如下特点:

- 1) 最高分辨率达到 1.24 nm, Z 向高度仅有 8.2 mm。
- 2) 细分误差极低,玻璃光栅尺只有 ± 20 nm;读数头能耗低,仅有 250 nW。
- 3) 其输出信号为数字信号,无需单独增设模数

转换器。

4) 传感器接头上的 LED 指示灯实时显示信号强度、零限位状态。

4 粘滑式压电驱动器控制系统的软件设计

在上述硬件设计的基础上,根据实际应用,针对驱动信号的产生、调节及各模块之间的通信进行软件设计。利用 FPGA 实现的 DDS 技术产生驱动信号,在软件上通过 Verilog HDL 语言对其进行编写。通过 DSP 内部的控制算法调节驱动信号,并在软件上通过 C 语言对其进行编写。上位机与 DSP、DSP 与 FPGA 之间均通过串口进行交互通信。

4.1 基于 FPGA 的驱动信号的产生

与传统驱动方法相比,利用 FPGA 实现 DDS 技术生成驱动信号具有带宽大、稳定性高、分辨率高以及能够灵活产生多种信号等优势^[8]。DDS 主要由相位累加器、相位调制器、波形数据表 ROM 和 D/A 转换器 4 部分组成。本文设计主要分为 3 部分:串口通信用于与上位机进行交互,接收上位机传输的频率和相位控制字;波形存储器 ROM 用于存储驱动信号所需的波形;相位累加器将接收到的

频率和相位控制字转换为实际的频率和相位。

串口通信部分的关键不仅在于接收数据,更重要的是解析接收到的数据,提取符合要求的控制字并将其发送到后续处理模块。FPGA 实时监测 RS232_RX,一旦接收到信号即分析数据并传送频率控制字和相位控制字至下一处理模块。各接口定义如表 1 所示。

表 1 串口通信在 Verilog HDL 语言中的接口定义

信号名称	方向	描述
clk	Input	时钟信号
rst_n	Input	复位信号,低电平有效
rs232_rx	Input	RS-232 接收数据信号
rs232_tx	Output	RS-232 发送数据信号
dataout	Output	解析后的频率和相位控制字

波形存储器 ROM 的主要作用是存储所需波形。首先将波形数据存储到 ROM 中,并在配置 IP 核时将波形数据作为初始化文件加载,文件格式为 .coe 文件。通过 Matlab 生成锯齿波信号,并按照等间距进行取样,取样点的数量决定了 ROM 的存储地址。将每个取样点的幅值数据写入对应的 ROM 地址,从而实现波形数据的存储。绘制的锯齿波波形如图 9 所示。

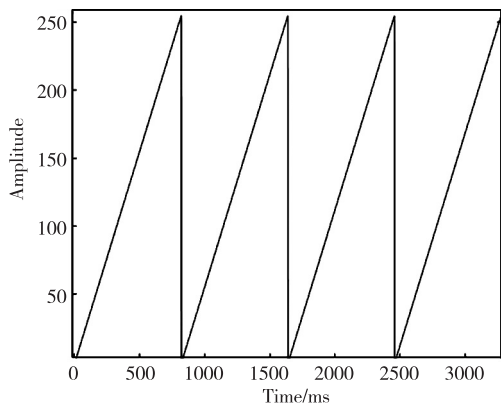


图 9 Matlab 产生的锯齿波信号

相位累加器由 N 位加法器和 N 位寄存器组成,主要功能是在驱动时钟的作用下进行相位累加^[9],当累加达到一定值时会发生溢出,从而完成一个周期性动作。这个过程本质上是一个计数器受时钟信号触发,相位寄存器逐步增加相位输出。加法器将频率控制量与累加寄存器的输出相加,然后将结果传回累加寄存器的输入端,使相位累加呈线性增加直至溢出,最终得到 DDS 的输出频率。通过

改变频率控制字可以调节输出波形的频率。各个接口定义如表 2 所示。

表 2 相位累加器在 Verilog HDL 语言中的接口定义

信号名称	方向	描述
clk	Input	时钟信号
rst_n	Input	复位信号,低电平有效
f_key[15..0]	Input	解析后的频率控制字
offset[9..0]	Input	解析后的相位控制字
address_out[9..0]	Output	相位量化序列
offset_out[9..0]	Output	相位偏移量的量化序列

在常规 FPGA 开发中,首先需将目标层层分解,单独设计各个模块,然后将其连接起来以实现预期效果。分层设计的核心在于生成可视化的顶层文件来描述各个模块的功能。本文的 FPGA 顶层文件分为 3 部分,时钟模块提供驱动时钟给串口通信模块、DA 数据发送模块和 ROM 波形存储模块。串口通信模块接收数据并进行分析,再将符合要求的控制字传输给后续模块。ROM 波形存储模块使用 Vivado 软件自带的 Block Memory Generator IP 核实现由 Matlab 生成的 .coe 文件中的波形数据存储。

4.2 基于 DSP 控制系统的软件设计

DSP 的软件设计包括各个模块初始化、串口接收/发送、数据处理、控制算法、PWM 波形生成、控制字发送和外设控制等程序。图 10 为整体软件设计原理框图。

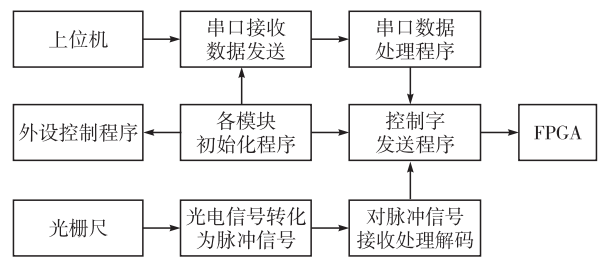


图 10 DSP 中软件设计框图

DSP 控制系统的软件设计使用 C 语言在 TI 公司开发的 CCS 集成开发环境中实现。CCS 提供编辑、编译和调试功能,简化了开发流程。本文选择 TMS320F28379D,需准备主程序文件、链接命令文件和 C 语言运行库文件。首先根据设计要求编写程序,然后使用 CCS 内置编译器进行编译、连接和在线调试。调试完成后使用官方提供的 FLASH 烧写插件将生成的 .out 文件转换为 .hex 文件,并将其烧写到 FLASH 中以启动系统运行。开发流程如图

11 所示。

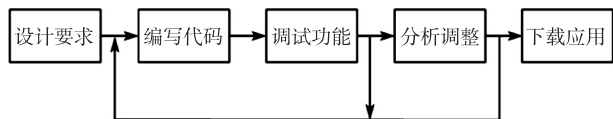


图 11 软件开发流程框图

在 DSP 控制系统的软件设计中,时钟模块的设置和各模块的初始化十分关键,对系统的稳定性及功能的实现有直接影响^[10]。

在软件设计中要确保 TMS320F28379D 芯片上多个部件(如 CPU、ADC、事件管理器等)的时钟同步,故选择 200 Hz 的外部晶振作为主时钟源,并启用 TMS320F28379D 芯片上的 PPL 电路。将外部晶振的频率倍增或者分频以生成各部件所需的工作时钟,根据各部件的时钟要求配置 PPL 输出的时钟分频器。确保每个部件得到正确的时钟频率,同时要保证时钟分配能够满足处理器性能、ADC 采样速率以及事件管理器时序要求等。

DSP 中各模块的初始化通常是指对各个模块、组件、变量进行初始设置和配置。初始化 DSP 的定时器、GPIO 口、串口模块、中断处理模块是系统开发必不可少的部分,其主要目的是确保系统能够稳定运行并在预期条件下实现所需的功能。

DSP 定时器的初始化需确保从已知的起始状态开始工作,降低不确定性,同时配置好定时器的时钟源、计数器大小、计数模式是保证其正常运行的关键。定时器工作时,32 位计数寄存器加载周期寄存器的值,随着时钟信号的递减,计数寄存器的值减至 0,触发定时器中断。

GPIO 口的初始化有利于与外部电路及设备进行通信与控制。GPIO0—GPIO5 为输出,控制压电驱动器的启停和方向;GPIO6、GPIO7 为输出,作为 FPGA 的使能和时钟信号;GPIO52 为输入,接收光栅编码器信号计数和方向;GPIO20、GPIO21、GPIO23、GPIO50、GPIO51、GPIO53 为 EQEP 模块引脚;GPIO62、GPIO63 为 SCI 口。

串口模块初始化是数据传输的必要步骤,在设计 DSP 芯片对应的寄存器时,首先要计算串口通信的波特率,其次是设置工作方式。波特率计算公式为

$$B = \frac{1}{8 \times BRR \times T_{LSPCLK}} \quad (1)$$

式中: B 为波特率; BRR 为波特率寄存器的值; T_{LSPCLK} 为时钟周期。

本文 TMS320F28379D 的系统主时钟设置为 200 MHz、LSPCLK 为 50 MHz(系统主时钟频率的 1/4)。通过配置 16 位的 BSR 可以实现 216 种不同的波特率设置。DSP 内部包含 4 个功能相同的 SCI 模块,本文选择 SCI-B 用于串口通信。通信方式为查询方式,通过查询发送缓冲寄存器的标志位来判断是否可以传输数据。接收数据采用中断方式,当串口接收中断发生时,中断服务程序会读取接收缓冲寄存器中的数据。

中断模块的初始化利于有效管理系统中的中断流程,确保正确响应和处理各种外部事件。TMS320F28379D 拥有多达 32 个 CPU 中断源,如串口、定时器、DMA 和 GPIO 中断等。配置相关寄存器确定中断向量表位置并使用寄存器配置中断优先级(PIEVCT)。通过设置 IER 寄存器位启用相应中断,最后编写每个中断源的中断服务程序。

5 实验与结果分析

图 12 为所设计的粘滑式压电驱动器的实验测试平台。通过 FPGA 实现 DDS 技术来生成占空比为 90% 的锯齿波信号。由于其输出电压的幅值范围为 0~5 V,无法满足压电叠堆所产生的变形量,所以搭配后续的高动态电压放大器对输入电压进行幅值放大,能将其放大 24 倍并接在压电叠堆的正负极接线处。压电陶瓷快速充、放电,使柔性铰链机构进行偏摆运动,从而带动滑块进行持续的直线移动。示波器的主要作用是显示输入的锯齿波信号的波形和幅值,并判断放大后的电压信号能否满足实验要求。采用分辨率高达 1.24 nm 的光栅编码器对滑块的位移进行实时监测,将采集的光电信号转化为脉冲信号并发送到控制器,利用计算机软件记录和分析相应实验数据。

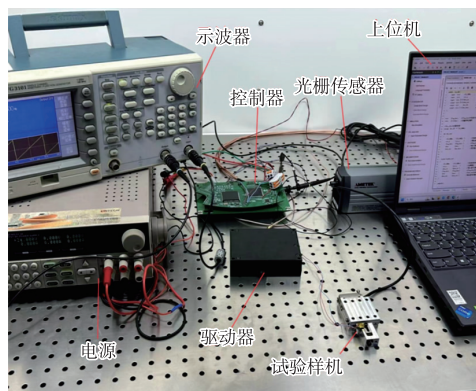


图 12 实验测试平台

运动速度和负载能力是实验样机的重要指标,在不同的驱动频率与驱动电压幅值下的运动速度各不相同。驱动频率为 2.5 kHz 时,不同电压幅值下的运动速度如图 13 所示。电压幅值为 120 V 时,不同驱动频率下的运动速度如图 14 所示。为满足实际应用需求,必须保证驱动器能够在负载条件下保持稳定运动。通过增加标准砝码的质量,可以测试驱动器在不同水平负载条件下的速度特性。当驱动频率为 2.5 kHz、驱动电压为 120 V 时,不断增加砝码质量到 5 g,输出速度随着水平负载的增加而降低,继续增加到 11 g,驱动器停止前进。结合实验与机械结构的相关数据可得,在驱动电压为 120 V、驱动频率为 2.5 kHz、负载为 4 g 时,最大运动速度为 9.782 mm/s。

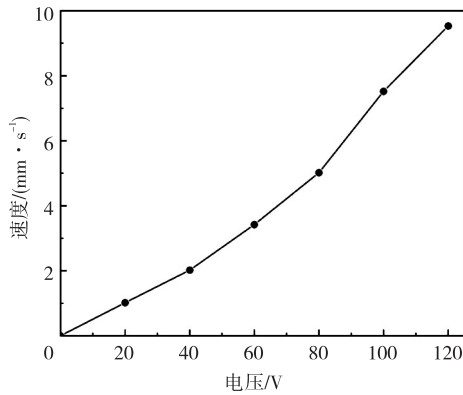


图 13 不同电压幅值下的运动速度

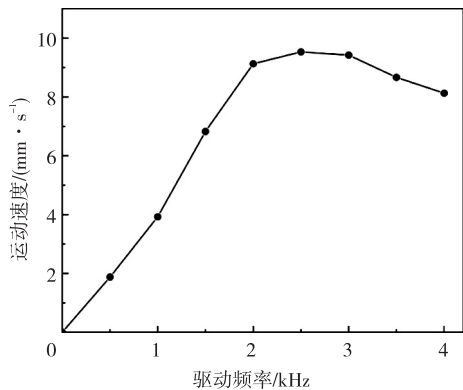


图 14 不同驱动频率下运动速度

重复定位精度同样是试验样机的重要指标之一。在驱动电压幅值为 120 V、驱动频率为 2.5 kHz 时,将目标位置设置在 3 μm 处,执行 10 次从初始位置到目标位置的实验,记录到达实际位置的值并绘制成图表,如图 15 所示。

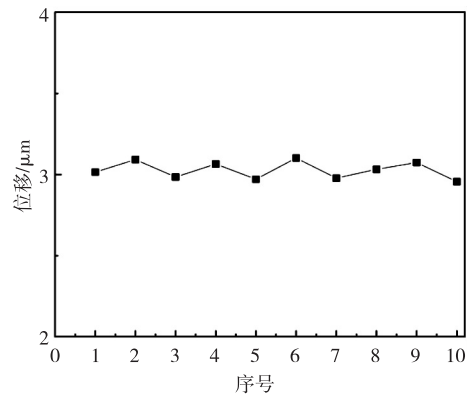


图 15 实际位移值

经计算可得该组数据的标准偏差为 0.051 μm,再选取 4 个目标点,重复上述步骤。4 个目标点的标准偏差分别为 0.062 μm、0.056 μm、0.072 μm、0.067 μm。计算出标准偏差的平均值为 0.062 μm。标准偏差表示测量值在平均值周围的分散程度,可用于衡量重复定位精度。通过计算标准偏差并分析实际数据可知,粘滑式压电驱动器的重复定位精度达到 0.1 μm。

6 结束语

为提升粘滑式压电驱动器的输出性能和定位精度,提出了一种以 DSP 和 FPGA 为核心的粘滑式压电驱动器的控制器。该控制器利用 FPGA 实现 DDS 技术生成驱动信号,结合高电压动态放大电路实现对压电陶瓷的快速充、放电,从而实现粘滑运动。DSP 通过计算和反馈信号判别,控制信号发生器产生不同频率和电压的驱动信号以适应不同的工作需求。样机性能测试结果表明,当驱动频率为 2.5 kHz、驱动电压为 120 V、负载为 4 g 时,样机的最大速度为 9.782 mm/s,重复定位精度达到 0.1 μm。由此可见,粘滑式压电驱动器的输出性能有所改善,定位精度有所提高,具有一定的实际应用价值。

参考文献:

[1] 刘彬,钟博文,王振华,等. 一种磁吸附式微小型惯性粘滑运动平台研究[J]. 压电与声光,2019,41(5): 725-727.
LIU Bin, ZHONG Bowen, WANG Zhenhua, et al. Research on a magnetic adsorption micro-smallinertial stick-slip motion platform[J]. Piezoelectrics & Acousto-optics, 2019, 41(5): 725-727.

压电俘能器。对该力放大框架进行了力学分析及其力放大系数的理论建模,并对框架结构参数进行了 Sobol's 敏感性分析及遗传算法优化。基于最优结构的力放大框架,对该压电俘能器进行建模与多模态俘能性能分析,并对其谐振频率进行了低频扩展分析。研究表明,相较于非谐振激励模式,该压电俘能器在谐振频率下工作时,其输出电压与输出功率有显著提升。对压电俘能器附加质量块可有效降低压电俘能器的谐振频率,扩展压电俘能器在工程领域的低频应用。

参考文献:

- [1] LIANG Haitong, HAO Guangbo, OLSZEWSKI O Z. A review on vibration-based piezoelectric energy harvesting from the aspect of compliant mechanisms[J]. *Sensors and Actuators A: Physical*, 2021, 331(1): 1-23.
- [2] WANG Z, HE L, GU X, et al. Rotational energy harvesting systems using piezoelectric materials: A review [J]. *Review of Scientific Instruments*, 2021, 92(4): 15-25.
- [3] HU G, TANG L, LIANG J, et al. Acoustic-elastic metamaterials and phononic crystals for energy harvesting: A review [J]. *Smart Materials and Structures*, 2021, 30(8): 1-35.
- [4] XI Kaibiao, HOU Yudong, YU Xiaole, et al. Optimizing output power density in lead-free energy-harvesting piezoceramics with an entropy-increasing polymorphic phase transition structure [J]. *ACS Appl Mater Interfaces*, 2023, 15(44): 330-338.
- [5] WANG X, XIA Y, SHI G, et al. A self-powered rectifier-less synchronized switch harvesting on inductor interface circuit for piezoelectric energy harvesting [J]. *IEEE Transactions on Power Electronics*, 2021, 36(8): 9149-9159.
- [6] CHEN X, LI Y. Design, modeling and testing of a vibration absorption device with energy harvesting based on force amplifier and piezoelectric stack [J]. *Energy Conversion and Management*, 2022, 255(3): 53-38.
- [7] AABID A, RAHEMAN M A, IBRAHIM Y E, et al. A systematic review of piezoelectric materials and energy harvesters for industrial applications [J]. *Sensors*, 2021, 21(12): 41-45.
- [8] YU Han, FAN Luning, SHAN Xiaobiao, et al. A novel multimodal piezoelectric energy harvester with rotating-DOF for low-frequency vibration [J]. *Energy Conversion and Management*, 2023, 287(7): 106-116.
- [9] ZHANG Yihe, LEE Aidan, LEE Chulhee. Design and application of piezoelectric and electromagnetic energy harvesters for mechanical energy harvesting in the human-body: A review [J]. *Sensors and Actuators A: Physical*, 2024, 370(5): 20-26.
- [10] ÖCHSNER A. Classical beam theories of structural mechanics: euler-bernoulli beam theory [M]. Switzerland: Springer Cham, 2021.
- [11] ZHU Qingyu, HAN Qingkai, YANG Xiaodong, et al. Parameter sensitivity analysis of mounting pedestals and multi-objective optimization for a multi-support rigid body system [J]. *Sensors*, 2022, 22(18): 67-74.
- [12] 谢建宏, 刘烈鑫, 朱立青. 具有力放大功能的压电俘能器建模与性能分析 [J]. *压电与声光*, 2024, 46(5): 747-754.
- XIE Jianhong, LIU Liexin, ZHU Liqing. Modeling and performance analysis of piezoelectric energy harvester with force amplification function [J]. *Piezoelectrics & Acoustooptics*, 2024, 46(5): 747-754.
- (上接第 949 页)
- [2] 王旭洋. 粘滑压电驱动器的仿生设计与试验研究 [D]. 长春: 吉林大学, 2021.
- [3] 王峥, 卢今伟, 张雪菲, 等. 一种粘滑式直线压电驱动器控制电路设计 [J]. *机电工程技术*, 2022, 51(5): 217-221.
- WANG Zheng, LU Jinwei, ZHANG Xuefei, et al. Design of control circuit for adhesive sliding linear piezoelectric driver [J]. *Mechanical and Electrical Engineering Technology*, 2022, 51(5): 217-221.
- [4] 董宜坤. 粘滑式惯性压电驱动器控制方法研究 [D]. 长春: 长春工业大学, 2023.
- [5] WANG L, WANG H, ZHANG Y, et al. Design and analysis of a micro displacement actuator based on stick-slip principle using piezoelectric ceramic [J]. *Journal of Physics: Conference Series*, 2024, 2706: 012067.
- [6] 陈明杨. 一种粘滑式压电驱动器的设计与实验研究 [D]. 广州: 广州大学, 2023.
- [7] 孙靖舒. 基于 DSP 和 FPGA 的通用数字信号处理系统设计 [J]. *电脑知识与技术*, 2020, 16(20): 221-222.
- [8] 牟珊. 基于 DDS 技术的模拟频率调制电路设计及 FPGA 实现 [J]. *无线互联科技*, 2021, 18(10): 52-53.
- [9] 罗辉. 三相中频电压可调精密信号源设计 [D]. 西安: 西安工程大学, 2018.
- [10] 刘静静. 基于 DSP 的数字信号处理系统设计和实现 [J]. *现代制造技术与装备*, 2023, 59(2): 91-93.
- LIU Jingjing. Design and implementation of digital signal processing system based on DSP [J]. *Modern Manufacturing Technology and Equipment*, 2023, 59(2): 91-93.