

文章编号: 2095-4980(2022)04-0402-05

一种新型 VDMOS 器件结构的设计与实现

董子旭^{1,2}, 王万礼², 赵晓丽², 张馨予², 刘晓芳²

(1.天津工业大学 电子与信息工程学院, 天津 300384; 2.天津环鑫科技发展有限公司, 天津 300384)

摘要: 垂直双扩散金属-氧化物半导体场效应晶体管(VDMOS)器件是一种以多子为载流子的器件, 具有开关速度快、开关损耗小、输入阻抗高、工作频率高以及热稳定性好等特点。提出一款 60 V 平面栅 VDMOS 器件的设计与制造方法, 开发出一种新结构方案, 通过减少一层终端层版图的光刻, 将终端结构与有源区结构结合在一张光刻版上, 并在终端工艺中设计了一种改善终端耐压的钝化结构, 通过使用聚酰亚胺光刻胶(PI)钝化工艺代替传统的氮化硅钝化层。测试结果表明产品满足设计要求, 以期为其他规格的芯片设计提供一种新的设计思路。

关键词: 功率器件; 垂直双扩散金属-氧化物半导体场效应晶体管(VDMOS); 终端结构; 击穿电压; 钝化工艺

中图分类号: TN820

文献标志码: A

doi: 10.11805/TKYDA2020200

Design and realization of a new VDMOS device structure

DONG Zixu^{1,2}, WANG Wanli², ZHAO Xiaoli², ZHANG Xinyu², LIU Xiaofang²

(1.The School of Electronics and Information Engineering, TianGong University, Tianjin 300384, China;

2.Tianjin HUANXIN Science and Technology Development Co., Ltd., Tianjin 300384, China)

Abstract: The Vertical Double-diffused Metal Oxide Semiconductor(VDMOS) device is one that uses multiple carriers, which bears the characteristics of fast switching speed, small switching loss, high input impedance, high operating frequency and good thermal stability. This paper proposes a design and manufacturing method of a 60 V planar gate VDMOS device. In the process of device design, a new structural scheme is proposed. By reducing the lithography of a terminal ring layer (Guard Ring Layer), the terminal structure and the active area structure are combined on one lithography. And a new passivation structure is designed to improve the terminal voltage in the terminal process. The Polyimide(PI) passivation process is utilized instead of the traditional nitride silicon passivation layer. The test results show that the product meets the design requirements. The design scheme of the new structure proposed in this paper is intended to provide a new design idea for the chip design of other specifications.

Keywords: power device; Vertical Double-diffused Metal Oxide Semiconductor(VDMOS); terminal structure; breakdown voltage; passivation process

在功率半导体器件不断发展的过程中, 各类应用终端的产品持续更新换代, 对产品性能的要求也在不断提升, 功率金属-氧化物半导体场效应晶体管(Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET)器件的发展在保持 MOSFET 本身优点的同时, 因为其较低的栅极驱动电压, 较快的开关速度, 高可靠性及易于驱动等特点, 成为世界上使用最广泛的功率半导体器件^[1-2]。截止 2018 年, 功率 MOSFET 占据功率晶体管市场的 53%, 广泛应用于消费电子产品、交通运输、汽车电子等各类领域^[3-5]。本文开发出一款 60 V 的平面栅垂直双扩散金属-氧化物半导体场效应晶体管(VDMOS)芯片, 并通过天津中环半导体股份有限公司 6 英寸 0.35 μm 工艺完成了 VDMOS 的芯片流片和测试工作, 芯片主要面向 UPS 领域。针对目前生产成本较高、生产周期较长的问题, 从器件的设计和结构上进行优化, 产品主要面向工业控制及逆变器领域, 以期为国产 VDMOS 提供一种可参考的设计。测试结果表明, 产品的正常工作情况下击穿电压均值在 67 V 左右, 阈值电压均值为 3.3 V, 导通电阻均值为 12.5 $\text{m}\Omega$, 满足设计要求。

1 工艺设计及版图设计

1.1 工艺流程设计

在设计过程中，因为功率 VDMOS 器件需要在导通压降和器件耐压之间得到一个良好的折中设计，越高的器件耐压水平就需要低掺杂区的 N 型漂移区的厚度越厚，然而厚度带来的导通电阻的增加则会使器件导通压降和通态损耗上升，这也是本文在调整版图结构后需要优化的一部分^[6-7]。

本项目主要目标为设计一款耐压 BU_{DSS} 大于 60 V(漏电流 $I_D=250 \mu A$)，电流能力达到 50 A(结温 $T_j=25 \text{ }^\circ C$)，阈值电压 U_{th} 在 2.5~3.7 V($I_D=250 \mu A$)，反向漏电流 I_{DSS} 的典型值小于 1 μA ，栅极漏电流 $I_{GSS} \leq \pm 100 \text{ nA}$ (栅源电压 $U_{GS} = \pm 25 \text{ V}$)，导通电阻 R_{DSon} 小于 20 $m\Omega$ ($I_D=5 \text{ A}$ ， $U_{GS}=10 \text{ V}$)，同时具有高可靠性的 VDMOS 芯片。项目研发的过程中需要综合考虑器件的工艺结构设计及版图设计之间的折中关系，同时对于 Foundry 的工艺能力也需要加入前期设计时考虑的因素中。工艺流程见表 1。

这里从器件设计上进行了优化，通常的 VDMOS 器件的工艺流程，在第一层做完场氧化层时，会进行一层独立的终端结构(Guard Ring Layer)的光刻工艺，即终端场限环的刻蚀、P well 注入和推阱，然后再进行有源区层及后续的工艺^[8-11]。本文在设计 VDMOS 工艺过程中，在满足器件性能要求的基础上，减少了一层光刻工艺，将终端结构和有源区结构设计在同一张光刻版(Active Layer)上，光刻后的图形见图 1，在减少了 Guard Ring 层的光刻、P 型注入及推阱后，通过优化结型场效应(Junction Field-Effect Transistor, JFET)注入及推阱、P body 注入及推阱等工艺条件，使其在击穿电压和导通电阻之间得到很好的匹配，既满足了芯片的电性参数及可靠性要求，又节省了芯片生产成本约 9%，缩短了工艺时间 22 h 左右，工艺时间对比情况见表 2。

器件流程设计完成后，使用仿真软件 Silvaco 对器件结构及电学参数进行仿真，得到相对理想情况下的工艺参数数据。器件的工艺流程设计更主要是结合实际生产线的工艺水平进行，考虑到在实际生产的过程中，必定存在理论仿真参数与实际工艺参数有误差的情况，此时暂且以仿真参数确定基准流片条件，后续对不同的参数进行拉偏实验，以达到较为理想的设计目标。选用的关键工艺条件见表 3。

表2 工艺时间对比
Table2 Process time comparison

	original process time/h	new process time/h
SC1+SC2	1	1
field oxide	12	12
coat	2	/
exposure	3	/
development	3	/
hard bake	1	/
field oxide wet etch	3	3
guard ring implant	2	/
SC1+SC2	1	/
drive in	10	/
total time	38	16

1.2 器件版图设计

通过各项参数的仿真验证，器件的有源区及终端结构的各项尺寸基本确定，现需要将前面部分的器件设计工作转化为可用于实际生产的半导体芯片，此时就需要进行器件的版图设计，所使用的设计工具是 Cadence Virtuoso 版图设计软件，对于本项目研发的 VDMOS 器件主要有六道光刻版：有源区版、多晶版、N+版、孔版、金属版、钝化版。具体版图设计情况见图 2。

器件有源区设计采用方形原胞结构，终端部分是以器件前期的电性仿真决定，值得注意的点是，在前期设计版图时，需要结合实际产线的工艺能力，因为在流片的过程中，包括沉积膜层时产生的厚度误差，光刻时产生的线宽的误差，以及过程能力监控测试产生的误差，与设计都存在一定差异；还有涉及刻蚀工艺时，存在各

表1 工艺流程表

Table1 Process flow chart

process flow	
1	field oxide Depo
2	active photo
3	active,guard ring etch
4	JFET imp & drive in
5	gate oxide Depo
6	poly Depo
7	poly layer photo
8	poly dry etch
9	P body imp & drive in
10	N+ Imp & P+ Imp
11	ILD Depo
12	contact layer photo
13	contact etch
14	metal Depo
15	back grind & backside metal Depo

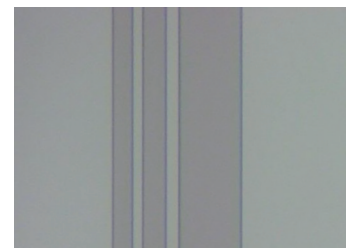


Fig.1 Active area and terminal composite structure
图1 有源区及终端复合结构

表3 关键工艺条件参数
Table3 Key process parameters

parameter name	process parameters
N-type substrate crystal orientation	<100>
epitaxial thickness/resistivity	8 $\mu m/0.9 \Omega \cdot cm$
JFET Imp	P/80 keV/ $2.3 \times 10^{12} \text{ cm}^{-2}$
gate oxide thickness	100 nm
P body Imp	B/120 keV/ $7.0 \times 10^{13} \text{ cm}^{-2}$
N+Imp	P/120 keV/ $4.2 \times 10^{15} \text{ cm}^{-2}$
P+Imp	B/120 keV/ $2.0 \times 10^{15} \text{ cm}^{-2}$

向同性的情况，都需要在版图设计时留有一定的工艺余量。综上所述，最终芯片的面积大约为 8.96 mm^2 ，芯片尺寸为 $3\ 200 \mu\text{m} \times 2\ 800 \mu\text{m}$ 。

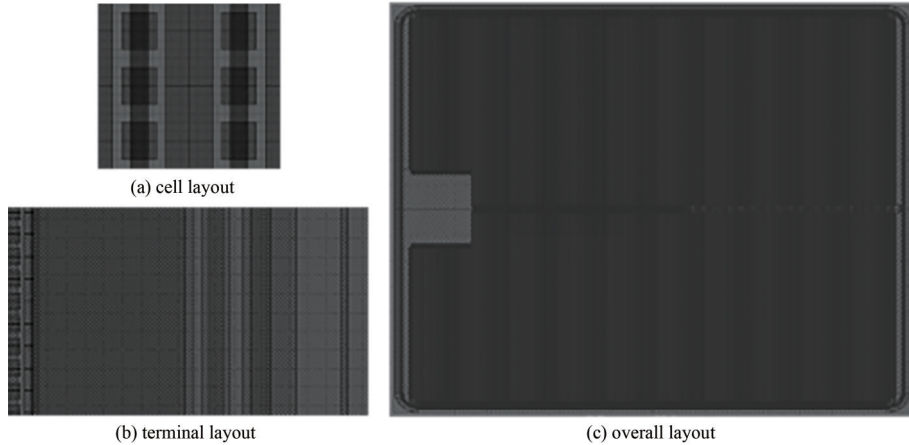


Fig.2 Device layout design
图2 器件版图设计

2 流片结果分析

2.1 流片情况

本次流片的部分参数已经在表2中给出，基于这些仿真参数制定相应的单部工艺条件，考虑到实际流片与仿真存在一定差异，所以设计了多种分片条件以确认较为理想的工艺条件，器件的关键在于击穿电压及导通电阻之间的折中关系，故选取 JFET、P Body 注入浓度和结深等不同工艺条件的拉偏，作为分析对象进行研究。

基于芯片生产成本和生产周期因素的考虑，在满足芯片静态参数及可靠性要求的基础上，对芯片的终端结构设计了一种新的钝化工艺方案，通过使用聚酰亚胺光刻(PI)胶钝化工艺代替传统的氮化硅(Nitride)钝化层，原有的钝化层工艺流程是氮化硅薄膜的淀积、光刻、氮化硅的刻蚀、去胶清洗等工艺，改善钝化工艺后，仅通过光刻工艺并增加一步固化工艺即可完成钝化层，大幅缩短工艺流程，缩短工艺时间约 8 h，工艺时长对比见表 4，并降低该层流片成本的 20%。

本文使用的 PI 胶钝化工艺流程为：涂覆光刻胶、图形曝光、图形显影、烘箱固化，涂覆的 PI 胶厚度约为 $1.2 \mu\text{m}$ ，PI 胶钝化工艺相较于传统 PAD 层的光刻工艺有所不同，需要调整曝光和显影工艺以确保整套光刻工艺匹配，工艺优化对比见表 5；测得击穿电压约为 80 V，需要特别指出的是，这里是对终端钝化层的单独测试耐压结果，在器件设计中钝化层的耐压需要大于芯片的击穿电压(大于 60 V)，才能起到对终端结构的保护作用。

2.2 静态参数测试及分析

在完成全套工艺流程以后，使用 DTS-2000 系列测试设备对芯片参数进行测试，测试环境为室温 23°C ，湿度 45%，测试数据情况由表 6 给出，流片方案由表 7 给出，因 #5 和 #6 号片存在工艺异常，对其数据暂不做对比分析。

整理击穿电压 BU_{DSS} 的测试数据分布情况见图 3，器件的击穿电压全部大于设计电压 60 V，但 #4 和 #9 号片耐

表4 钝化工艺时间对比

	traditional passivation process/h	PI passivation process/h
SiN Depo	3	\
coat	2	2
exposure	3	3
development	3	3
hard bake	1	1
SiN etch	3	\
PR strip	2	\
clean	1	1
total time	18	10

表5 工艺条件优化对比

	traditional passivation process	PI passivation process
exposure time	5 500 ms	6 000 ms
development still time	42 s	60 s
hard bake	130°C/60 min	400°C/30 min

表6 测试数据情况

	BU_{DSS}/V	U_{in}/V	$I_{\text{DSS}}/\mu\text{A}$	$R_{\text{DSon}}/\text{m}\Omega$	I_{GSS}/nA
#1	69.8	3.42	0.36	10.00	0.91
#2	68.7	3.42	0.39	10.34	1.17
#3	68.9	3.40	0.36	10.28	1.56
#4	63.9	3.39	0.35	13.51	1.17
#7	68.5	3.28	0.37	14.09	0.85
#8	69.1	3.27	0.37	10.27	0.86
#9	64.2	3.31	0.36	12.21	0.91

压偏低，考虑实际应用中的需要，选取其他几片的工艺条件较为理想。

表 7 芯片流片方案
Table 7 Chip taping solution

		1#	2#	3#	4#	7#	8#	9#
JFET Imp	2.3×10 ¹² ,80 keV,7°	●	●	●	●			
	2.7×10 ¹² ,80 keV,7°					○	○	○
P body drive in	1 150°C,100 min	●				●		
	1 150°C,120 min		○	○			○	
	1 100°C,450 min				○			○

阈值电压 U_{th} 的测试数据分布情况见图 4，基本分布在 3.3~3.4 V 左右，参数较为理想且满足设计规范要求。

导通电阻 R_{DSon} 的测试数据分布情况见图 5，器件导通电阻全部小于 20 mΩ 的设计参数，其中片号 #1,#2,#3,#8 的导通电阻更小，为 10 mΩ 左右，参数更为理想。

综上所述，所有静态参数测试结果基本达到设计要求。整体上击穿电压 BU_{DSS} 正常，P body 结的注入浓度和结深对其影响较大，后续需要进一步优化推阱的温度条件和时间条件；阈值电压 U_{th} 基本满足设计要求，考虑实际应用的情况，阈值电压设计在 3.1~3.2 V 左右更为理想，后续可以通过调整 JFET 的注入调节改善阈值电压；导通电阻 R_{DSon} 的参数也符合预期，在满足其他参数的基础上，导通电阻尽可能越小越好；反向漏电流 I_{DSS} 和栅极漏电流 I_{GSS} 都在设计规范以内且参数相对不错；针对外延情况，目前选取的厚度 8 μm、电阻率 0.9 Ω·cm 的外延满足要求，考虑到后续外延参数是否稳定，计划进行外延参数的拉偏，用来确认工艺窗口的大小并方便日后的数据分析；器件整体参数的均匀性情况也相对较好。

通过以上分析发现，器件设计和产线工艺达到了相对较好的结合，比如栅氧化层的质量，多晶硅工艺的膜厚和方块电阻的相对稳定，以及刻蚀工艺的均匀性和稳定性等，后续需要在尽可能保证工艺稳定性的同时，确认器件设计的工艺窗口，为产品的量产做好准备。

2.3 可靠性测试情况

在上述流片结果中，针对静态参数较为理想的 #8 号片进行了封装和可靠性验证，进行了静电放电(Electro-Static Discharge, ESD)测试、高温反向偏置(High Temperature Reverse Bias, HTRB)测试等国际电工委员会(International Electrotechnical Commission, IEC)标准全系列可靠性考核，ESD 能力达到 30 kV，并通过了 150 °C~168 h 的 HTRB 测试，可靠性考核结果通过，达到预期水平。

3 结论

本文主要完成一款 60 V 低压大电流 VDMOS 芯片的设计、流片及测试工作，成功达到预期参数水平，并通过可靠性考核。同时也对器件结构及工艺进行了创新，针对 VDMOS 终端工艺的开发，设计了一种新的终端结构方案，通过减少一层终端版图(Guard Ring Layer)的光刻，将终端结构与有源区结构结合在一张光刻版上，满足了芯片的电性参数和可靠性要求的同时，节省了芯片约 9% 的芯片生产成本，缩短了工艺时间 22 h 左右；在终端钝化工艺中，设计了一种改善终端耐压的钝化结构，通过使用 PI 胶钝化工艺代替传统的氮化硅(Nitride)钝化层，仅用光刻和固化完成钝化工艺，缩短该层工艺时间约 8 h，降低该层流片成本的 20%。测试结果表明，产品的正常工作情况下击穿电压 BU_{DSS} 均值在 67 V 左右，阈值电压 U_{th} 均值为 3.3 V，导通电阻 R_{DSon} 均值为 12.5 mΩ，满足设

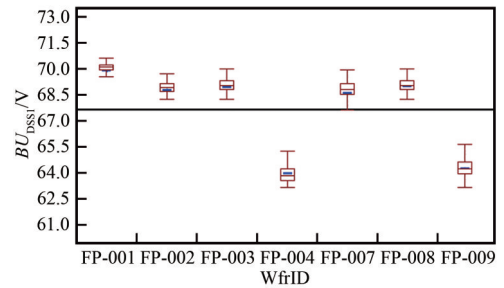


Fig.3 Distribution of breakdown voltage test
图 3 击穿电压测试情况分布图

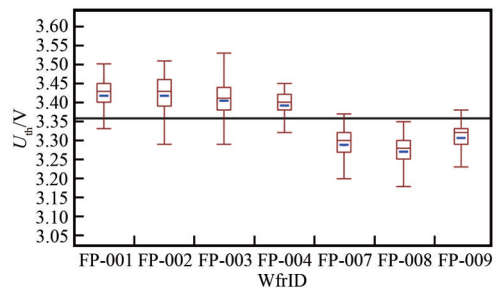


Fig.4 Distribution of U_{th} test
图 4 阈值电压测试情况分布图

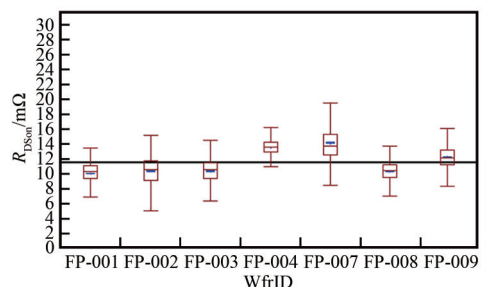


Fig.5 When the current is 1 A, distribution of R_{DSon} test
图 5 电流为 1 A 时导通电阻测试情况分布图

计要求。后续在器件设计过程中,可以引入沟槽结构或者超结结构,能更有效利用芯片面积,降低生产成本,进一步提高器件电性参数和可靠性水平。

参考文献:

- [1] DONALD A Newman. 半导体物理与器件[M]. 5版. 北京:电子工业出版社, 2013. (DONALD A Newman. Semiconductor physics and devices:basic principle[M]. 5th ed. Beijing:Electronics Industry Publishing House, 2013.)
- [2] 陈卉,师向群,胡云峰,等. 半导体器件物理与工艺的TCAD综合性实验设计[J]. 科技创新与应用, 2019(6):20-23. (CHEN Hui, SHI Xiangqun, HU Yunfeng, et al. TCAD comprehensive experimental design of physics and technology of semiconductor device [J]. Technology Innovation and Application, 2019(6):20-23.)
- [3] 董果香. 半导体器件物理参数模型研究及器件模拟[D]. 成都:电子科技大学, 2013. (DONG Guoxiang. Research of the physical parameters models of the semiconductor devices and device simulation[D]. Chengdu, China: University of Electronic Science and Technology of China, 2013.)
- [4] 赵圣哲. VDMOS器件的制作方法及其VDMOS器件[P]. 北京:CN106257632A, 2016-12-28. (ZHAO Shengzhe. Manufacturing method of VDMOS device and VDMOS device[P]. Beijing:CN106257632A, 2016-12-28.)
- [5] 陈龙,沈克强. VDMOS场效应晶体管的研究与进展[J]. 电子器件, 2006,29(1):290-295. (CHEN Long, SHEN Keqiang. The theory research and progress of VDMOS Field-Effect Transistor[J]. Chinese Journal of Electron Devices, 2006,29(1):290-295.)
- [6] 李明达. VDMOS功率器件用200 mm硅外延片工艺研究[J]. 天津科技, 2018,45(12):25-28. (LI Mingda. Study on process of 200 mm silicon epitaxial wafer for VDMOS power device[J]. Tianjin Science & Technology, 2018,45(12):25-28.)
- [7] 张相飞,周芝梅,王永刚,等. DMOS器件及工艺的研究与分析[J]. 科技风, 2019(4):117-119. (ZHANG Xiangfei, ZHOU Zhimei, WANG Yonggang, et al. Research and analysis of DMOS devices and technology[J]. Technology Wind, 2019(4):117-119.)
- [8] 曹震. 打破硅极限新型功率MOSFET设计及关键技术[D]. 西安:西安电子科技大学, 2019. (CAO Zheng. Design and key technologies of novel power MOSFET breaking the silicon limit[D]. Xi'an, China: Xidian University, 2019.)
- [9] 孙伟锋,张波,肖胜安,等. 功率半导体器件与功率集成技术的发展现状及展望[J]. 中国科学:信息科学, 2012,42(12):1616-1630. (SUN Weifeng, ZHANG Bo, XIAO Sheng'an, et al. Development status and prospect of power semiconductor devices and power integration technology[J]. SCIENTIA SINICA Informationis, 2012,42(12):1616-1630.)
- [10] 吴正元,张硕,董晓敏,等. 高压VDMOS场板终端技术的研究[J]. 华中理工大学学报, 1999,27(4):3-5. (WU Zhengyuan, ZHANG Shuo, DONG Xiaoming, et al. Study on the field plate termination technology of high-voltage VDMOS[J]. Journal of Huazhong University of Science and Technology, 1999,27(4):3-5.)
- [11] 邵建新,王立模. VDMOS功率器件开关特性研究[J]. 微电子学, 1994,24(2):17-21. (SHAO Jianxin, WANG Limo. Research on switching characteristics of VDMOS power devices[J]. Microelectronics, 1994,24(2):17-21.)

作者简介:

董子旭(1994-), 男, 甘肃省白银市人, 硕士, 工程师, 主要研究方向为半导体器件及工艺平台开发.
email:540585273@qq.com.

赵晓丽(1989-), 女, 河北省张家口市人, 硕士, 工程师, 主要研究方向为半导体功率器件.

刘晓芳(1988-), 女, 石家庄市人, 硕士, 工程师, 主要研究方向为半导体功率器件.

王万礼(1987-), 男, 天津市人, 本科, 高级工程师, 主要研究方向为功率、沟槽结构肖特基等器件.

张馨予(1992-), 女, 天津市人, 硕士, 工程师, 主要研究方向为半导体功率器件.