

文章编号: 2095-4980(2021)05-0845-07

一种用于 SAR 成像的数据存储系统设计方法

王 威^{1,2}, 曹 越^{1,2}, 喻忠军^{1,2}

(1.中国科学院 空天信息创新研究院, 北京 100094; 2.中国科学院大学, 北京 100049)

摘 要: 针对合成孔径雷达(SAR)成像回波数据量巨大和存储器资源利用率偏低的问题, 提出一种双倍数据速率动态随机存储器(DDR)的存储装置, 并设计一种原位转置的存储方法。该方法首先比较雷达回波数据距离向和方位向的长度, 通过预留出距离向和方位向中较长数据的单行或者单列所占用的存储空间来提高存储器读地址和写地址逻辑映射的灵活性, 有效地实现了大数据量的片内转置操作, 提高了双倍数据速率动态随机存储器(DDR)的资源利用率, 并将分块子矩阵地址映射方法和跨页地址映射方法应用于原位转置中, 有效地提高了SAR回波数据转置的访问效率。仿真实验结果表明, 该数据存储系统在满足成像实时性的同时降低了一半的DDR存储器的用量, 提高了DDR的资源利用率, 降低了成本, 目前已成功应用于多种模式的SAR成像处理中。

关键词: 合成孔径雷达; 双倍数据速率动态随机存储器; 4 倍数据速率静态随机存储器; 矩阵转置; 原位转置

中图分类号: TN957.52

文献标志码: A

doi: 10.11805/TKYDA2020010

A design of data storage system for SAR imaging

WANG Wei^{1,2}, CAO Yue^{1,2}, YU Zhongjun^{1,2}

(1. Aerospace Information Research Institute of the Chinese Academy of Sciences, Beijing 100094, China;

2. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: A Double Data Rate(DDR) Synchronous Dynamic Random Access Memory(SDRAM) combined with Quad Data Rate(QDR) Static Random Access Memory(SRAM) storage system is proposed to overcome the problem of huge amount of SAR imaging echo data. An in-place transposed storage method is designed for the system to improve the memory resource utilization. This method compares the length of the range and the azimuth of radar echo data firstly. It reserves some free space of the memory to improve the flexibility of the logical mapping of the read address and the write address of memory. The free space is the same as the storage space occupied by a single row or column of longer data in the range direction and the azimuth direction. It effectively realizes the on-chip transposition operation of a large amount of data, and saves the utilization amount of DDR. And the sub-block matrix address mapping method and cross-BANK address mapping method are applied to the in-place transposition, which effectively improves the access to the SAR echo data transposition. The experimental results show that the data storage system reduces the amount of DDR memory by half while meeting the real-time imaging requirement, improves the resource utilization of DDR, and cuts the cost. At present, it has been successfully applied to SAR imaging processing in multiple modes.

Keywords: Synthetic Aperture Radar; Double Data Rate SDRAM; Quad Data Rate SRAM; matrix transpose; matrix in-place transpose

合成孔径雷达(SAR)是一种高分辨力成像雷达, 它通过雷达与目标之间的相对运动模拟一个大的雷达孔径达到提高方位向分辨力的效果, 通过脉冲压缩提高距离向分辨力的效果。与传统的光学成像相比, SAR 成像具有全天时、全天候的工作能力, 并且能够穿透云层和植被, 在国民经济和国防建设方面发挥重要作用^[1-2]。

由于 SAR 成像算法中涉及到频繁的矩阵转置操作^[3], 数据的转置效率成为影响 SAR 成像实时性的主要因素

之一。现有的提高数据转置效率的算法有：矩阵分块线性映射法^[4]、实时矩阵转置方法^[5]。这些算法虽然可以平衡顺序缓存和转置缓存，提高转置访问的效率，但是没有考虑存储器基于突发长度的访问机制带来的数据不能单列输出和存储器资源利用率的问题。

本文提出一种双倍数据速率动态随机存储器(DDR)，结合 4 倍数据速率静态随机存储器(QDR)的数据转置存储装置，针对 DDR 由于突发长度(BURST)的数据访问机制带来的无法输出单列数据的问题，引入 QDR 存储器，提出一种 DDR+QDR 存储系统；针对 DDR 资源利用率的问题，提出一种原位转置的方法，并将分块子矩阵映射方法与跨(BANK)地址映射方法应用于原位转置中，有效地提高数据转置存储效率，并且提高了 DDR 的资源利用率，减少 DDR 的使用量，目前已经成功应用于多种模式的 SAR 成像系统中。

1 DDR+QDR 存储系统

由于 SAR 成像雷达回波数据量巨大，FPGA 内部存储空间有限，只有通过 FPGA 外挂存储器进行雷达回波数据缓存。由于 DDR 具有容量大、速率快、性能稳定等优点，是用作 SAR 数据存储的最合适的存储器。但是 DDR 的访问是基于突发长度(BURST)的方式，即给出一个首地址，DDR 会连续访问 BURST 长度的数据，所以进行转置访问时，DDR 无法输出精确的单列数据，而是输出 BURST 长度的列数据。而 QDR 具有更小、更灵活的 BURST 操作，可以辅助 DDR 完成彻底的数据转置。本文提出一种 DDR+QDR 的数据转置存储架构，根据 DDR 存储器容量大、性能稳定、速率快等优点来完成数据的缓存，再利用 QDR 完成转置数据的单列输出。其实现框图如图 1 所示。

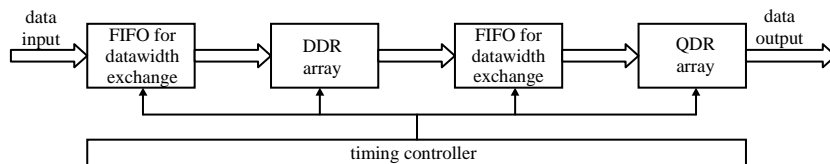


Fig.1 DDR+QDR storage system
图 1 DDR+QDR 存储系统框图

如图 1 所示，数据输入后，首先由先进先出(First In First Out, FIFO)对原始数据进行位宽转换，使数据位宽与 DDR 数据位宽一致，然后进行 DDR 数据缓存。接着从 DDR 中读取数据，由于 DDR 的 BURST 的访问机制，DDR 转置读取的每行的数据是长度为 BURST 的数据。接着将 DDR 输出的数据经过 FIFO 进行位宽转换，使数据位宽与 QDR 数据位宽一致，进行 QDR 转置操作，由于 QDR 的 BURST 很小，经过 QDR 转置输出的数据即为精确的单列数据，图中时序控制器通过对存储器的读写命令进行切换控制来达到宏观上的同时读写的效果，实现数据流水化的操作。

2 DDR 转置访问高效算法

2.1 分块子矩阵数据访问方法

DDR 的数据访问是基于行进行的，在对数据进行访问时，首先需要进行行激活(Active)，将行打开；然后进行数据访问，数据访问完成后，需要进行预充电(Precharge)操作，将行关闭。在进行行激活和预充电时，DDR 所有命令都不执行，进入等待阶段，在行激活和预充电完毕后，DDR 指令继续执行^[6]。在行激活和预充电的过程中无法进行数据访问，这是影响 DDR 数据访问效率的一个因素。

在对 DDR 进行顺序访问时，打开一行，连续访问一行数据后，将行关闭，每访问一行数据只进行一次行激活和一次预充电，DDR 访问效率很高。当对 DDR 进行转置操作，访问 DDR 的列数据时，每打开一行只访问一个有效数据，由于行激活和预充电的存在，数据访问效率会变得很低。针对上述 DDR 转置访问效率低的问题，现有一种分块子矩阵的存储方法^[7-8]，此方法将数据矩阵分割成若干个长宽均匀的小矩阵，每个小矩阵中的数据刚好可以放入 DDR 中的一行，

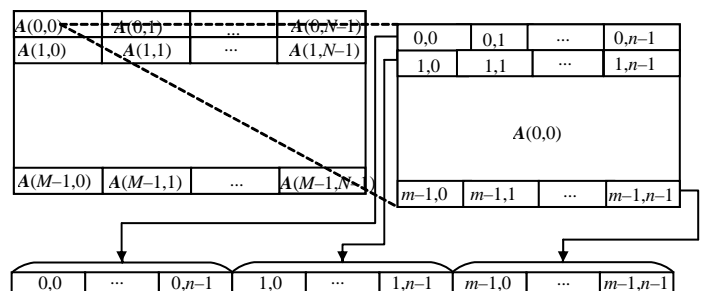


Fig.2 Diagram of sub-block matrix address mapping
图 2 分块子矩阵地址映射示意图

这样打开 DDR 中的行时，不仅可以连续访问数据矩阵中的行数据，而且可以连续访问数据矩阵中的列数据。设计的子矩阵的行列数尽量均衡，最优的情况为一方阵，这样可以使跨行访问次数最少，减少转置数据访问时的跨行的效率损失，提高转置数据访问的效率。分块子矩阵具体实现方法如图 2 所示。

如图 2 所示，首先将数据矩阵划分为 $M \times N$ 个大小相等的子矩阵 $A(0,0) \sim A(M-1,N-1)$ ，每个子矩阵中包含 $m \times n$ 个数据。在进行数据存储时，把每个子矩阵按行的顺序依次存入 DDR 的一行中，即首先存入数据矩阵的第一行子矩阵阵列 $A(0,0) \sim A(0,N-1)$ ，然后存入第 2 行子矩阵阵列 $A(1,0) \sim A(1,N-1)$ ，依次类推，直到存入最后一行子矩阵阵列 $A(M-1,0) \sim A(M-1,N-1)$ 。每个子矩阵数据存入 DDR 的方式也是按行顺序存入，以 $A(0,0)$ 为例，首先存入第 1 行数据 $(0,0) \sim (0,n-1)$ ，然后存入第 2 行数据 $(1,0) \sim (1,n-1)$ ，依次类推，直到存入最后一行数据 $(m-1,0) \sim (m-1,n-1)$ 。

这样，在 DDR 中的一行中，既有距离向的数据，又有方位向的数据。所以无论是进行距离向数据访问还是方位向数据访问，打开 DDR 的行后，都可以进行连续的数据访问操作，大大提高了数据转置访问的效率。

2.2 跨 BANK 数据访问方法

DDR3 在对一个 BANK 中某一行数据进行访问时，具有同时打开其他 BANK 中的行的读写特点。现有一种跨 BANK 的数据缓存方式^[8]，其缓存方式的具体实现方法如图 3 所示。

首先将数据矩阵分成 $M \times N$ 个子矩阵，然后按行的顺序将分块子矩阵依次存入 DDR 的不同 BANK 的行中，存入方式和分块子矩阵映射方法相同。由于雷达回波数据需要进行快速傅里叶变换操作，所以雷达距离向和方位向数据量都是 2 的高次幂，所以

每行的分块子矩阵的个数也是 2 的高次幂，而 DDR3 的 BANK 一般为 4 或 8，为 2 的倍数。以 BANK 等于 8 为例，如果将 BANK 的首地址设为 0，将第 1 行的子矩阵阵列存入 DDR3 中，刚好可以存入若干个 BANK0~BANK7 的循环。在存第 2 个子矩阵阵列时，如果仍将 BANK 的首地址设置为 0，那么就会将第 2 行子矩阵存入第一行相同位置子矩阵所在的 BANK 中，这会造成在进行列数据读取时，无法进行跨 BANK 的操作。

根据上述分析，在进行跨 BANK 数据访问时，需要对 BANK 的首地址进行特殊设置，具体地，可以将 BANK 首地址设为上一行分块子矩阵的 BANK 的首地址加 1，直到存入的 BANK 的首地址为最后一个 BANK，则使下一行分块子矩阵的 BANK 首地址为 0，然后继续依次递增。

3 原位转置

在雷达工作过程中，天线阵面持续不断地采集数据，实时处理平台不仅需要考虑到处理的实时性，还要考虑到数据的流水化操作。为了实现流水平衡，现有一种三页缓存结构^[9]，三页缓存易于实现并且操作简单，但是需要更多的 DDR 资源，造成 DDR 资源的浪费。现有一种两页式结构^[10]，该结构虽然可以节约 DDR 的使用量，但增加了系统控制和地址产生器的电路复杂性，不利于硬件实现。考虑到 DDR 使用量和板卡空间的问题，本文设计一种在单组 DDR 内完成转置的操作，只占用原始数据大小的存储空间就可以实现矩阵转置，实现数据流水化的同时提高 DDR 存储器的资源利用率。

传统的片内转置操作，由于需要将读出的数据处理后存回原地址，考虑到数据的转置操作，仅适合距离向和方位向相等的方阵，对于距离向和方位向不相等的数据矩阵，会使地址映射的逻辑非常复杂，不利于算法实现。本文设计的原位转置的方法，在单组 DDR 内完成数据转置的同时，降低地址映射的复杂度，更易于逻辑设计的实现。

3.1 传统片内转置方法

传统的转置实现方法：当把数据存满存储器后，由于需要转置操作，数据的读取地址是固定的，由于数据是流水操作，下一个存进存储器的地址就是刚刚数据读出的地址，即数据写入的地址也是固定的，这让转置的地址逻辑很不灵活，而且实现起来很复杂。图 4 以 4 行 8 列的矩阵为例进行传统的转置方法说明。

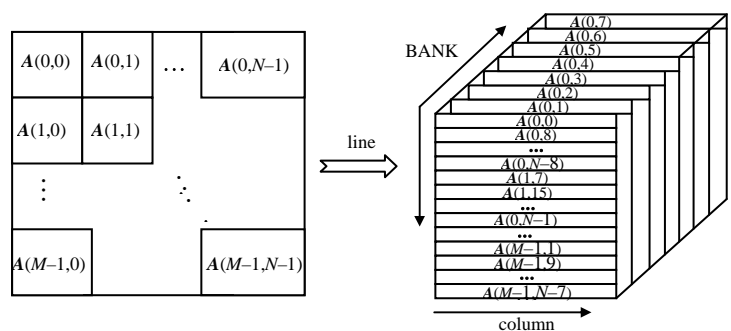


Fig.3 Diagram of cross BANK address mapping
图 3 跨 BANK 缓存示意图

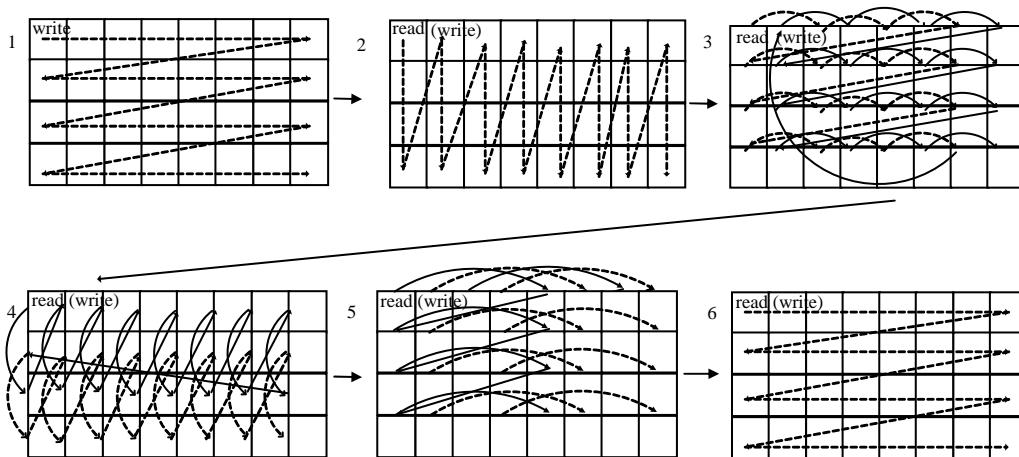


Fig.4 Traditional on-chip transpose operation
图 4 传统片内转置操作示意图

如图 4 所示，传统的片内转置步骤：

- 1) 从存储阵列的第 1 行开始，将数据按顺序写的方式写满存储阵列；
- 2) 为了将数据流水化缓存，需要存储器在宏观上实现同时读写的操作，即将数据读出存储器的同时完成下一组数据的写入操作，由于存储阵列中没有多余的存储地址，只能将数据写入刚刚数据读出的地址中。数据需要经过转置处理，这一步的逻辑地址的数据访问方式是顺序写、转置读，存储器物理地址的存储方式为按列操作；
- 3) 因为需要将步骤 2)写入的数据转置读出，所以这一步的读写操作需要涉及到比较繁琐的物理地址跳变，和步骤 2)一样，写入数据的地址为上一步读出数据的地址，逻辑地址的数据访问方式为顺序写、转置读，存储器物理地址的存储方式为跳地址存储；
- 4) 逻辑地址的读写方式为顺序写，转置读，存储器物理地址的存储方式为跳地址存储，跳变的地址发生改变，需要重新设计地址跳变逻辑；
- 5) 与上一步相同，逻辑地址的读写方式为顺序写，转置读，存储器物理地址的存储方式为跳地址存储，跳变的地址发生改变，需要重新设计地址跳变逻辑；
- 6) 物理地址映射逻辑完成一个周期循环，进行按行顺序写入。

由上述对非原位转置的存储方式的分析可知，对于距离向和方位向长度不同的数据，需要转置缓存操作，为了能够在—组 DDR 内完成缓存，需要对存储器的读地址和写地址进行不断的跳变操作，对于数据量巨大的雷达回波数据矩阵，这种方法根本无法实现。其无法实现的原因是由于 DDR 存储器的地址有限，导致下一组的数据必须写入数据刚刚读出的存储器地址，导致写地址无法灵活改变。为了解决这个问题，设想在不影响读写顺序的条件下，预留出一段存储空间，使写地址更加灵活多变，这就是原位转置方法。

3.2 原位转置方法

原位转置的主要思想为：在数据存入 DDR 中时，不把 DDR 存储阵列存满，预留一部分存储空间，预留原则为距离向上单行数据和方位向上单列数据中较长数据所需的存储空间。预留的存储空间可以在下一次写操作时，让写的逻辑操作更加灵活。存完这部分的数据后，进行读取操作，按照读一个数据写一个数据的原则，由于预留空间的长度的设计，写数据一定会在读数据前，不会出现未写先读的情况。下面以 4 行 8 列数据矩阵的数据转置为例进行原位转置的说明。

如图 5 所示，存储的数据为 4 行 8 列的矩阵，距离向为 8，方位向为 4，所以预留的存储空间为 8 个存储地址。原位转置操作步骤如下：

- 1) 从存储阵列第 1 行开始按行进行数据顺序写入，写满 3 行后停止写入，留出 1 行存储地址；
- 2) 进行同时读写操作，转置读取存储阵列的前 2 列，顺序写入存储阵列的最后 1 行，读写原则是读 1 个写 1 个；
- 3) 转置读取 3、4 列，并且将新数据写入 1、2 列，由于 1、2 列的数据在步骤 2)中已经被读出，所以这 2 列的存储空间全部可以使用，写地址可以在这 2 列中任意选择，为了提高跨行访问效率，这里可以采用 Z 字形(分块子矩阵)写入方式；

- 4) 跳地址读取第 1 行的数据，Z 字形方式写入最后 1 行；
- 5) 逐行跳地址读取剩下的数据，逐行将数据顺序写入已经完成读取的存储地址，完成 1 个周期逻辑循环。

由上述对原位转置的分析可知，由于存在预留的地址空间，使得数据读写地址更为灵活，地址映射逻辑也简单清楚，适合数据量大的数据存储。

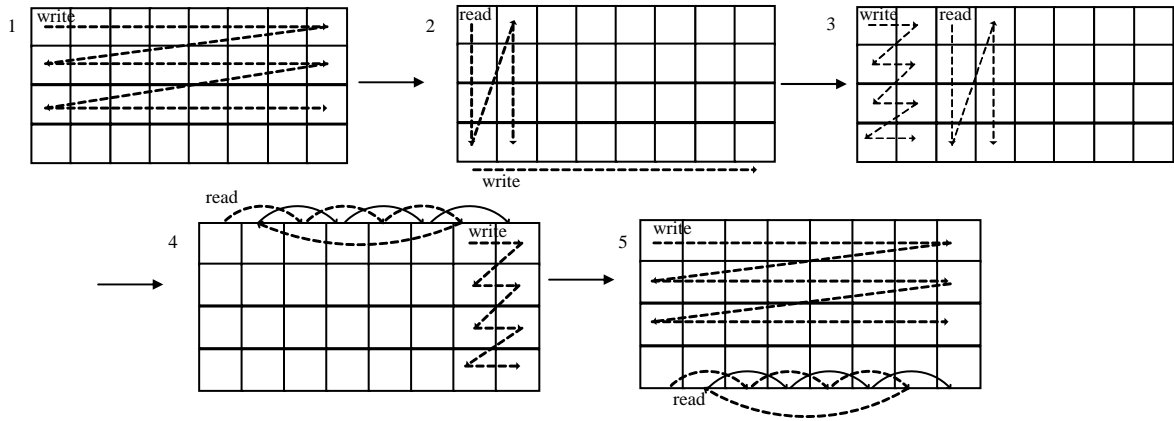


Fig.5 In-place transpose operation
图 5 原位转置操作示意图

通过比较非原位转置与原位转置的方法可知，传统的转置方法不仅完成一个转置周期的步骤多，而且逻辑映射非常复杂，在大数据量的数据矩阵的情况下，实现起来非常困难。而原位转置方法由于预留空间的设计，读写地址可以灵活地操作，而且可以结合逻辑地址与物理地址的映射关系，更有利于工程实现。

4 矩阵原位转置模式实现结构

由上述的原位转置方法，设计一种原位转置的存储模块结构，存储结构包括 1 个比较判断模块，选择出距离向和方位向中较大的长度；由于存在距离向长度大于方位向长度和方位向长度大于距离向长度这 2 种情况，所以需要设计 2 套地址映射地址，因此需要 1 个模式选择模块，选择符合距离向和方位向条件的逻辑程序；为了完成数据流水处理，达到宏观上的同时读写的效果，需要 1 个读写切换模块，来完成读和写的切换操作；由于需要对数据进行存储，需要 1 组 DDR 存储器进行数据缓存和 1 个 FIFO 模块对数据位宽进行转换和小数据量的缓存；为了对 DDR 存储器进行一些逻辑控制及数据传输，需要设计 1 个 DDR 控制模块对 FPGA 外部的 DDR 存储器进行逻辑控制操作。具体的实现框图如图 6 所示。

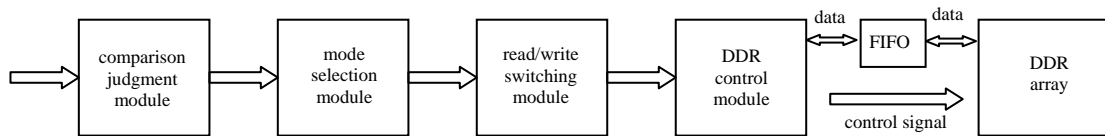


Fig.6 Diagram of in-place transposition implementation
图 6 原位转置实现框图

如图 6 所示，首先进行距离向和方位向长度的比较判断，选择出距离向和方位向中长度更长的那个数据方向；然后进行模式选择模块，选出符合距离向和方位向情况的逻辑程序；接着进入读写切换模块，写一段数据然后切换读程序，实现流水读写；接着进入 DDR 控制模块，完成对 DDR 存储器的读写时序控制，其中通过 FIFO 将回波数据数据位宽转换成符合 DDR 存储器的数据位宽，完成数据传输。

5 实验测试结果

本文对不同大小的数据矩阵进行原位转置程序设计，并对 DDR3 的数据访问效率进行测试，所用 DDR3 的型号为镁光公司的 MT41K1G8 系列，采用的是 Xilinx 公司的 vivado 作为调试软件，现场可编程门阵列(Field Programmable Gate Array, FPGA)采用的是 Xilinx 公司的 Virtex-7 系列板卡。DDR 系统时钟为 400 MHz。DDR3 使用量情况如图 7 所示，数据访问效率见表 1。

表 1 DDR 数据访问效率实测表
Table 1 Data access efficiency of DDR

matrix size/kB	access mode	efficiency of write/%	efficiency of read/%
128×32K	row in row out	89.31	92.37
128×32K	row in column out	89.31	17.18
128×32K	sub-block matrix mapping	58.63	75.07
128×32K	cross BANK row in row out	91.64	94.37
128×32K	cross BANK row in column out	91.64	27.68
128×32K	cross BANK sub-block matrix mapping	67.61	80.01

由图 7 可知, 原位转置确实可以提高 DDR3 的资源利用率, 降低 DDR3 的使用量, 并且数据矩阵越大, 节约的 DDR3 的数量越多。

由表 1 的测试结果可知, 分块子矩阵的访问方法将转置读效率由 17.18% 提升至 75.07%, 虽然写效率有所降低, 但是使得读写效率更加均衡, 提高了转置效率; 跨 BANK 的访问机制结合分块子矩阵地址映射方法, 将分块子矩阵的顺序写效率由 58.63% 提升至 67.61%, 转置读效率由 75.07% 提升至 80.01%。进一步提高数据访问效率; 所以分块子矩阵和跨 BANK 数据访问结合起来, 不仅使顺序读写和转置读写的效率达到均衡, 还可以进一步提高数据访问效率, 是解决矩阵转置效率问题的最佳方法。

6 结论

本文设计了一种 DDR+QDR 的转置存储系统来完成 SAR 回波数据的缓存操作, 并针对 DDR 资源利用率的问题, 设计一种原位转置的存储方法, 成功地减少了一半的 DDR 使用量, 降低了成本; 并针对 DDR 的跨行效率低的问题, 将分块子矩阵数据缓存算法结合跨 BANK 的数据缓存方法应用于原位转置中, 有效地提高了 DDR 的数据访问效率。在实际工程项目应用中, 本系统的数据同时读写效率达到 40% 以上, 可以很好地满足雷达系统的实时性要求。

参考文献:

- [1] 皮亦鸣, 杨建宇, 付毓生. 合成孔径雷达成像原理[M]. 成都: 电子科技大学出版社, 2007. (PI Yiming, YANG Jianyu, FU Yusheng. Synthetic aperture radar imaging principle[M]. Chengdu, China: University of Electronic Science and Technology Press, 2007.)
- [2] 保铮, 邢孟道, 王彤. 雷达成像技术[M]. 北京: 电子工业出版社, 2005. (BAO Zheng, XING Mengdao, WANG Tong. Technology of radar imaging[M]. Beijing: Publishing House of Electronics Industry, 2005.)
- [3] CUMMING Iang, WONG Frank H. 合成孔径雷达成像—算法与实现[M]. 北京: 电子工业出版社, 2012. (CUMMING Iang, WONG Frank H. Digital processing of synthetic aperture radar data: algorithms and implementation[M]. Beijing: Publishing House of Electronics Industry, 2012.)
- [4] 边明明, 毕福昆, 汪精华. 实时成像系统矩阵转置方法研究与实现[J]. 计算机工程与应用, 2011, 47(22): 117–119, 114. (BIAN Mingming, BI Fukun, WANG Jinghua. Research and implementation of matrix transpose for real-time SAR imaging system[J]. Computer Engineering and Applications, 2011, 47(22): 117–119, 114.)
- [5] 鲍胜荣, 周海斌. SAR 实时成像高效矩阵转置研究和实现[J]. 现代雷达, 2013, 35(3): 24–27. (BAO Shengrong, ZHOU Haibin. Study and implementation of high efficiency matrix transpose for SAR real-time imaging system[J]. Modern Radar, 2013, 35(3): 24–27.)
- [6] 万轶. 高性能 DDR3 存储控制器的研究与实现[D]. 长沙: 国防科技大学, 2008. (WAN Yi. Research and implementation of high-performance DDR3 memory controller[D]. Changsha, China: National University of Defense Technology, 2008.)
- [7] 吴沁文. 基于 FPGA 和 DDR 的高效率矩阵转置方法[J]. 现代雷达, 2017, 39(4): 34–40. (WU Qinwen. High efficiency matrix transposition method based on FPGA and DDR[J]. Modern Radar, 2017, 39(4): 34–40.)
- [8] 刘小宁, 谢宜壮, 赵博雅. 一种二维访问效率均衡的 SAR 数据矩阵转置方法[J]. 电子学报, 2016, 44(1): 33–38. (LIU Xiaoning, XIE Yizhuang, ZHAO Boya. A SAR data matrix transpose method of efficiency balanced two dimensional access[J]. Acta Electronica Sinica, 2016, 44(1): 33–38.)

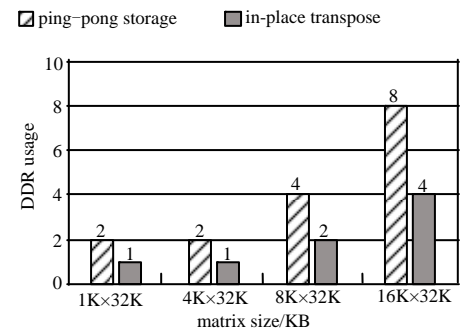


Fig.7 Diagram of DDR usage
图 7 DDR 使用量示意图