

文章编号: 2095-4980(2021)03-0537-04

## 一种基于 V58300 平台的集成电路功能测试系统设计

田 强<sup>1,2a,2b</sup>, 杨婉婉<sup>\*2a,2b</sup>, 李力南<sup>1</sup>, 郭 刚<sup>3,4</sup>, 蔡 莉<sup>3,4</sup>, 刘海南<sup>2a,2b</sup>, 罗家俊<sup>2a,2b</sup>

(1.北京交通大学 电子信息工程学院, 北京 100044; 2.中国科学院 a.微电子研究所; b.硅器件技术重点实验室, 北京 100029; 3.中国原子能科学研究院 核物理研究所, 北京 102413; 4.国防科技工业抗辐照应用技术创新中心, 北京 102413)

**摘 要:** 基于中科院微电子所自主研发的 V58300 硬件平台, 设计实现了一种集成电路功能测试系统。该系统包含上位机与下位机两部分, 通过在上位机实时更改测试系统相关 I/O 的定义和输入的测试向量文件, 即可自动完成对各种运行频率在 25 MHz 及以下, I/O 数量在 48 位及以下双列直插(DIP)封装集成电路的功能测试, 实现了测试系统的通用化和低成本化。最后通过实验证明本测试系统可以有效地对相关芯片进行功能测试。

**关键词:** 现场可编程门阵列; 集成电路测试; 测试向量; 功能测试

**中图分类号:** TN407

**文献标志码:** A

**doi:** 10.11805/TKYDA2019422

## Design of an integrated circuit function test system based on V58300 platform

TIAN Qiang<sup>1,2a,2b</sup>, YANG Wanwan<sup>\*2a,2b</sup>, LI Linan<sup>1</sup>, GUO Gang<sup>3,4</sup>, CAI Li<sup>3,4</sup>, LIU Hainan<sup>2a,2b</sup>, LUO Jiajun<sup>2a,2b</sup>

(1.School of Electronic and Information Engineering, Beijing Jiaotong University, Beijing 100044, China;

2a.Institute of Microelectronics; 2b.Key Laboratory of Silicon Device Technology, Chinese Academy of Sciences, Beijing 100029, China;

3.Department of Nuclear Physics, China Institute of Atomic Energy, Beijing 102413, China; 4.Radiation Application Technology Innovation Center of National Defense Technology Industry, Beijing 102413, China)

**Abstract:** Based on the V58300 hardware platform independently developed by the Institute of Microelectronics of the Chinese Academy of Sciences, an integrated circuit function test system is designed and implemented. The system includes two parts: host computer and slave computer. By changing the definition of the I/O related to the test system and the input test vector file in real time on the host computer, the functions test of Dual In-line Packaged(DIP) integrated circuits with various operating frequencies of 25 MHz and below and I/O numbers of 48 and below can be automatically completed. The system realizes the universalization and low cost of the test system. Finally, it is proved that the test system can effectively test related chips by experiments.

**Keywords:** Field Programmable Gate Array; integrated circuit test; test vector; function test

集成电路的测试不仅可以保证电路的可靠性, 而且可以有效降低集成电路开发的时间和制造成本。如何高效、快捷地对集成电路进行测试成为一个重要问题。目前比较成熟的测试技术是自动测试设备(Automatic Test Equipment, ATE)测试技术<sup>[1]</sup>, ATE 功能测试原理如图 1 所示, ATE 测试机将测试向量转化成激励输入到被测芯片(Device Under Test, DUT), 将被测芯片输出与预期输出结果作对比, 得到功能测试结果<sup>[2]</sup>。ATE 测试系统可对多种芯片进行测试, 但是, 由于其昂贵的价格和较大的体积, 在很多应用场景里存在限制。如小规模集成电路的功能测试中, 使用测试成本昂贵的 ATE 测试系统就得不偿失。由于现场可编程门阵列(Field Programmable Gate Array, FPGA)成本低廉、可编程的特点, 近年出现了许多应用 FPGA 作为主控芯片的小型测试系统<sup>[3-4]</sup>, 这些系统采用了测试方案和测试硬件定制化的方法, 只能对某种芯片进行测试, 在测试其他芯片时需要重复开发、设计, 人力、物力资源投入较大, 缺乏通用性和统一性。本文设计了一种应用 ATE 功能测试原理, 采用测试向量作为输入, 基于 V58300 FPGA 开发平台对 DIP 封装的芯片进行功能测试的测试系统, 实现了测试

收稿日期: 2019-10-24; 修回日期: 2019-12-11

基金项目: 国防科技工业抗辐照应用技术创新中心创新基金资助项目(KFZC2018020301)

作者简介: 田 强(1995-), 男, 在读硕士研究生, 主要研究方向为 FPGA 测试系统。email:17120024@bjtu.edu.cn

\*通信作者: 杨婉婉 email:yangwanwan@ime.ac.cn

系统的通用化和低成本化。运用该测试系统，开发人员无需设计定制化的芯片激励生成逻辑和接口电路，只需在系统上位机进行相关配置即可自动完成芯片的功能测试，大大缩短了集成电路测试项目的开发周期且降低开发成本。

## 1 系统设计

### 1.1 系统整体架构

本文设计的集成电路测试系统由两部分组成——上位机和下位机部分。系统结构如图 2 所示。

### 1.2 上位机部分

上位机是整个测试系统的控制中枢，用于配置系统中相关的 I/O 属性，输入测试向量和测试命令，显示测试结果。对不同的芯片进行测试时，只需在上位机改变配置的 I/O 属性和输入的测试向量，即可自动完成不同芯片的功能测试。通过在上位机简单的配置，替代了常规测试系统的开发设计环节，大大提高了测试效率。

#### 1.2.1 测试向量生成

测试向量是在集成电路设计过程中功能仿真阶段产生的包含相关 I/O 时序信息、逻辑变化的仿真向量文件，其格式一般为 VCD 格式<sup>[5-6]</sup>。VCD 是一种 ASCII 文件，包含了变量的定义、变量值的变化、时间变化尺度、时间精度等信息。使用与 VCD 中时间变化尺度相同的时钟对 VCD 中相关信号进行采样，被采样信号排布顺序依据芯片 I/O 定义和芯片接入系统插座的位置灵活改动，得到了 FPGA 可以读取的二进制测试向量文件。通过这种方式简化了系统设计的难度。图 3 是某 CAN 总线芯片部分 VCD 测试向量与转换过后的部分二进制测试向量。

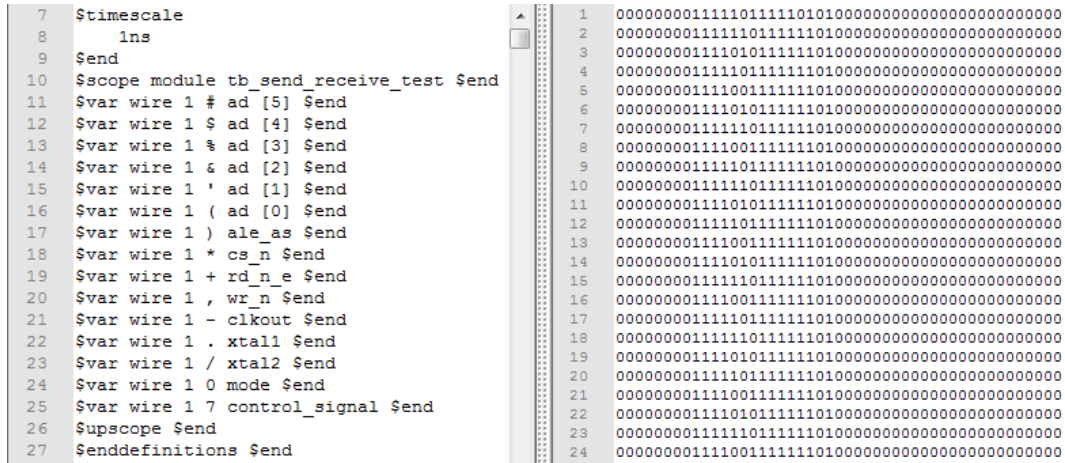


Fig.3 Partial VCD and binary test vectors of CAN bus chip  
图 3 CAN 总线芯片部分 VCD 与二进制测试向量

#### 1.2.2 上位机软件设计

系统的上位机软件采用 LabVIEW 语言进行编写，调用了 LabVIEW VISA 库的 RS232 串行接口函数进行数据的收发<sup>[7]</sup>，串口数据的读写采用流水线设计和循环串行结构，以提高设计效率。上位机界面包含了设置部分和显示部分。设置部分包括开关机、复位、串口选择、波特率选择、IO 配置、测试向量输入、测试开始、显示测试结果等按键。采用条件结构，每个按键作为不同的条件，向 FPGA 发送不同的命令，以使 FPGA 做出相应响应。显示部分包括 DUT 各管脚出错计数和 FPGA 相关部件复位完成信息。LabVIEW 和 FPGA 之间通过握手协议方式进行测试结果的传输，摒弃了传统定时传输的方式，提高了传输数据的稳定性。上位机将系统的各种指令封装成“帧”的形式，便于 FPGA 解析。

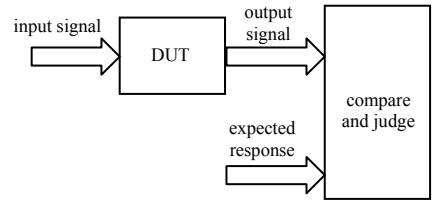


Fig.1 ATE test principle  
图 1 ATE 测试原理

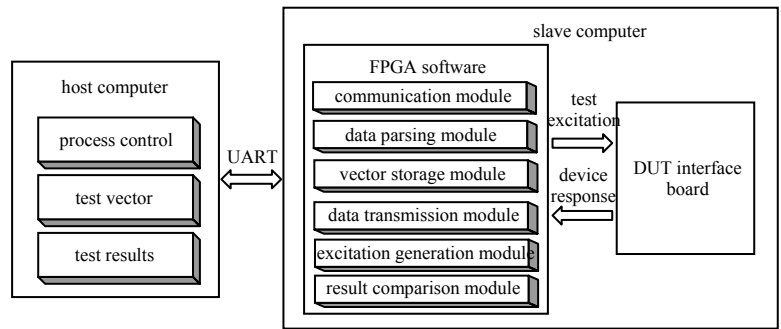


Fig.2 System structure  
图 2 系统结构

### 1.3 下位机

下位机包括 FPGA 软件设计和通用 DUT 测试板设计两部分，其中 FPAG 软件部分开发又分为通信程序开发及逻辑功能开发两部分。

#### 1.3.1 开发平台

本系统采用的 FPGA 硬件开发平台是由中国科学院微电子所自主研发的 V58300 平台，该平台由 FPGA 测试母板及 DUT 测试子板组成，平面尺寸不足 400 cm<sup>2</sup>，制造成本约为 10 万元。测试母板包括 1 主 4 子 5 块 FPGA，可同时多种集成电路进行功能测试，平台提供了十分充足的用户 I/O 和外设资源，便于程序的拓展和升级，基于该平台设计的测试系统具有通用化能力强、测试效率高、空间占用率低的特点。图 4 为 V58300 平台测试母板实物图。

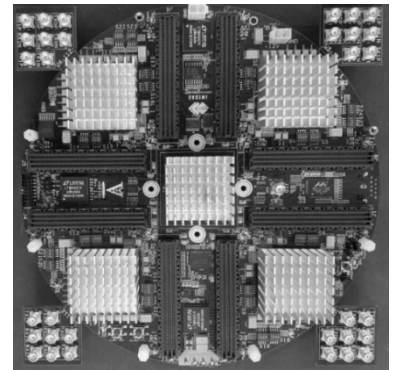


Fig.4 Motherboard of V58300 platform  
图 4 V58300 平台母板实物图

#### 1.3.2 通用 DUT 测试板设计

DUT 测试子板用于固定 DUT，并通过 SAMTEC SEAM 连接器与 FPGA 相连，为 DUT 提供可编程 I/O 和两路供电，两路供电可配置 1.2 V,1.8 V,2.5 V,3.3 V 中的任意值，满足大多数集成电路的供电需求。测试子板设计时，以尽量保证每个 SAMTEC SEAM 连接器的 I/O 到 DUT 插座的连线长度一致为原则，使每条线路的连线延时和寄生效应一致，以此提高测试系统的测试频率上限和测试准确性。DUT 插座采用 48 脚双列直插插座，与插座相连接的每个管脚通过拨码开关可选择 I/O,VDD,GND、两路电源中的一个功能。根据 DUT 插入插座的位置和 DUT 的 I/O 定义在上位机设置 I/O 配置信息，在 DUT 测试板上调节拨码开关以选择每个与 DUT 连接管脚的功能，实现了测试系统对 DIP48 管脚以下芯片的通用功能测试。DUT 插座的原理图如图 5 所示。

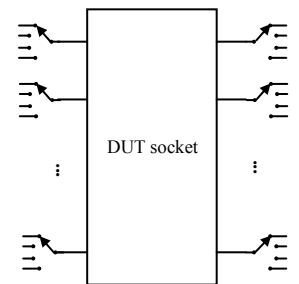


Fig.5 Design of DUT socket  
图 5 DUT 插座设计

#### 1.3.3FPGA 程序设计

FPGA 软件系统采用串口与上位机进行通信。设计了通信程序对串口传输至 FPGA 的数据进行解析、分发。将串口数据解析为：1) I/O 配置信息，用于配置 FPGA 与 DUT 相连的 I/O 属性：输入、输出、双向或者电源、地；2) 测试向量，记录了 DUT 每个管脚的输入与预期输出；3) 控制命令，控制系统流程。由于 FPGA 自身存储容量有限，将接收自上位机的测试向量存储至主 FPGA DDR2 之中。采用 Rocket I/O 实现主从 FPGA 之间的高速数据传输，系统最高可实现工作频率为 25 MHz 芯片的功能测试。通过控制命令控制测试向量的存储、传输与测试结果的回传。图 6 为通信程序原理图。图 7 为 FPGA 激励生成和结果对比的原理图。

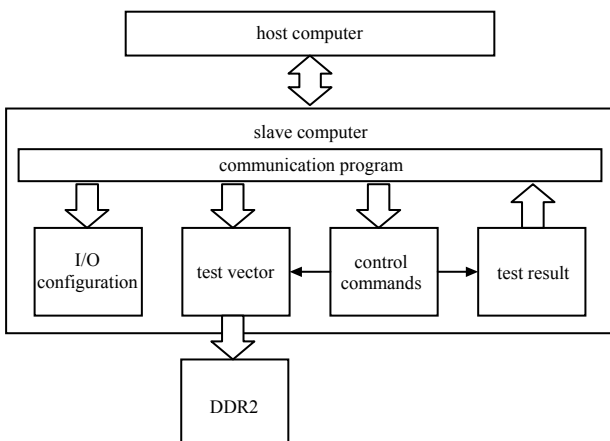


Fig.6 Schematic of communication program  
图 6 通信程序原理图

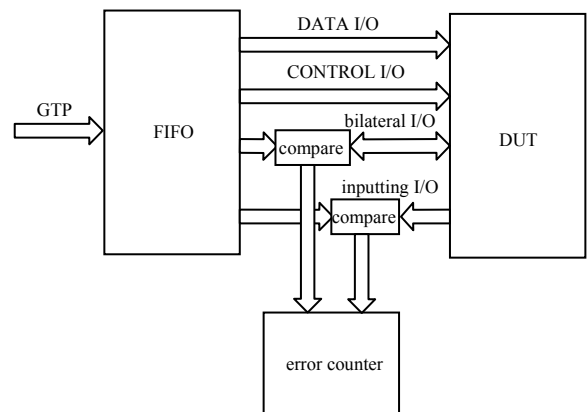


Fig.7 FPAG excitation generation and result comparison  
图 7 FPGA 激励生成与结果对比原理图

本系统将与 DUT 测试板相连的 FPGA 管脚分为三大类。第一类是输出 I/O，只向 DUT 发送数据；第二类是输入 I/O，只接收 DUT 发至 FPGA 的数据；第三类是双向 I/O，根据控制管脚的状态来确定其数据收发方向。其中输出 I/O 又分为两类，第一类是数据 I/O，向 DUT 发送数据信息；第二类是控制 I/O，向 DUT 发送控制信息，控制双向 I/O 的状态。芯片功能测试的本质就是将 DUT 在特定激励下的输出 I/O(对应 FPGA 的输入信号)的实际值与 DUT 正确的预期输出结果进行对比，从而判断 DUT 的逻辑功能是否正确。针对本系统而言，就是

一一对比测试向量中预存的各个管脚的正确输出结果与 FPGA 实际检测到的各个管脚的电平, 即 FPGA 和 DUT 相连的各个输入 I/O 及处于输入状态的双向 I/O 的实际输入, 最后得到最多 48 个 I/O 的对比结果, 加以统计整合并传输至上位机。

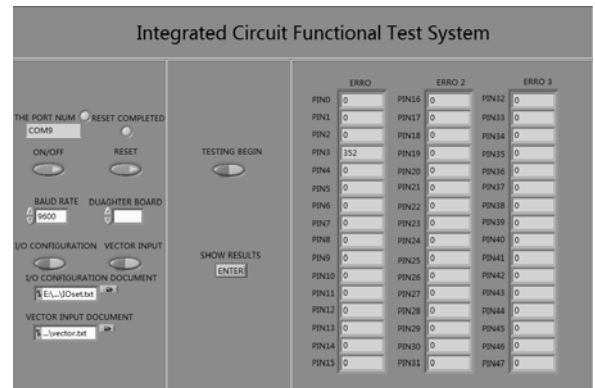
## 2 系统验证

为了验证本文测试系统的正确性, 采用本系统与“Verigy 93000”SOC 测试系统分别对 5 片 CAN 总线芯片进行功能测试, 图 8(a)为本系统上位机界面(展示了其中一片逻辑功能错误的芯片的测试结果), 测试结果显示相关 I/O 356 次对比失败, 即发生了 356 次错误。图 8(b)为 3#芯片在 Verigy 93000 SOC 测试系统上的测试输出文件截图。测试结果统计如表 1 所示, 两种测试系统的逻辑功能测试结果一致, 且所统计的错误发生数也一致, 证明了本文测试系统的准确性。

表 1 本文提出系统与 Verigy 93000 的测试结果

Table 1 Test results of the proposed system and Verigy 93000

| DUT number | proposed system |              | Verigy 93000 |              |
|------------|-----------------|--------------|--------------|--------------|
|            | pass or fail    | error number | pass or fail | error number |
| 1#         | pass            | 0            | pass         | 0            |
| 2#         | pass            | 0            | pass         | 0            |
| 3#         | fail            | 212          | fail         | 212          |
| 4#         | pass            | 0            | pass         | 0            |
| 5#         | fail            | 356          | fail         | 356          |



(a) this system

```

===== Started Testsuite SEND =====
Executed Testfunction functional on Site 1: FAILED
Equation Set 2; Spec Set 1; Timing Set 1
Equation Set 1; Spec Set 3; Level Set 1
Startlabel: send
test_number : 93

----- Functional: FAILED -----

===== Ended Testsuite SEND =====

===== Started Testsuite RECEIVED =====
Executed Testfunction functional on Site 1: FAILED
Equation Set 2; Spec Set 1; Timing Set 1
Equation Set 1; Spec Set 3; Level Set 1
Startlabel: func_b
test_number : 94

----- Functional: FAILED -----

```

(b) Verigy 93000

Fig.8 Test results of this system and the Verigy 93000

图 8 本文系统与 Verigy 93000 的测试结果

## 3 结论

本文设计了一种基于 V58300 平台的集成电路功能测试系统, 通过系统上位机和下位机的配合, 高效地实现了对工作频率 25 MHz 及以下, I/O 数量 48 位及以下集成电路的功能测试。该系统具有通用性强、体积小、操作方便的特点。通过与 ATE 测试平台的对比实验, 证明了该系统可以准确地对集成电路进行功能测试。该系统可应用于多种场景, 为集成电路的功能测试提供了一个良好的解决方案。

### 参考文献:

- [1] 孙黎,张涛,周珊. 基于 ATE 的 FPGA 软件自动化测试技术的研究[J]. 计算机技术与发展, 2014,8(8):6-9. (SUN Li, ZHANG Tao,ZHOU Shan. Research on software automation testing technology of FPGA based on ATE[J]. Computer Technology and Development, 2014,8(8):6-9.)
- [2] 张金凤,唐金慧,马成英. VLSI 测试向量转换过程实现[J]. 电子技术与软件工程, 2018(17):99-100. (ZHANG Jinfeng, TANG Jinhui,MA Chengying. VLSI test vector conversion process implementation[J]. Electronic Technology & Software Engineering, 2018(17):99-100.)
- [3] 李妍臻,李焱,刘海. 基于 FPGA 的集成电路测试系统设计[J]. 电子世界, 2013(7):119-120. (LI Yanzhen,LI Ye,LIU Hai. Design of integrated circuit test system based on FPGA[J]. Electronics World, 2013(7):119-120.)
- [4] 潘慧峰. 基于 FPGA 的集成电路测试系统设计探讨[J]. 电子测试, 2017(22):26-27. (PAN Huifeng. Design of integrated circuit testing system based on FPGA[J]. Electronic Test, 2017(22):26-27.)
- [5] 赵霞,高剑,李杰. 基于测试系统的测试向量工具设计研究[J]. 电子测量技术, 2019(6):12-16. (ZHAO Xia,GAO Jian, LI Jie. The research of pattern tools design based on test system[J]. Electronic Measurement Technology, 2019(6):12-16.)
- [6] 于鲁波,杜雷. EDA 仿真向量到 STIL 测试向量转换建模方法[J]. 电子制作, 2019(12):56-57. (YU Lubo,DU Lei, Modeling method of conversion from EDA simulation vector to STIL test vector[J]. Practical Electronics, 2019(12):56-57.)
- [7] 卢航,高峰,程刚. LabVIEW 现场可编程门阵列模块数据采集系统仿真[J]. 太赫兹科学与电子信息学报, 2013,11(6): 977-980. (LU Hang,GAO Feng,CHENG Gang. Data acquisition system simulation based on LabVIEW FPGA module[J]. Journal of Terahertz Science and Electronic Information Technology, 2013,11(6):977-980.)