

文章编号: 2095-4980(2021)02-0347-06

集成电路的通用单粒子效应测试系统设计

杨婉婉^{1a,1b}, 刘海南^{1a,1b}, 高见头^{1a,1b}, 罗家俊^{1a,1b}, 滕瑞^{1a,1b}, 韩郑生^{1a,1b,2}

(1.中国科学院 a.微电子研究所; b.硅器件技术重点实验室, 北京 100029; 2.中国科学院大学 微电子学院, 北京 100029)

摘要: 为满足种类繁多、功能复杂集成电路的单粒子效应评估需求, 克服目前国内地面单粒子辐照实验环境机时紧张、物理空间有限等方面的限制, 设计实现了一款高效通用的集成电路单粒子效应测试系统。创新性地采用旋转立体垂直结构, 包含一个多现场可编程门阵列(FPGA)电测试平台、运动控制分系统和被测器件装载板。便携式箱体结构仅需 3 个 DB9 接口即可完成所有与外界连线; 基于 LabVIEW 实现上位机交互界面, 界面友好; 基于多 FPGA 平台实现下位机测试程序, 灵活可扩展, 通用性强。可实现 8 种 300 及以下管脚集成电路的一次安装、自动切换和 10°~90°的角度辐射。实时监控并后台记录翻转数据、翻转时间、电路状态等细节信息, 测试频率可达 100 MHz。已通过专用集成电路(ASIC)、静态随机存取存储器(SRAM)、控制器局域网络(CAN)接口电路等集成电路的多次实测, 验证了该系统的可靠性及其高效稳定、集成度高、安装调试方便等特点。

关键词: 单粒子效应测试系统; 旋转结构; 角度辐射; 虚拟仪器

中图分类号: TN710

文献标志码: A

doi: 10.11805/TKYDA2019421

Design of a general test system for integrated circuit Single Event Effect

YANG Wanwan^{1a,1b}, LIU Hainan^{1a,1b}, GAO Jiantou^{1a,1b}, LUO Jiajun^{1a,1b}, TENG Rui^{1a,1b}, HAN Zhengsheng^{1a,1b,2}

(1a.Institute of Microelectronics; 1b.Key Laboratory of Silicon Device Technology, Chinese Academy of Sciences, Beijing 100029, China; 2.School of Microelectronics, University of Chinese Academy of Sciences, Beijing 100029, China)

Abstract: In order to meet the requirements of Single Event Effect(SEE) evolution for a wide variety of integrated circuits with complex functions and overcome the limitations such as time constraints and limited physical space in current domestic ground single event irradiation experimental environment, an efficient and universal single event effect test system is designed and implemented for integrated circuits, which innovatively adopts rotating solid vertical structure, including a multi-Field Programmable Gate Array(FPGA) electrical test platform, a motion control subsystem and some loading boards of the Devices Under Test(DUT). The entire test system is packaged as a portable box, which only needs three DB9 interfaces to complete all connections with the outside world. Therein the PC interface is achieved based on LabVIEW, friendly to users. The lower computer test program is implemented based on the multi-FPGA platform, which is flexible, extensible and versatile. It can realize one-time installation, automatic switching and angle radiation test of 8 types of integrated circuits within 300 PINs, meanwhile monitor in real-time and background record the detail information such as flip data, flip time, circuit status and so on, whose test frequency achieves 100 MHz. The reliability, efficiency, stability, high integration, and convenient installation and debugging have been verified by multiple tests on Application Specific Integrated Circuit(ASIC), Static Random-Access Memory(SRAM), Controller Area Network(CAN) interface circuit and other integrated circuits.

Keywords: Single Event Effect test system; rotating structure; angle radiation test; virtual instrument

人类对于空间以及外太空的不断探索促进了国内外航天事业的迅速发展^[1], 但辐射环境中的高能粒子入射半导体材料引发的辐射效应, 是影响航天器电子系统可靠性的主要问题之一^[2], 集成电路的抗单粒子效应能力

收稿日期: 2019-10-17; 修回日期: 2019-12-24

作者简介: 杨婉婉(1989-), 女, 硕士, 主要研究方向为辐照加固集成电路设计及辐照测试试验。email: yangwanwan@ime.ac.cn

成为考核其性能的主要指标^[3]。现阶段开展抗辐射集成电路研究的相关科研团队通过“自建”或“合作开发”的方式各自定制一些单粒子效应测试系统,严重缺乏通用性、统一性,重复开发情况普遍,人力物力资源投入较大;且随着航天技术发展得愈发成熟,宇航用大规模集成电路的种类愈加繁多,功能愈加复杂,单粒子辐射实验面临着测试逻辑复杂、封装形式多样、测试速率高、测试模式繁多等方面的需求。在线动态捕获单粒子效应的统计测试系统复杂,体积大,连线多,很难适应当前单粒子辐射实验环境对机时、连线数量与物理尺寸等方面的需求。因此,迫切需要建立一套高效稳定、集成度高、通用性强的集成电路单粒子效应测试系统,以便于系统地解决大规模集成电路辐射实验中存在的技术难题,大幅提高测试效率。本文完成了一款通用集成电路单粒子效应测试系统的设计和实现,并通过多次单粒子试验,验证了该系统的可靠性及其高效稳定、集成度高、安装调试方便的特点。

1 系统测试架构

传统的单粒子效应测试系统均采用平面结构,如图 1 所示^[4-5],此种结构可支持的被测芯片种类单一,数量有限,无法满足单次进行多种集成电路单粒子效应测试的需求,测试效率也较低;且更换被测芯片后需整体更换测试系统,通用性、可扩展性较差。随着测试需求的增大、试验机时的紧张,发展出如图 2 所示的层叠式平面结构,此种结构虽满足了多种集成电路的测试需求,但是安装、调试困难,可靠性较难保证,且对焦次数较多,使测试效率具有一定局限,另外因遮挡等原因无法满足角度实验需求。

本文创新性地设计实现了一种旋转垂直立体安装结构的测试系统,如图 3 所示,包含一个多现场可编程门阵列(FPGA)电测试平台、运动控制分系统和被测器件(DUT)装载板。多 FPGA 电测试平台如图 4 所示,整体采用星形对称结构,中心 FPGA 驱动可编程时钟芯片为所有 FPGA 提供可配置时钟资源,同时提供整个系统的接口资源,包括通用非同步收发传输器(Universal Asynchronous Receiver/Transmitter, UART)、USB、SD 卡、JTAG、DDR2、Ethernet 等。每颗外围 FPGA 通过 8 组高速 SAMTEC 接口为被测器件装载板提供 8×300 路可配置 IO,充分满足多种集成电路的单粒子效应测试需求,通用性强;垂直立体结构使得单次安装可产生 8 个辐照面,空间利用率高,同时方便构建“辅助控制金片法”^[6]的对照测试环境,对于 CPU、FPGA 等大规模复杂逻辑集成电路,可以直接通过与参照芯片的输出对比进行动态辐照效应测试;运动分系统主要由电机及其控制器组成,旋转式设计使单个辐照点可完成 4 颗被测芯片的辐照实验,且具有精准无遮挡的角度辐照能力;DUT 装载板如图 5 所示,通过高速 SAMTEC 接口与测试主板相连,测试频率最高可达 100 MHz。对于不同的集成电路测试,仅需更换被测器件装载板即可。

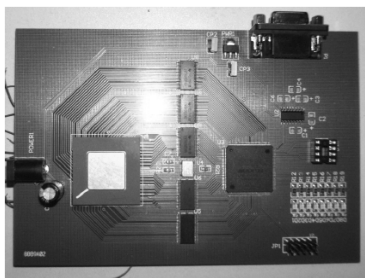


Fig.1 Plane test system of SEE
图 1 平面式单粒子效应测试板



Fig.2 Cascading multiple samples test system
图 2 层叠式多样品测试系统



Fig.3 Rotating vertical test system
图 3 旋转立体结构测试系统

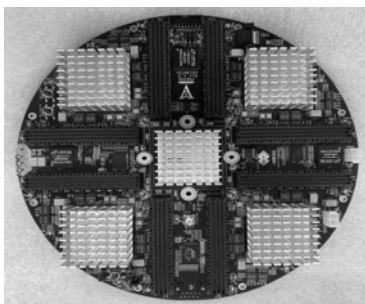


Fig.4 Electrical test platform of multi-FPGA
图 4 多 FPGA 电测试母板实物图



Fig.5 Loading board of the DUT
图 5 被测器件装载板

2 测试原理

测试系统的工作原理如下：多 FPGA 电测试平台通过高速 SAMTEC 接口向 DUT 提供测试电压(1.0 V/1.5 V/1.8 V/3.3 V 可配置)、测试时钟，并根据所选被测芯片种类、测试模式配置 DUT 其他的输入信号；同时监测 DUT 的数据输出，分析统计其翻转情况，并实时通过 RS232 串口将翻转统计信息传输至上位机 PC 端。上位机部分的虚拟仪器负责对 FPGA 测试平台进行被测芯片的选择、测试模式的配置，并根据测试人员的命令对 DUT 进行测试复位、开始及结束。同时，读取 FPGA 测试平台传回的翻转数据，解析后加以显示输出，并在后台记录所有的试验数据，包括测试时间、翻转信息、实时工作电流等。

具体实验时，系统整体测试框图如图 6 所示，因单粒子效应地面模拟试验环境的特殊性，测试人员需要在距离加速器束流终端一定距离的安全区域远程控制和监测整个测试流程，测试系统(包括 DUT)固定于样品架上，通过 3 根 DB9 的接口线分别与电源及控制计算机相连，控制计算机通过长网线与远程计算机相连。试验过程中，试验人员在安全区由远程控制计算机用远程桌面方式控制“控制计算机”实现整个试验流程，包括自动切换被测芯片，控制辐射角度及控制测试开始、暂停、结束等，同时实时监控和后台记录试验数据。

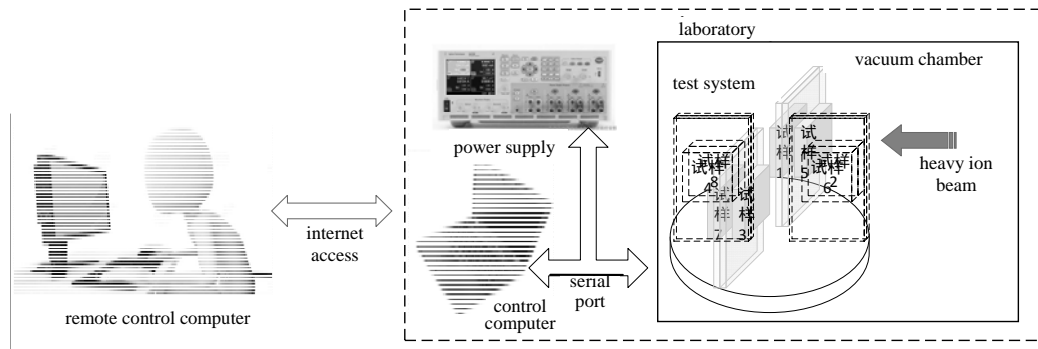


Fig.6 Overall test diagram of the whole system
图 6 系统整体测试框图

3 磁耦合谐振系统的频率跟踪调谐原理

软件系统整体框图如图 7 所示，包括上位机交互界面、下位机 FPGA 程序及电机控制程序三部分，交互界面分别通过串口 1 和串口 2 与 FPGA 及电机控制器进行通信，控制整个测试过程。其中，交互界面及 FPGA 程序均采用模块化设计，可扩展性强，修改灵活，更改被测器件时只需调整相应功能测试模块即可。

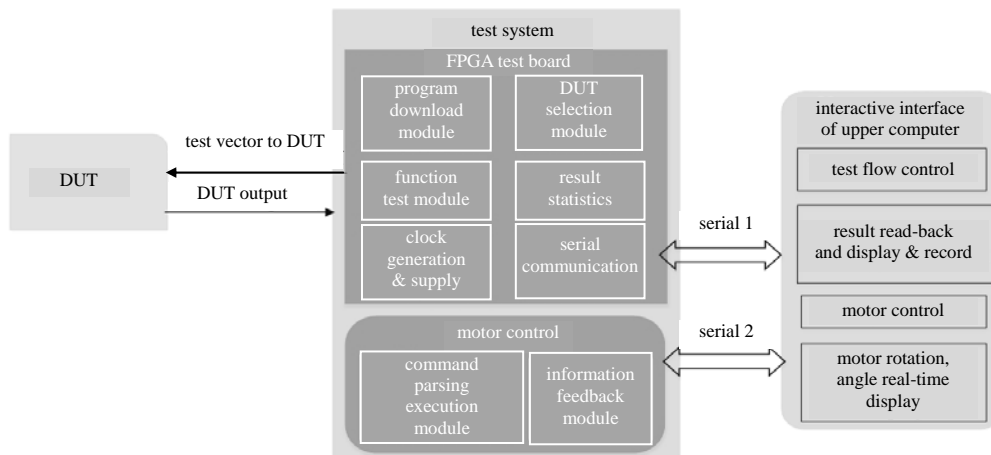


Fig.7 Overall diagram of software system
图 7 软件系统整体框图

3.1 上位机交互界面设计

上位机界面采用 NI 公司的 LabVIEW 设计实现，调用了 LabVIEW VISA 库的 RS232 串行接口函数进行数

据的收发^[7],对于串口数据的写入和读出均采用循环串行结构和流水线设计以提高设计效率^[8]。程序设计主要分为 FPGA 控制模块与电机控制模块两部分,交互界面可支持 SRAM,ASIC type1,ASIC type2 及 CAN 总线控制器等 4 种不同集成电路的测试。

FPGA 控制模块的设计可分为测试控制与测试结果显示两部分。测试控制部分主要实现 FPGA 测试信息配置及流程控制,其中,信息配置是指配置包括当前 DUT 所在的测试通道、DUT 名称、测试频率、各测试信息存储路径等;流程控制是指控制复位、测试开始、暂停、结束等。设计时采用条件结构实现,每个信息配置或流程控制按钮作为条件结构的条件。选择不同条件时,向 FPGA 发送不同的控制命令。测试结果显示部分主要用于采集和实时显示当前 DUT 翻转数及测试电流和环境温度,本例中该部分包含针对 4 种不同集成电路的 4 个结果显示子函数。整体设计仍采用条件结构,以当前 DUT 名称的选择作为条件输入,不同输入条件下会进入不同的结果显示子函数,其他 DUT 子函数处于复位状态。4 个 DUT 结果显示子函数的设计思路基本一致,均是通过串口通信获取来自 FPGA 的测试数据,通过数据校验后进行解析、显示,同时记入相应 txt 文件中。不同点仅在于为适应不同 DUT 的测试数据长度,数据解析及显示模块的参数设置略有调整。其中,为了保证总翻转数的准确性,LabVIEW 与 FPGA 之间大量翻转数据的传输方式摒弃了传统的 FPGA 定期传输的方式,而采用握手协议加以实现:LabVIEW 在处理完当前数据后向 FPGA 发送完成信号,FPGA 收到信号后方进行下一批数据的发送,如此循环。从而提高传输数据的稳定性,并最大程度地保证 LabVIEW 显示信息的实时性。

电机控制模块主要是用于控制电机转动,首先对所选电机系统的控制命令集进行解析,得出所有电机运行命令所对应的 ASCII 码;然后以串口通信函数为基础完成设计。按照功能主要分为两部分:一是指令发送模块,用于给电机发送初始化、旋转、停止指令;二是反馈信息处理模块,用于查询电机的实时反馈信息,解析出电机旋转方向及旋转角度,以 3D 动画形式在前面板上加以显示。其中,指令发送模块采用单个事件结构即可,而反馈信息处理模块则需要采用 While 循环结构,这是因为从电机开始转动到电机结束转动的整个过程中,该模块需连续不断地进行电机串口数据的采集与处理。该电机控制模块开发成熟,在多次实测中运行流畅,性能表现良好,后续在其他集成电路的上位机程序开发中可直接作为 IP 调用。

3.2 FPGA 程序设计

本测试系统 FPGA 程序主要分为主 FPGA 程序和从 FPGA 程序两部分,如图 8 所示。主 FPGA 程序功能设计如下:a)完成系统时钟的生成:以 PCB 板上的晶振作为输入,通过内嵌处理器的 I2C 总线驱动可编程时钟芯片生成 5 路时钟,分别提供给 5 块 FPGA;b)完成 4 块从 FPGA 的程序加载:主 FPGA 自身通过 SPI Flash 完成程序的上电自动加载,并读取 SD 卡中所存储的 4 块从 FPGA 的可执行文件(.bit 测试程序文件),通过 SelectMap 方式分别加载至对应的 4 块从 FPGA,已达到整个测试系统无需 JTAG 下载线即可实现所有程序加载的目的,同时上述方式引入的另一好处是从 FPGA 加载程序迅速,且可便利地通过更换 SD 卡快速更新测试程序;c)完成测试电流及环境温度的检测:调用 system monitor IP 核,通过其内置的检测电阻、AD 转换器及温度传感器,检测出 8 个 SAMTEC 接口上为 8 个 DUT 供给的 16 路供电电流及主 FPGA 的温度;d)4 路从 FPGA 串口通信的选通:依据交互界面所选择的测试通道,选通 4 块 FPGA 中对应该测试通道的串口通信通路。

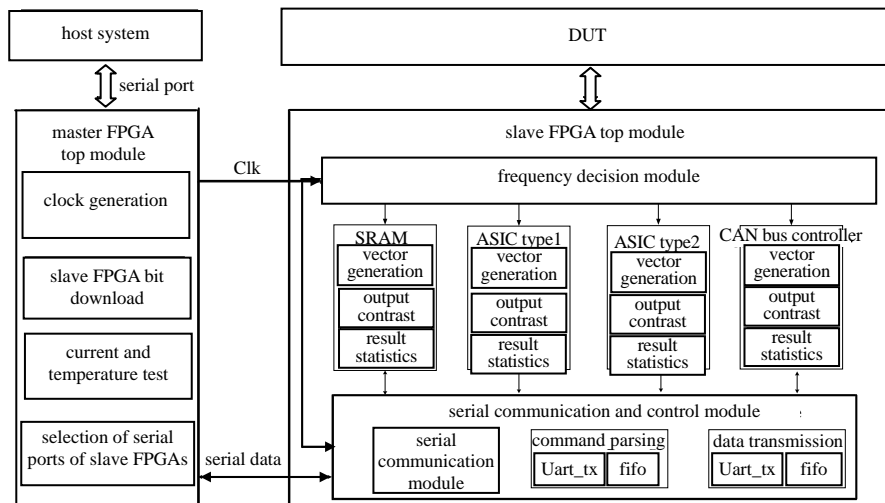


Fig.8 Overall diagram of software system

图 8 软件系统整体框图

从 FPGA 测试程序设计主要分为通信控制模块、分频模块及各 DUT 功能测试模块。其中，通信控制模块包括串口通信模块、命令解析模块及数据传输模块，主要用于实现与上位机的串口通信，正确接收来自上位机的串口信息，进行解析后传送到分频模块及各功能测试模块，同时将来自功能测试模块的测试结果数据以特定格式传送到上位机；分频模块以从 FPGA 的系统时钟为输入，根据来自通信控制模块的各 DUT 测试时钟分频数，生成各 DUT 功能测试模块的测试时钟；各 DUT 功能测试模块均包括矢量发生模块、输出对比模块及测试结果统计模块 3 部分，其中矢量发生模块的功能是根据 DUT 的测试需求生成相应测试激励；输出对比模块完成 DUT 实际输出与预期正确输出的对比；测试结果统计模块完成总翻转数、0 翻 1、1 翻 0 等数值的统计。

4 单粒子辐照实验

该测试系统多次在中国原子能科学研究院 HI-13 串列静电加速器和中科院近代物理研究所重离子加速器 (HIRFL) 上完成 SRAM、CAN 控制器、ASIC 等多种集成电路的单粒子效应测试，图 9 为测试系统在 HI-13 串列静电加速器上的试验现场图，图 10 为根据试验结果所形成的两款 SRAM 的翻转截面图，其中 SRAM type1 为非加固结构，SRAM type2 为加固结构。由图中韦伯曲线可知，加固结构的翻转阈值和饱和截面均超过非加固结构，体现了加固结构的有效性，同时也验证了本文测试系统的准确可靠性。该测试系统记录试验数据全面准确，可实现多种集成电路的测试需求，具有角度辐射能力，运行稳定可靠，测试效率高。

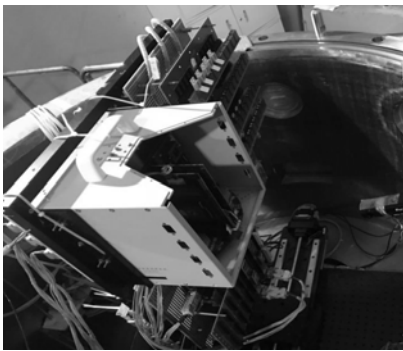


Fig.9 Picture of the system in experimental site
图 9 测试系统实验现场图片

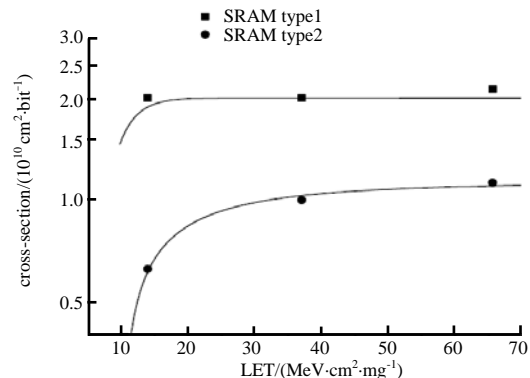


Fig.10 SEU cross section of two types of SRAMs
图 10 两款 SRAM 的翻转截面

5 结论

本文设计实现了一款集成电路的通用单粒子效应测试系统，该测试系统摒弃传统的平面结构，创新性地使用了一种旋转垂直立体结构设计，使粒子辐射面扩展至原来的 4 倍，可同时测试 8 颗 300 PINs 不同种类的芯片，且具有 10°~90°的角度辐射功能。通过高速串行接口，可为被测芯片提供两路 1.0 V/1.5 V/1.8 V/3.3 V 可配置的电源电压，测试频率可达 100 MHz。在软件系统设计上，通过模块化设计大大提高系统可扩展性，同时改进了上位机与 FPGA 的通信方式，使上位机获取测试数据更加准确、全面。最后通过多次实测证明了该系统具有多种集成电路的单粒子效应测试能力，且具有高效稳定、可靠性强等特点，为后续在业界建立一个标准化单粒子效应测试系统打下基础。

参考文献：

- [1] 杨振雷. Flash 型 FPGA 单粒子效应研究及新型测试验证系统的研制[D]. 北京:中国科学院大学, 2016. (YANG Zhenlei. Research on single particle effect of flash FPGA and development of a new test and verification system[D]. Beijing: University of Chinese Academy of Sciences, 2016.)
- [2] 张敏. 单粒子翻转效应及加固技术的测试研究[J]. 电子测量技术, 2019,42(2):43-46. (ZHANG Min. Test and study of single event upset and reinforcement technique[J]. Electronic Measurement Technique, 2019,42(2):43-46.)
- [3] 蔡阳阳. CAN 控制器单粒子效应测试系统的研制[J]. 中国电子科学研究院学报, 2019,14(4):387-392. (CAI Yangyang. The development of single event effect test system for CAN controller[J]. Journal of Chinese Academy of Electronic Sciences, 2019,14(4):387-392.)