

文章编号: 2095-4980(2021)02-0338-05

一种单粒子效应加固输入接口电路的设计

关晓明, 方 健, 赖荣兴, 罗云钟

(电子科技大学 电子科学与工程学院, 四川 成都 610054)

摘 要: 提出一种新颖的单粒子效应加固输入接口电路, 采用组合逻辑延迟后运算处理的方案。该电路基于华润上华 600 V BCD 0.8 μm 工艺进行电路设计和流片, 并在中科院国家空间科学中心完成单粒子辐照测试。仿真测试结果表明, 提出的输入接口电路可以有效免疫线性能量传递值 (LET) 在 80 $\text{MeV}\cdot\text{cm}^2/\text{mg}$ 以下单粒子翻转 (SEU) 事件, 特别是对多个节点同时发生单粒子翻转事件的情况, 提出的电路抗单粒子翻转可靠性较高。

关键词: 单粒子效应; 单粒子翻转; 双节点翻转; 组合逻辑运算

中图分类号: TN47

文献标志码: A

doi: 10.11805/TKYDA2019526

Design of a single event effects hardened input interface circuit

GUAN Xiaoming, FANG Jian, LAI Rongxing, LUO Yunzhong

(Electronic science and engineering college, University of Electronic Science and Technology of China, Chengdu Sichuan 610054, China)

Abstract: A new input interface circuit with single event effect hardened is proposed, which adopts the scheme of combinational logic operating after delay-processing. This circuit is designed and implemented in 0.8 μm 600 V Bipolar-CMOS-DMOS(BCD) process of Communication Mode Selector Control(CMSC). The single event radiation experiment has been completed in National Space Science Center. The results of simulation and test show that the circuit proposed in this paper can effectively immune to Single Event Upset(SEU) whose Linear Energy Transfer(LET) is under 80 $\text{MeV}\cdot\text{cm}^2/\text{mg}$. Especially for the case that multiple nodes occurring upset at the same time, the proposed circuit has high capacity of SEU-tolerant.

Keywords: single event effects; Single Event Upset; double node upset; combinational logic operating

随着航空航天产业的不断发展, 含有集成电路的电子设备已经被广泛应用到航空航天技术当中。但是在空间辐射环境中, 高能粒子在击中金属氧化物半导体场效应晶体管(Metal Oxide Semiconductor Field Effect Transistor, MOSFET)器件的敏感区域如漏极附近时, 会产生单粒子瞬态脉冲电流使电路发生单粒子翻转(SEU)效应。随着半导体工艺的快速发展, 集成电路特征尺寸逐渐减小, 导致电路各个节点的寄生电容也不断减小, 从而使电路节点发生逻辑翻转需要的电荷量也随之减小^[1], 因此需要对容易发生单粒子翻转效应的电路进行加固。

现有的单粒子加固方案通常是针对数字电路中的锁存器或 R/S 触发器进行加固, 对其他不具有存储功能结构的加固方案研究较少。本文提出了一种抗单粒子加固输入接口电路, 该电路采用了一种新的单粒子加固方案, 通过信号组合逻辑运算的方法抑制发生单粒子翻转产生的影响。

1 现有单粒子加固方案

1.1 三模冗余加固

三模冗余(Triple Modular Redundancy, TMR)^[2]结构是一个常用的单粒子效应加固方案, 如图 1 所示。它由 3 个相同的功能模块电路和 1 个多数表决器组成, 将 3 个功能模块的输出进行 3 选 2 表决。这种方案从概率上减小了 SEU 效应

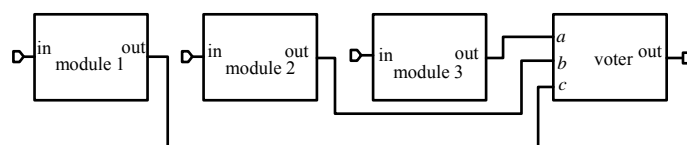


Fig.1 Diagram of triple modular redundant structure
图 1 三模冗余结构图

收稿日期: 2019-12-09; 修回日期: 2020-01-08

作者简介: 关晓明(1993-), 男, 在读硕士研究生, 主要研究方向为模拟集成电路设计领域。email:523557479@qq.com

发生的概率，且可靠性较高。但对于 MOS 管数量较多或采用环形栅版图结构的功能模块电路来说，三模冗余加固方案面积会非常巨大。

1.2 双互锁存储单元结构加固

双互锁存储单元(Dual Inter-locked Storage Cell, DICE)结构^[3]的基本思想是采用单管反相器构成反馈环，使每一个存储节点的电平值都受相邻 2 个节点的制约，如图 2 所示。当存储节点例如 S_1 发生单粒子翻转时，假设 S_1 节点电平由低变高， S_0 和 S_2 节点电平未发生变化，由于 S_0 控制 P_1 ， S_2 控制 N_1 ，晶体管 N_1 和 P_1 的状态会使 S_1 短时间内恢复到正确的电平。

随着工艺尺寸减小，电路中敏感节点的间距也非常小，一束高能粒子束轰击很容易造成一片区域内产生单粒子脉冲电流^[4]，相邻敏感节点间电荷会共享，引起双节点翻转(Double Node Upset, DNU)^[5-7]甚至多个节点同时翻转。在典型 DICE 结构中如果相邻敏感节点同时发生翻转，DICE 单元会锁存错误信号^[8]。

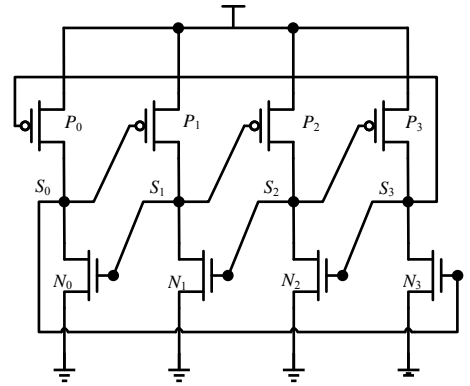


Fig.2 Diagram of DICE structure circuit
图 2 DICE 结构电路图

2 本文提出的抗单粒子加固输入接口电路

2.1 输入接口模块电路结构及其敏感节点分析

输入接口模块功能是将固定幅值的脉冲宽度调制(Pulse Width Modulation, PWM)信号转换为任意幅值的方波信号。其内部结构如图 3 所示。将输入信号 U_{in} 与基准电压 U_{ref} 比较，若 $U_{in} > U_{ref}$ ，输出为高电平 U_{CC} ；若 U_{in} 小于 U_{ref} ，则输出为低电平。输入接口电路中有若干敏感节点(A~D)，当单粒子轰击这些敏感节点时会产生单粒子注入电流，当电流较大时可能发生电平翻转。

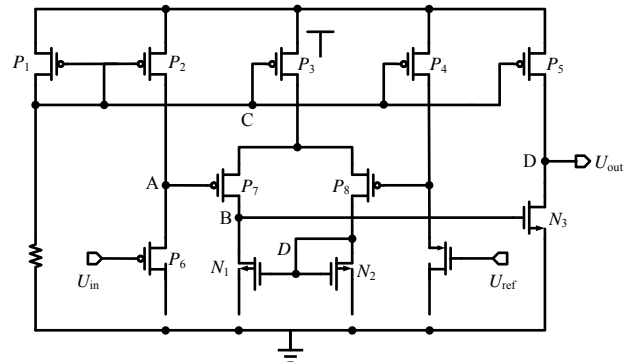


Fig.3 Diagram of input interface module circuit
图 3 输入接口模块电路图

2.2 本文提出的组合逻辑运算加固方案

本文提出的方案只对输入接口模块的最后输出进行检测，将检测到的输出信号进行逻辑运算和延迟处理，只需满足任意 2 次敏感节点发生单粒子翻转的时间不等于设定的延迟时间即可，不需要考虑内部发生单粒子翻转的情况，因此可以有效针对 DNU 和多节点翻转现象。

提出的抗单粒子加固输入接口电路整体结构如图 4 所示，其中 A,B 为 2 个相同的输入接口模块，内部结构如图 3 所示。C 为异或门。MUX 选择器电路结构如图 5 所示。

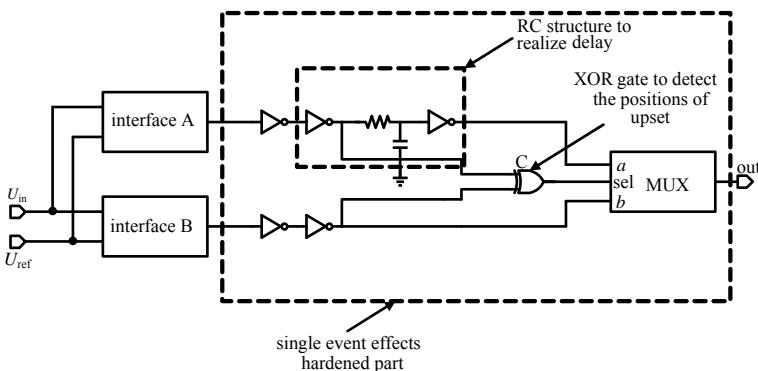


Fig.4 Circuit diagram of single event effects hardened scheme proposed in this paper
图 4 本文提出的单粒子加固方案电路图

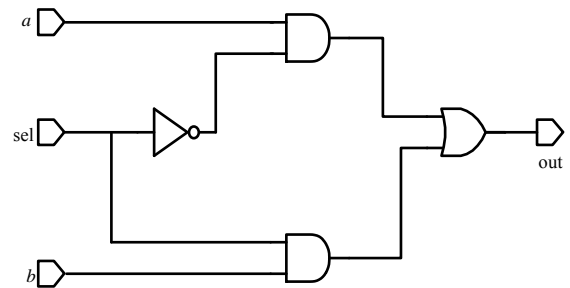


Fig.5 Internal circuit diagram of MUX
图 5 选择器内部电路图

2.3 工作原理分析

本文提出的电路结构工作原理为：A,B 为 2 个输入接口模块，如图 6~图 7 所示。将 A,B 的输出接到异或门 C

输入端，异或门 C 输出端接选择器(Multiplexer, MUX)选择端 sel，A 输出做延迟处理后将两路信号分别接到选择器 MUX 的 a,b 端。

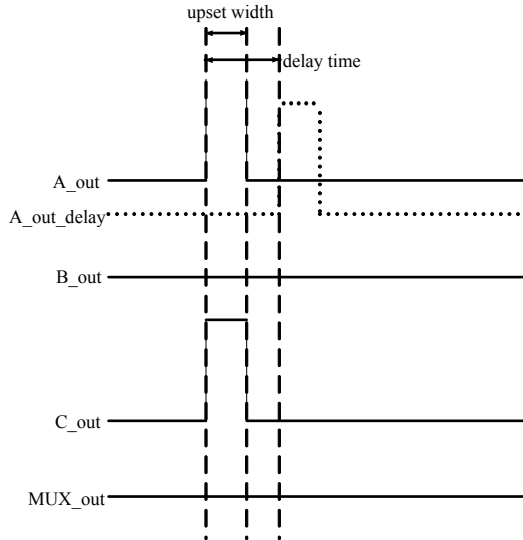


Fig.6 Output waveform of interface module A when occurring single event upset
图 6 接口模块 A 内部发生单粒子翻转各节点输出波形

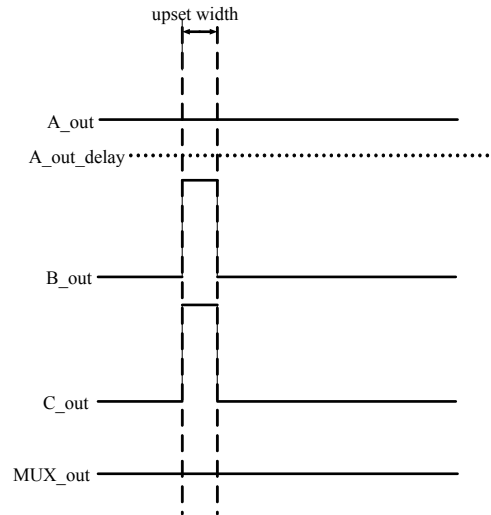


Fig.7 Output waveform of interface module B when occurring single event upset
图 7 接口模块 B 内部发生单粒子翻转各节点输出波形

1) 当 A 内部发生单粒子翻转事件时,异或门输出一个脉宽与 A 输出翻转时间相等的高电平信号,在未翻转期间选择器 MUX 输入为 0,输出 b 信号;在翻转期间选择器输入为 1,输出 a 信号。由于 a 信号做了延迟处理,只要延迟时间长于翻转时间,输出即为正常信号。

2) 当 B 内部发生单粒子翻转事件时,异或门输出一个脉宽与 B 输出发生翻转时间相等的高电平信号,在未翻转期间选择器 MUX 输入为 0,输出 b 信号;在翻转期间选择器输入为 1,输出 a 信号,信号正常。

结合以上 2 种情况分析可以得到,只要 A,B 发生单粒子翻转的时间间隔不等于设定的延迟时间,组合逻辑运算单粒子翻转加固方案即可消除单粒子翻转事件。由于输入接口电路敏感节点发生单粒子翻转的时间一般在 10 ns 以内,而设定的延迟时间为 μs 级别,因此单粒子翻转的时间间隔恰好等于延迟时间这一事件发生的概率极小,可以认为对本文提出电路结构的单粒子翻转免疫率不造成影响。

3 仿真及测试结果

3.1 仿真结果及分析

该电路采用华润上华 600 V BCD 0.8 μm 工艺模型,采用 Hspice 仿真工具进行验证。其中供电电压为 12 V,温度为 25 ℃。仿真中采用的单粒子注入电流源为先前实验分析中得到的脉宽 2 ns,幅度 50 mA 的 I_{pwl} 电流模型。仿真结果如图 8~图 10 所示。

图 8 和图 10 表明提出的电路结构可以免疫在一个敏感节点发生的单次或连续的单粒子辐照;图 9 表明电路结构可以免疫多个相邻敏感节点同一时刻受到单粒子辐照。提出的输入接口电路在仿真下可以有效免疫单粒子辐照。

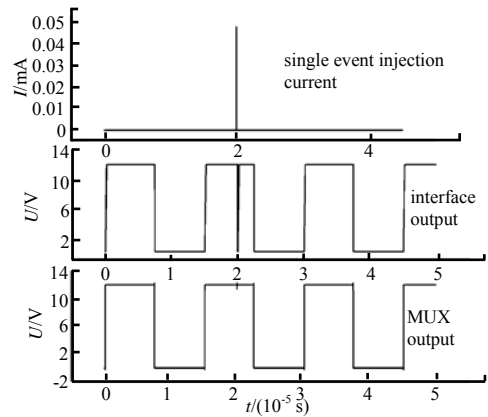


Fig.8 Waveform after injecting single event injection current at point A
图 8 A 点引入单粒子注入电流后的仿真波形

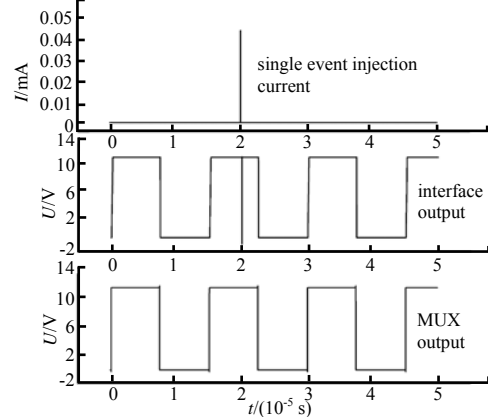


Fig.9 Waveform after injecting single event injection current at point A,B,C,D at the same time
图 9 A,B,C,D 点同时引入单粒子注入电流后的仿真波形

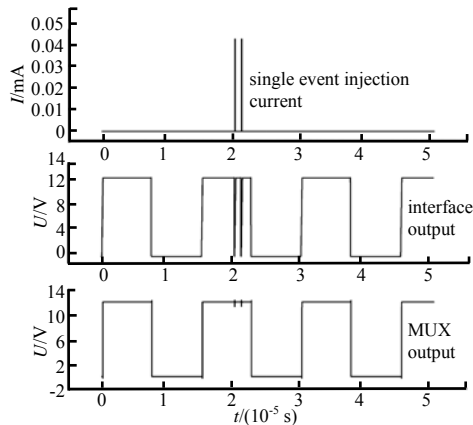


Fig.10 Waveform after injecting single injection current twice which are 1 μs apart at point A

图 10 A 点引入 2 次间隔 1 μs 单粒子注入电流后的仿真波形



Fig.11 Schematic diagram of pulse laser single event device

图 11 脉冲激光单粒子实验装置总体组成实物图

3.2 测试结果及分析

该输入接口电路已用于一个星用高压抗加栅驱动芯片中，在华润上华 600 V BCD 0.8 μm 工艺下完成流片。

该驱动芯片的单粒子测试在中国科学院国家空间科学中心进行，利用脉冲激光单粒子效应实验装置，如图 11 所示。从芯片的正/背面进行激光辐照，诱发其产生单粒子翻转效应。实验条件见表 1。测试结果见图 12~图 13。

表 1 实验条件

Table1 Experimental conditions

laser wavelength/μm	pulse width/ps	pulse repetition frequency/kHz	scanning step/μm	equivalent LET value(MAX)/(MeV·cm ² ·mg ⁻¹)
1.064	25	1-5	0.1	80

从图 12 波形可以看出，在单粒子实验时检测到芯片的高侧输入信号与半桥输出信号均显示正常，从图 13 波形可以看出在脉冲激光单粒子实验中，高低两侧的输入接口电路均可以正常工作。测试结果可以说明本文提出的抗单粒子加固输入接口电路可以免疫 LET 值达到 80 MeV·cm²/mg。

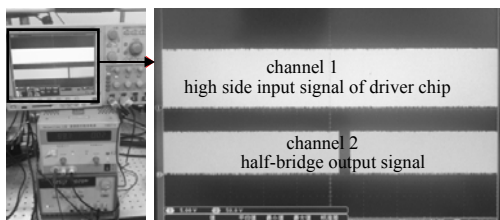


Fig.12 I/O waveform of driver chip in pulse laser single event experiment

图 12 脉冲激光单粒子实验时驱动芯片输入输出波形

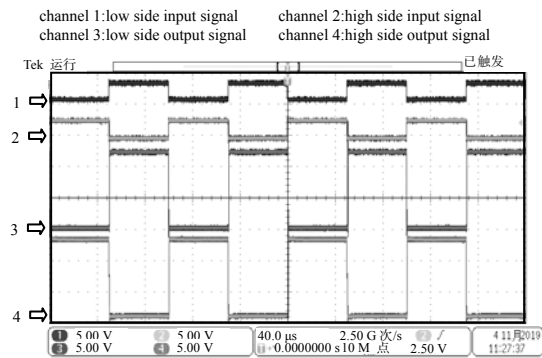


Fig.13 I/O waveform of input interface circuit both high side and low side

图 13 高低侧输入接口电路的输入输出波形

4 结论

本文提出了一种抗单粒子加固输入接口电路，该电路采用了一种新颖的抗单粒子加固方案，通过对发生单粒子翻转的输入接口电路的输出信号做组合逻辑运算来降低单粒子翻转概率。该输入接口电路基于华润上华 600 V BCD 0.8 μm 工艺进行电路设计，并用 Hspice 进行仿真分析，集成该输入接口电路的驱动芯片在中国科学院国家空间科学中心进行了单粒子辐照测试。仿真和测试结果均表明，所提出的电路可以有效抑制单粒子轰击引起的单粒子翻转现象，并能免疫多个相邻敏感节点同一时刻受到单粒子轰击情况，抗单粒子 LET 值可以达到 80 MeV·cm²/mg。

(下转第 346 页)