

文章编号: 2095-4980(2021)02-0228-07

基于时钟网络的高速数据采集与处理系统设计

富 帅, 倪建军, 闫静纯, 于双江, 刘 涛

(北京空间机电研究所, 北京 100094)

摘 要: 针对全波形激光雷达中高速率数据采集系统的需求, 研制了一种基于时钟网络的高速数据采集与处理系统, 对其中的关键技术进行了研究。在对FPGA片同步技术及时钟抖动机理进行分析的基础上, 提出一种以锁相环和时钟缓冲器为主要构建单元的高质量时钟网络管理方法。该时钟网络管理方法通过对高速ADC输出随路时钟的主动干预, 解决了多路高速数据锁存困难的问题。实验结果显示: 该高速数据采集与处理系统已实现高达1.2 GSPS的采样率以及与之匹配的数据处理速率, 有效位数大于8 bit, 在实现高速数据采集的同时满足较高分辨力的要求。

关键词: 激光测距; 全波形; 高速数据采集; 时钟网络

中图分类号: TN919.3; TP274

文献标志码: A

doi: 10.11805/TKYDA2020393

Design of high speed data acquisition and processing system based on clock network

FU Shuai, NI Jianjun, YAN Jingchun, YU Shuangjiang, LIU Tao

(Beijing Institute of Space Mechanics & Electricity, Beijing 100094, China)

Abstract: A high speed data acquisition and processing system based on clock network is developed aiming at the requirement of high speed data acquisition system in full waveform laser radars. The key techniques are studied in detail. Based on analyzing ChipSync technology and clock jitter, a high quality clock network management method based on PLL and clock buffer is proposed. By using the proposed method which is based on the active intervention of high speed ADC output on-line clock, the problem of multi-channel high speed data flip-latch is solved. Experiment results demonstrate that the realized system can reach the sampling rate of 1.2 GSPS and the Effective Number Of Bit(ENOB) above 8 bit.

Keywords: laser ranging; full waveform; high speed data acquisition; clock network

全波形激光雷达系统工作原理为系统发射的激光脉冲与被测目标发生反射作用, 形成含有丰富信息的脉冲回波信号, 通过数据采集系统以较高的采样率对回波信号进行采集与数字化, 从而记录下回波全波形信息。波形的采样间隔(即距离分辨力)取决于回波记录的时间间隔(即时间分辨力), 采用较高的采样率可以更详细地感知激光雷达光斑中的被测目标。与传统获取离散点数据的激光雷达^[1]相比, 用户通过对全波形回波数据进行分析与处理, 可以获得更多感兴趣的信息^[2-4]。因此, 全波形激光雷达系统引起了众多学者的关注。文献[5]对地球科学激光测高系统(Geoscience Laser Altimeter System, GLAS)获取的全波形数据的处理及应用进行了概述。文献[6]利用已有的激光雷达全波形回波数据, 分析了不同回波数据处理方法的优缺点。文献[7-8]对激光雷达全波形回波信号的去噪方法进行研究, 使用现有激光植被成像传感器(Laser Vegetation Imaging Sensor, LVIS)、GLAS数据验证了去噪方法的效果。文献[9]研究了光束发射角对激光回波的影响, 并通过GLAS实测波形数据进行了实验验证。以上研究, 均是建立在全波形回波数据被正确采集并记录的前提条件下进行。为了便于被测地物目标特征的有效识别与提取, 全波形高速数据采集与处理技术变得尤为重要。

本文针对如何有效获取全波形回波信息, 研制了一种基于时钟网络的高速数据采集与处理系统。该系统以FPGA为核心控制模块, 通过对高速ADC输出随路时钟的主动干预, 产生多路完全一致的随路时钟信号, 解决了多路高速数据锁存困难问题。利用锁相环对低频高质量时钟与高频采样时钟进行自适应同步控制, 使高速ADC

收稿日期: 2020-08-13; 修回日期: 2020-11-05

作者简介: 富 帅(1989-), 男, 硕士, 主要研究方向为激光红外信号处理。email: fs0513@163.com

在 1.2 GSPS 的采样率下输出的多路并行量化数据均能被 FPGA 正确接收。时钟网络管理与 FPGA 片同步相结合的高速互接口设计方法,保证了该数据采集与处理系统具有较高的数据采集频率和处理速度。

1 系统概述

1.1 系统组成及工作原理

全波形激光雷达系统由激光发射设备、接收设备、高速数据采集与处理设备以及管理控制设备组成,系统结构如图 1 所示。激光发射设备按照特定频率发射激光脉冲,由被测目标反射回来的微弱回波信号经过激光接收设备转换成电信号,送至高速数据采集与处理设备完成全波形信息的记录。其中,基于时钟网络的高速数据采集与处理系统组成及工作方式如图 2 所示,主要由信号调理模块、时钟网络管理模块、高速 ADC 转换模块及高速差分信号转换模块 4 部分组成。

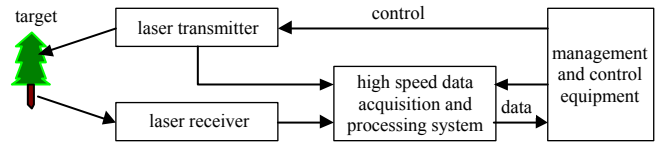


Fig.1 Structure diagram of full waveform laser radar
图 1 全波形激光雷达系统结构图

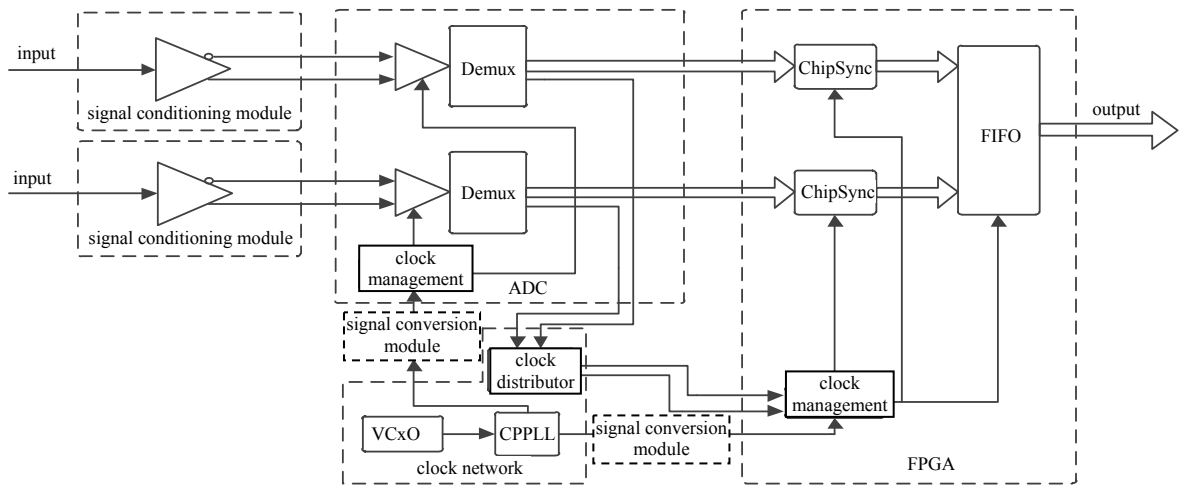


Fig.2 Schematic diagram of system configuration and working principle
图 2 系统组成及工作原理图

高速数据采集系统工作时,激光雷达回波信号经信号调理模块转换为差分信号,进入高速 ADC 转换模块进行模数转换,变为多路低电压差分信号(Low Voltage Differential Signaling, LVDS),其中包括多路数据信号和一路随路时钟信号。随路时钟信号经过时钟网络管理模块变成多路同频率、同幅值、同相位的低抖动时钟信号,与多路数据信号一起送到 FPGA 里面的片同步模块进行正确接收。片同步模块输出的数据被锁存到 FPGA 里的先进先出(First In First Out, FIFO)缓存器,最终由 FPGA 中的逻辑单元进行处理后,输出给数据实时显示设备。同时,时钟网络管理模块利用锁相环技术给高速 ADC 采样、FPGA 工作提供高质量的时钟信号,保证系统可以稳定可靠工作。

1.2 信号调理模块

差分信号可以抑制共模噪声,提高 ADC 转换的谐波性能,有利于提高系统的信噪比,因此本文选用模拟输入信号为差分信号类型的高速 ADC 转换芯片^[10]。电路设计中通常采用运算放大器或变压器实现单端信号转换为差分信号,运用运算放大器的转换电路允许直流信号通过。相比于变压器,更容易对链路增益进行控制。在高速 ADC 的前端采用全差分运算放大器构成信号调理电路,将单端信号转换为差分信号,如图 3 所示。高速 ADC 的输入信号采用直流耦合模式,将其 U_{OCM} 引脚与全差分运算放大器的 U_{OCM} 引脚相连,使两者的共模输出电压保持一致,以便于经过调理后的信号与高速 ADC 的输入动态范围相适应。

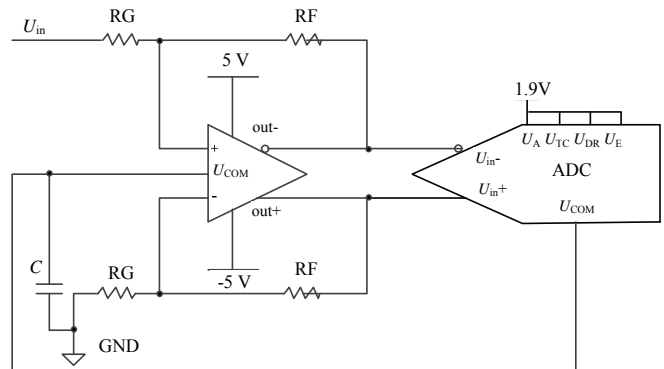


Fig.3 Schematic diagram of signal conditioning module
图 3 信号调理模块原理图

1.3 时钟网络管理模块

高速 ADC 转换芯片每个通道输出 2 组, 共 24 对差分量化数据信号, 并伴有 1 对用于锁存这些高速数据的差分随路时钟信号。因数据信号和随路时钟信号速率快, 且数据信号数量远远大于随路时钟信号数量(24:1), 受到 FPGA 固有管脚分布的限制, 所有数据信号不能处于同一个时钟区域下, 因此仅使用一个随路时钟不能锁存所有数据信号。为解决单一时钟不易于锁存多路数据的问题, 本文提出一种时钟网络管理方法, 此方法的硬件电路主要由电荷泵锁相环(Charge Pump PLL, CPPLL)和时钟缓冲器两部分组成, 其中 CPPLL 主要负责消除时钟的抖动, 以提供给高速 ADC 转换芯片稳定的采样时钟。时钟缓冲器则负责将高速 ADC 输出单一随路时钟进行“复制”, 生成多路同幅值、同相位、同频率的时钟基准源, 经过高速差分信号转换模块后, 送入 FPGA 用于锁存多路并行数据。高速数据采集与处理系统的时钟管理网络见图 4。

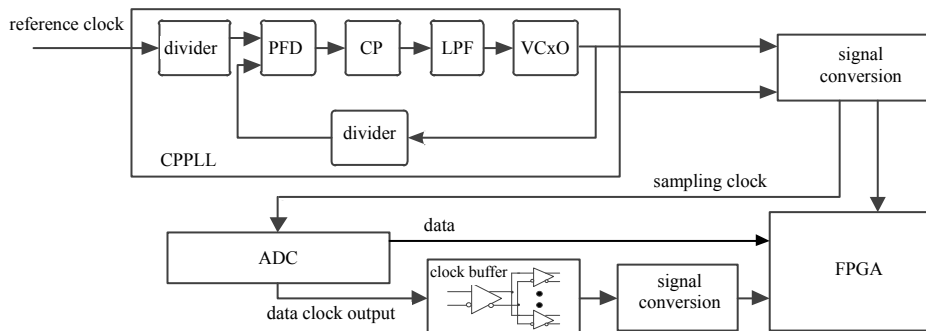


Fig.4 Schematic diagram of clock network module
图 4 时钟网络管理模块原理图

1.3.1 CPPLL

在高速数据采集与处理系统中, 采样时钟的信号质量直接影响整个系统的性能指标^[11]。随着采样信号的带宽和频率的不断提高, 对采样时钟的稳定度要求也越来越高, 而时钟抖动是衡量时钟质量的关键指标。根据分辨率、最大输入频率及最大信号幅度来定义 ADC 的抖动(所有抖动的总和):

$$t_{j(\max)} = \left(U_{\text{in(P-P)}} / U_{\text{FSR}} \right) \times \frac{1}{(2^{N+1} \times \pi \times f_{\text{in}})} \quad (1)$$

式中: $t_{j(\max)}$ 为所有抖动源总和的均方根值; $U_{\text{in(P-P)}}$ 为模拟输入信号峰峰值; U_{FSR} 为 ADC 满量程值; N 为 ADC 分辨率; f_{in} 为模拟输入信号的频率。ADC 的抖动主要包括自身的孔径抖动 $t_{j\text{-ADC}}$ 和采样时钟的抖动 $t_{j\text{-CLK}}$, 且满足:

$$t_{j(\max)} = \sqrt{t_{j\text{-ADC}}^2 + t_{j\text{-CLK}}^2} \quad (2)$$

ADC 自身带来的抖动是固定的, 要保证 ADC 的所有抖动总和最小, 应尽量减小采样时钟的抖动。

将高频压控晶体振荡器(Voltage-controlled Crystal Oscillator, VCxO)时钟与低频参考时钟实现同步, 利用分频器(Divider)、鉴频鉴相器(Phase Frequency Detector, PFD)、电荷泵(Charge Pump, CP)配合可调参数的环路滤波器(Loop Filter, LPF)、压控晶体振荡器, 构成 CPPLL 消除时钟抖动, 从而输出供高速 ADC 使用的高频率、高质量的采样时钟。已有很多学者对 CPPLL 的相关参数设置进行了研究^[12-15], 这里不再赘述。

1.3.2 时钟缓冲器

为接收高速 ADC 的多路并行数据, 提出以时钟缓冲器与 FPGA 片同步技术(ChipSync)^[16]相结合的高速 ADC 的接口设计方案。具体工作原理为: 将高速 ADC 双通道(ADC 采用 1:2 Demux 输出模式)输出的 48 对 LVDS 数据直接输入给 FPGA; 而经 ADC 二分频的 2 对 LVDS 随路时钟信号需经过时钟缓冲器, 变为 8 对同幅值、同相位、同频率的时钟信号输入给 FPGA。其中, 48 对数据速率为 600 Mbps 的 LVDS 数据, 通过差分数据接口 IBUFDS 进入 FPGA, 经延时模块(IDELAY)进行相位动态调整后进入串并转换模块(ISERDES), 作 1:4 的串并转换, 数据速率降为原来的 1/4(即 150 Mbps)。FPGA 使用 IBUFGDS 接收 8 对 LVDS 随路时钟信号, 经过区域时钟缓冲器(BUFR)为每个 ISERDES 提供同源时钟。FPGA 可以单独控制每个 I/O 管脚的 64 阶可编程调节信号延迟的延时模块, 使锁存时钟可以精确地对准每根数据线数据有效窗口的中心, 保证数据正确锁存到 FPGA 中的 FIFO 中。FPGA 与高速 ADC 的互联接口如图 5 所示(ADC 双通道接口设计一致, 图中只给出 ADC 的一个通道结构):

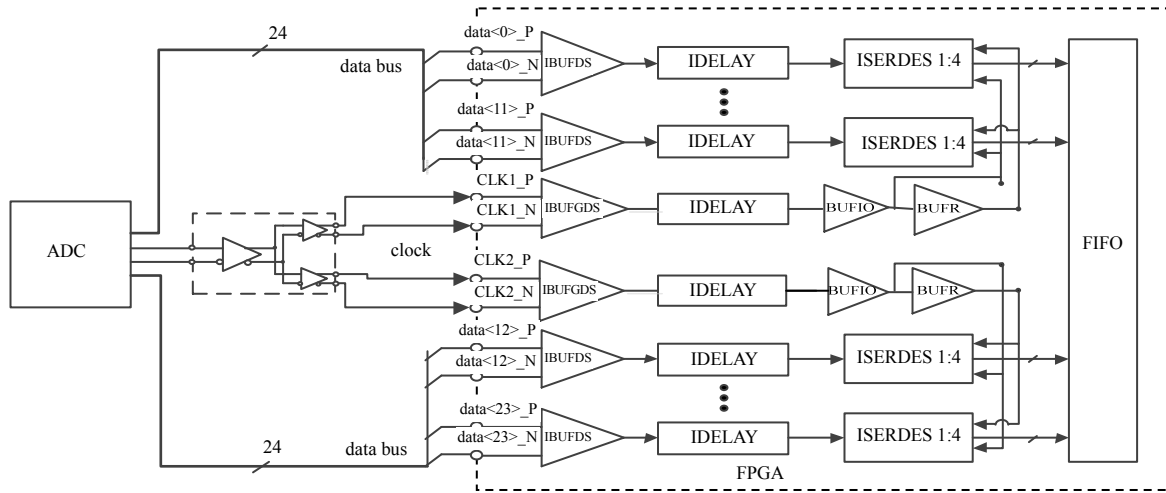


Fig.5 Schematic diagram of interconnecting between FPGA and ADC
图 5 FPGA 与 ADC 的互联接口原理图

1.4 高速差分信号转换模块

时钟网络管理模块输出的时钟信号为低压正发射极耦合逻辑电平(Low Voltage Positive Emitter-Couple Logic, LVPECL), 而高速 ADC 采样时钟接口为 LVDS 电平, FPGA 管脚可以接收 LVPECL 电平信号。时钟网络管理模块、高速 ADC 和 FPGA 三者之间不能直接连接, 需采用合适的方式进行电平转换。

1.4.1 LVPECL 与 LVPECL 互连

时钟网络管理模块与 FPGA 之间采用 LVPECL 与 LVPECL 交流耦合互连方式, 如图 6 所示。LVPECL 电平标准满足共模电压大小为 $U_{cc}-1.3V$ (U_{cc} 为芯片供电电压), 输出电流大小为 14 mA, 输出负载匹配阻抗为 50 Ω 。

以上交流耦合电路满足以下方程:

$$\frac{U_{driver} - 1.3}{R_1} = 14 \tag{3}$$

$$U_{receiver} - 1.3 = \frac{U_{receiver}}{R_2 + R_3} \times R_3 \tag{4}$$

$$\frac{R_2 R_3}{R_2 + R_3} \approx 50 \tag{5}$$

本设计的时钟网络管理模块发送端供电电压为 3.3 V, 即 $U_{driver}=3.3 V$, FPGA 接收端供电电压为 2.5 V, 即 $U_{receiver}=2.5 V$, 根据式(3)解得 $R_1=142 \Omega$, 式(4)~(5)解得 $R_2=96 \Omega$, $R_3=104 \Omega$ 。实际应用中, 取 R_1 为 150 Ω , R_2, R_3 为 100 Ω 。

1.4.2 LVPECL 与 LVDS 互连

时钟网络管理模块与高速 ADC 之间采用 LVPECL 与 LVDS 交流耦合互连方式, 见图 7。LVDS 电平标准要求共模电压大小为 1.2 V, LVPECL 输出电流大小为 14 mA, 输出负载匹配阻抗为 50 Ω ^[17-19]。

LVPECL 发送端通过输出电阻 R_4 实现对地 14 mA 的直流通路, 根据式(3)取 R_4 为 150 Ω 。 $U_{cc}=3.3 V$, 通过电阻 R_6, R_7 组成分压网络, 为 LVDS 接收端提供 1.2 V 共模电压, 取 $R_6=16.9 k\Omega$, $R_7=10 k\Omega$, 差分匹配电阻 $R_5=100 \Omega$ 。

1.5 高速 ADC 转换模块

高速 ADC 转换模块选用双通道、低功耗模数转换芯片, 其结构如图 8 所示。该芯片采用单电源 1.9 V 供电, 采样精确度为 12 位, 单通道采样力可达 1.6 GSPS, 当使用双通道对同一信号进行交织采样时, 采样频率最高可达 3.2 GSPS。每个通道转换器均具有 1:2 多路分配器(Demux), 可以将输出数据的速率降为输入采样频率的一半。

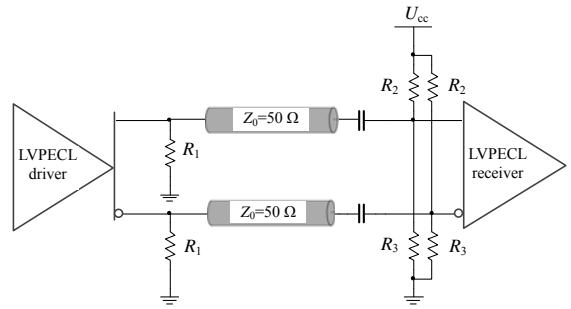


Fig.6 LVPECL to LVPECL
图 6 LVPECL 与 LVPECL 交流耦合互连示意图

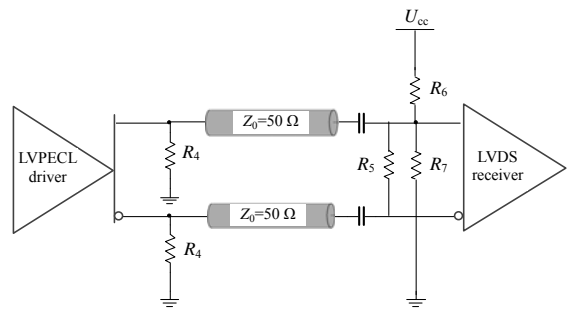


Fig.7 LVPECL to LVDS
图 7 LVPECL 与 LVDS 交流耦合互连示意图

该芯片还具有自动校准、通道掉电、满量程范围设置等功能。

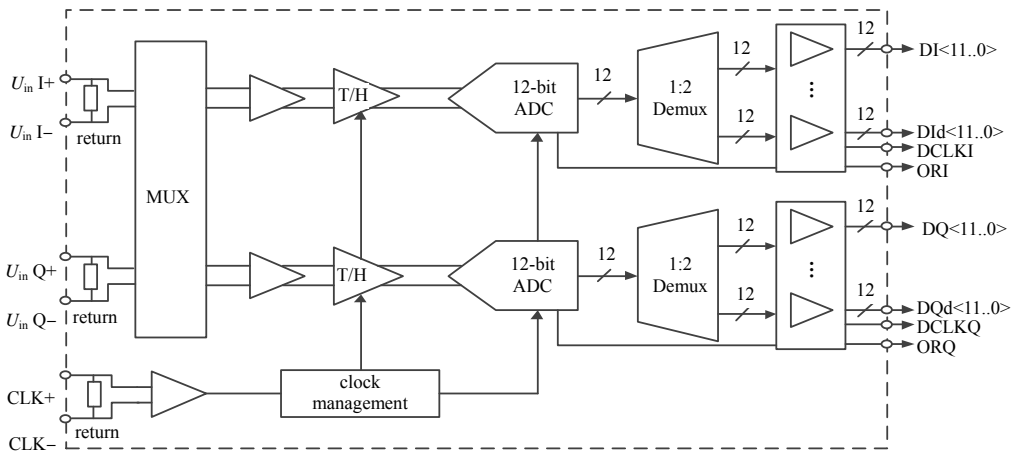


Fig.8 Schematic diagram of ADC configuration
图 8 高速 ADC 结构组成图

本系统使用采样时钟的上升沿对模拟信号进行采样，采样时钟频率为 1.2 GHz，2 个通道独立工作，每个通道采用 1:2 Demux 模式输出数据，即 I 路输出使用数据总线 DI, DID，共 24 对 LVDS 并行数据信号；Q 路输出使用数据总线 DQ, DQD。

2 系统验证实验

2.1 系统静态性能测试

使用研发的高速数据采集与处理系统，设置高速 ADC 以 1.2 GHz 的采样时钟工作，分别对 Agilent 信号源产生的 10 MHz, 30 MHz 的正弦信号进行采集，采集到的数据通过 Camera Link 接口传送到 PC 机，使用 Matlab 软件对波形数据进行恢复，如图 9~10 所示。根据图中采样点个数推算出被采样波形信号频率，与信号源输出频率一致。图中恢复的波形幅值大小与信号源设置的输出波形幅值大小一致，从而证明了高速数据采集与处理系统电路设计的正确性。

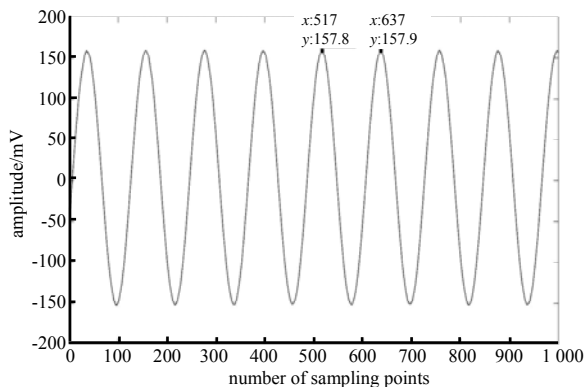


Fig.9 Waveform of 10 MHz sinusoidal signal
图 9 10 MHz 的正弦信号恢复波形图

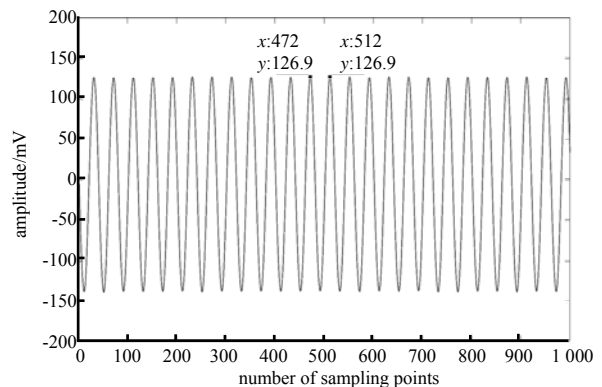


Fig.10 Waveform of 30 MHz sinusoidal signal
图 10 30 MHz 的正弦信号恢复波形图

2.2 系统动态性能测试

2.2.1 高速 ADC 动态性能测试

高速 ADC 工作的采样率为 1.2 GSps，使用 Agilent 信号源产生不同频率的正弦信号^[20-21]，频率范围为 800 kHz~100 MHz。通过高速数据采集与处理系统对 10 个不同频率的正弦信号进行采集，在每个频率节点下对波形进行 10 次采集，对每次采集的 4 096 个采样点进行数据处理分析，信噪比(SNR)和有效位(ENOB)统计实验结果分别如表 1 所示。图 11 是频率为 4.98 MHz 正弦信号的一次采集数据处理分析结果。

表 1 信噪比及有效位结果统计
Table1 The statistical results of SNR and ENOB

f/MHz	R _{SN} /dB	ENOB/bit
0.879	53.18	8.25
1.465	52.77	8.22
4.980	52.65	8.23
17.871	52.45	8.21
26.074	52.37	8.21
37.207	52.37	8.19
48.926	52.34	8.18
57.715	52.35	8.18
78.809	51.80	8.17
98.730	50.72	8.13

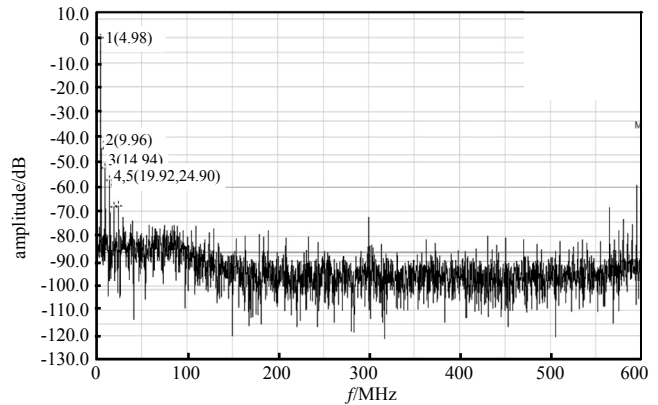


Fig.11 Power spectrum of sampled signal
图 11 采样信号功率谱图

2.2.2 系统噪声测试

将高速数据采集与处理系统的模拟输入端接地，采集 10 组系统本体噪声数据，每组记录 4 096 个采样点，统计实验结果如表 2 所示(高速 ADC 的量化位数为 12 位，0 V 电压对应的量化值为 2 048)。

表 2 系统噪声数据结果统计
Table2 The statistical results of system noise

	1	2	3	4	5	6	7	8	9	10
Max	2 050	2 051	2 051	2 051	2 052	2 051	2 050	2 052	2 051	2 050
Min	2 041	2 041	2 040	2 041	2 041	2 040	2 041	2 041	2 041	2 041
Aver	2 045.21	2 045.27	2 045.31	2 045.76	2 045.82	2 045.92	2 045.44	2 045.45	2 045.42	2 045.47
Std	1.36	1.36	1.41	1.49	1.52	1.54	1.44	1.41	1.43	1.41

2.3 对比实验

为分析本文设计的系统实际测试结果，在同等条件下分别使用本文系统和文献[22]中 FPGA 与 ADC 直接互连的方法设计的系统进行多次信号采集实验。分别使用两套系统在每个频率节点下对正弦信号进行 10 次采集，两套系统各自的实验统计结果如表 3 所示，表中系统 A 为本文系统。从表中可以看出，2 种不同方法获得的测试结果中，信噪比和有效位两项指标的数量级一致，进一步验证了本文系统的正确性和可靠性。值得注意的是，系统 B 使用 ADC 输出的单个时钟锁存多路数据，调试时间较长，且数据的有效采集窗口小，易受到外界干扰，不利于在复杂环境下实现多路高速信号采集。

表 3 两套系统结果统计
Table3 The statistical results of two systems

f/MHz	system A		system B	
	R _{SN} /dB	ENOB/bit	R _{SN} /dB	ENOB/bit
1.465	52.77	8.22	53.09	8.27
48.926	52.34	8.18	52.16	8.16
98.730	50.72	8.13	50.76	8.15

3 结论

本文研发的基于时钟网络的高速数据采集与处理系统，可以实现高达 1.2 GSPS 的采样率以及与之匹配的数据处理速率。提出了基于时钟网络管理的高速数据接口设计方法。该方法通过主动干预 ADC 输出时钟信号，利用时钟缓冲器复制产生多路相同的时钟信号，以便于 FPGA 锁存多路高速并行数据。该方法突破 FPGA 固有管脚分配限制，解决了多路高速并行数据接收困难的问题，适用于数据信号数量远大于时钟信号数量的高速数据接收系统。实验结果表明，研发的高速数据采集与处理系统在 1.2 GSPS 的采样率的工作条件下，对频率为 800 kHz~100 MHz 之间的正弦信号进行采集，有效位可达 8 bit 以上，信噪比大于 50 dB，能够较好地满足全波形激光雷达系统中高速数据采集系统的需求。为了进一步增加系统的通道数、采样率，后续可以开展多片 ADC 进行并行采集的相关工作。还需要在高速信号及电源完整性问题方面进行深入研究，优化电路设计，减少系统噪声。

参考文献:

[1] 李增元,刘清旺,庞勇. 激光雷达森林参数反演研究进展[J]. 遥感学报, 2016,20(5):1138-1150. (LI Zengyuan,LIU Qingwang,PANG Yong. Review on forest parameters inversion using LiDAR[J]. Journal of Remote Sensing, 2016,20(5): 1138-1150.)
[2] 王滨辉,宋沙磊,龚威,等. 全波形激光雷达的波形优化分解算法[J]. 测绘学报, 2017,46(11):1859-1867. (WANG Binhui,

- SONG Shalei,GONG Wei,et al. Optimization decomposition method of full-waveform LiDAR[J]. *Acta Geodeticaet Cartographica Sinica*, 2017,46(11):1859–1867.)
- [3] 夏显召,朱世贤,周意遥,等. 基于阈值的激光雷达 K 均值聚类算法[J]. *北京航空航天大学学报*, 2020,46(1):115–121. (XIA Xianzhao,ZHU Shixian,ZHOU Yiyao,et al. LiDAR K-means clustering algorithm based on threshold[J]. *Journal of Beijing University of Aeronautics and Astronautics*, 2020,46(1):115–121.)
- [4] PARRISH C E,JEONG I,NOWAK R D,et al. Empirical comparison of full-waveform lidar algorithms:range extraction and discrimination performance[J]. *Photogrammetric Engineering & Remote Sensing*, 2011,77(8):825–838.
- [5] DUONG V H. Processing and application of ICESat large footprint full waveform laser range data[D]. Delft,Holland:Delft University of Technology, 2010.
- [6] 沈俊,尚建华,贺岩. 全波形机载激光雷达数据处理技术的研究进展[J]. *激光技术*, 2018,42(3):295–299. (SHEN Jun, SHANG Jianhua,HE Yan. Research process of data processing technology of full-waveform airborne laser radars[J]. *Laser Technology*, 2018,42(3):295–299.)
- [7] 梁敏,马凯. 基于高斯滤波的回波信号去噪方法的研究[J]. *测绘与空间地理信息*, 2017,40(1):40–42. (LIANG Min,MA Kai. Study on method of echo signal denoising based on Gauss filter[J]. *Geomatics & Spatial Information Technology*, 2017,40(1):40–42.)
- [8] HILBERT C,SCHMULLIUS C. Influence of surface topography on ICESat/GLAS forest height estimation and waveform shape[J]. *Remote Sensing*, 2012,4(8):2210–2235.
- [9] 王虹,马跃,李松,等. 光束发散角对星载激光测高仪森林回波的影响[J]. *红外与毫米波学报*, 2018,37(1):112–118. (WANG Hong,MA Yue,LI Song,et al. Impact of beam divergence angle on forest echo from satellite laser altimeter[J]. *Journal of Infrared and Millimeter Waves*, 2018,37(1):112–118.)
- [10] ROB R,RAMYA R. Wideband A/D converter front-end design considerations—when to use a double transformer configuration[EB/OL]. (2006–07). <http://www.analog.com/analogdialogue>.
- [11] 魏振,孙垂强,李栋. 高速信号采集处理电路时钟网络分析与设计[J]. *空间电子技术*, 2016,22(6):59–62. (WEI Zhen, SUN Chuiqiang,LI Dong. Analysis and design of clock network for high-speed signal acquisition and processing circuit[J]. *Space Electronic Technology*, 2016,22(6):59–62.)
- [12] 梁楠,李涛,吴淞波. 基于锁相环的遥感相机采样电路设计与优化[J]. *航天返回与遥感*, 2016,37(2):66–73. (LIANG Nan,LI Tao,WU Songbo. Design and optimization of sampling circuit in remote sensing camera based on PLL[J]. *Spacecraft Recovery & Remote Sensing*, 2016,37(2):66–73.)
- [13] GAIED D,HEGAZI E. Charge-pump folded noise cancelation in fractional-N phase-locked loop[J]. *IEEE Transactions on Circuits and System II:Express Briefs*, 2014,61(6):378–382.
- [14] MANIKANDAN R R,A MRUTUR B. A zero charge-pump mismatch current tracking loop for reference spur reduction in PLLs[J]. *Microelectronics Journal*, 2015,46(6):422–430.
- [15] 王征晨,王兴华,仲顺安. 90 nm CMOS 工艺高速锁相环设计与优化[J]. *北京理工大学学报*, 2018,38(1):58–62. (WANG Zhengchen,WANG Xinghua,ZHONG Shunan. Design and optimization of high speed PLL based on 90 nm CMOS process[J]. *Transactions of Beijing Institute of Technology*, 2018,38(1):58–62.)
- [16] Xilinx Corporation. Advanced ChipSync Applications[EB/OL]. (2006–10)[2007–08–05]. <http://www.xilinx.com>.
- [17] IEEE Standard for Low-Voltage Differential Signals(LVDS) for Scalable Coherent Interface(SCI)[S]. New York,USA: Institute of Electrical and Electronics Engineers, 1996.
- [18] Electrical characteristics of Low Voltage Differential Signaling(LVDS) interface circuits. ANSI/TIA/EIA–644[S]. New York, USA:Telecommunications Industry Association, 1996.
- [19] 彭勇,黄秋元. LVDS 的接口电路设计[J]. *武汉理工大学学报*, 2005,27(5):189–192. (PENG Yong,HUANG Qiuyuan. Design of a LVDS's interface circuit[J]. *Journal of Wuhan University of Technology*, 2005,27(5):189–192.)
- [20] 李海涛,李斌康,阮林波,等. 高速高分辨率 ADC 有效位测试方法研究[J]. *电子技术应用*, 2013,39(5):41–43. (LI Haitao, LI Binkang,RUAN Linbo,et al. Research on the ENOB test methods of high-speed high-resolution ADC[J]. *Application of Integrated Circuits*, 2013,39(5):41–43.)
- [21] 祖俊婕. 高速高精度数据转换器测试验证系统设计与实现[D]. 南京:东南大学, 2017. (ZU Junjie. Design and implementation of high-speed and high-resolution data convertor test system[D]. Nanjing,China:Southeast University, 2017.)
- [22] 蒯立山,郑步生. 基于 FPGA 的宽带 ADC 数据采集系统的设计[J]. *信息技术*, 2012,12(5):116–120. (KUI LI Shan, ZHENG Busheng. Design of wideband ADC data acquisition system based on FPGA[J]. *Information Technology*, 2012, 12(5):116–120.)