

文章编号: 2095-4980(2021)01-0049-05

基于 System Generator 的多速度拖引欺骗干扰实现方法

赵 桐¹, 郑 鑫^{*2}

(1.中国航空工业集团公司 雷华电子技术研究所, 江苏 无锡 214063; 2.西安电子科技大学 电子工程学院, 陕西 西安 710071)

摘 要: 在速度拖引欺骗干扰系统的设计中, 需要快速产生干扰信号和修改干扰参数来应对复杂多变的电磁环境, 干扰信号频率的准确度、稳定度以及干扰信号产生的快慢直接影响到干扰的效果。通过介绍速度欺骗干扰的基本原理、直接频率合成技术(DDS)的基本原理以及基于 System Generator 和 DDS 的多速度欺骗干扰的可编程门阵列(FPGA)的实现方法, 提出了干扰模块的构造以及验证方法。测试结果证明 DDS 非常适合于干扰频率的合成, System Generator 非常适合多速度拖引欺骗干扰的 FPGA 实现。

关键词: 多速度拖引欺骗干扰; 直接频率合成技术(DDS); System Generator 工具箱; 可编程门阵列(FPGA)

中图分类号: TN972

文献标志码: A

doi: 10.11805/TKYDA2019364

An implementation method of multi-speed dragging deception jamming based on System Generator

ZHAO Tong¹, ZHENG Xin^{*2}

(1.Leihua Electronic Technology Institute, AVIC, Wuxi Jiangsu 214063, China;

2.School of Electronic Engineering, Xidian University, Xi'an Shaanxi 710071, China)

Abstract: In the design of the speed dragging deception jamming system, it is necessary to quickly generate the interference signals and modify the interference parameters to deal with the complex and varied electromagnetic environment. The accuracy and stability of the frequency of the interference signal, as well as the generation speed of the interference signal directly affect the effect of the interference. The basic principles of deception jamming and Direct Digital Synthesizer(DDS) are introduced, the implementation of Field Programmable Gate Arrays(FPGA) based on System Generator and DDS for multi-speed deception jamming is presented. The construction of interference module is proposed and its verification methods are put forward. The test result proves that the DDS technology is very suitable for the synthesis of the interference frequency; and System Generator is very suitable for the FPGA implementation of multi-speed dragging deception jamming.

Keywords: multi-speed dragging deception jamming; Direct Digital Synthesizer(DDS); System Generator; Field Programmable Gate Arrays(FPGA)

在速度干扰机的设计过程中, 干扰信号频率的准确度、稳定度直接影响到干扰效果的好坏。频率合成的方式有很多, 常见的频率合成技术主要包括: 锁相频率合成技术(Phase Locked Loop, PLL)和直接数字式频率合成技术(DDS)。PLL 不但具有易于集成化、体积小、结构简单、功耗低、价格低等优点, 而且有极宽的频率范围和十分良好的寄生信号抑制特性, 但频率切换时间相对较长, 相位噪声较大。DDS 是基于取样技术和数字计算技术来实现数字合成, 产生所需频率的正弦信号, 极易实现频率和相位控制, 且切换时间快, 尤其适于合成任意波形, 集成度高, 体积小, 其因频率分辨率高(可达 Hz 级)、频率切换速度快(可达 ns 级)、相位噪声低和频率稳定度高等优点而成为现代频率合成技术中的佼佼者^[1-3]。

收稿日期: 2019-09-24; 修回日期: 2019-12-20

作者简介: 赵 桐(1990-), 男, 硕士, 工程师, 主要研究方向为电子侦察。email: zhaotong0622@sina.com

*通信作者: 郑 鑫 email: zhengx443@126.com

在干扰机的设计过程中, 干扰信号产生的快慢和干扰参数能否及时修改是干扰系统设计中重要的工程问题。现场可编程门阵列(FPGA)具有实现高速并行运算的能力, 并且储存带宽远远大于时钟频率, 所以 FPGA 是高性能数字信号处理的理想器件。数字信号处理系统的设计者和底层技术人员通常对 C 语言和汇编语言比较熟悉, 但是对 VHDL(Very high speed integrated circuit Hardware Description Language)或 Verilog HDL 这种硬件描述性语言不太熟悉, 因此, 对 FPGA 系统的设计成为了整个系统开发的核心难题^[4-5]。

基于上述问题, 本文提出利用 System Generator 和 DDS 进行干扰模块设计, 在 Simulink 中, 利用 Xilinx 公司提供的 System Generator 工具箱搭建模型, 实现多速度拖引欺骗干扰。这种开发方式具有以下特点: a) 移植性强: 通常通过 Verilog 或者 VHDL 硬件设计语言对数字信号处理算法进行实现, 但是由于不同的专业编译人员的代码风格不同, 使得后期人员阅读和修改非常困难。利用模块封装技术, 设置参数对话框, 可以方便地修改参数, 并通过查看 help 文档, 了解该模块实现的功能。b) 复用性强: 通过简单的模块复制与粘贴可以实现模块的复用, 也可以将通用模块或者需要复用的模块通过 Mask 封装成 library。c) 开发周期短: 通过与 Matlab 和 Simulink 软件的结合, System Generator 提供了系统级的建模方法, 可以将算法仿真和硬件代码生成同步完成, 加快了项目开发的速度。

1 基本原理

1.1 DDS 基本原理

DDS 由相位累加器、波形存储器、A/D 转换器和低通滤波器组成。其中的参考频率源是一个高稳定度的晶体振荡器, 其输出信号供 DDS 各部分同步工作。在参考时钟的控制下, 相位累加器按频率控制字 k 产生信号数字化拟合所需的线性相位取样值, 对波形存储器寻址, 使相位码转换为对应波形的幅度码, 经过数模转换器得到模拟阶梯波, 最后经低通滤波器得到所需频率的信号。设时钟频率为 f_{clk} , 频率控制字为 k , 相位累加器的字长为 L , 则 DDS 输出信号的频率 f_{out} 、最小频率分辨率 δf_{min} 、最小相位分辨率 $\delta\varphi_{\text{min}}$ 可用式(1)表示:

$$\begin{cases} f_{\text{out}} = kf_{\text{clk}} / 2^L \\ \delta f_{\text{min}} = f_{\text{clk}} / 2^L \\ \delta\varphi_{\text{min}} = 2\pi / 2^L \end{cases} \quad (1)$$

1.2 速度拖引欺骗干扰基本原理

速度拖引欺骗干扰机根据接收到的雷达照射信号, 转发与目标回波多普勒频率 f_d 相同的一个或多个干扰信号(此段称为停拖期)。由于干扰信号的幅度远远大于目标回波, 在自动增益控制电路的作用下, 目标回波信号被压制, 雷达难以检测到目标的真实回波信号, 只能检测到一个或多个转发的干扰信号作为回波信号。其次使干扰信号的多普勒频率 f_{d_i} 逐渐与目标回波的多普勒频率 f_d 分离, 分离的速度 v_r (Hz/s) 不能大于雷达可能跟踪的目标的最大加速度(此段称为拖引期)。由于干扰信号的能量大于目标回波信号的能量, 将使雷达的速度跟踪电路在多普勒频率 f_{d_i} 上产生干扰, 造成雷达接收到错误的速度信息。当干扰信号的多普勒频率 f_{d_i} 与目标回波信号的多普勒频率 f_d 的差值达到 δf_{max} 后, 关闭干扰机(此段称为关闭期)。在速度欺骗干扰的过程中, 干扰信号的多普勒频率 f_{d_i} 变化过程^[6]见式(2):

$$f_{d_i}(t) = \begin{cases} f_d, & 0 \leq t < t_1 \quad \text{停拖期} \\ f_d + v_r(t - t_1), & t_1 \leq t < t_2 \quad \text{拖引期} \\ \text{关闭干扰}, & t_2 \leq t < T \quad \text{关闭期} \end{cases} \quad (2)$$

2 模型结构和实现

2.1 干扰模型

多速度拖引欺骗干扰是将雷达回波信号搬移到多个指定的频段, 干扰模型见图 1, 多速度拖引欺骗干扰由多个干扰信号叠加而成。干扰模型由 3 部分组成: a) 多普勒频率合成模块, 该模块的作用是根据输入数据产生符合式(2)的多普勒频移信号; b) 多普勒频率合成模块, 该模块的作用是将多普勒频率合成模块产生的多普勒频率搬移到雷达照射信号上, 实现单路的速度拖引欺骗干扰; c) 干扰数据合成模块, 该模块的作用是将多个通道产生的多路单速度拖引信号合成单路多速度拖引信号从而实现多速度拖引欺骗干扰。

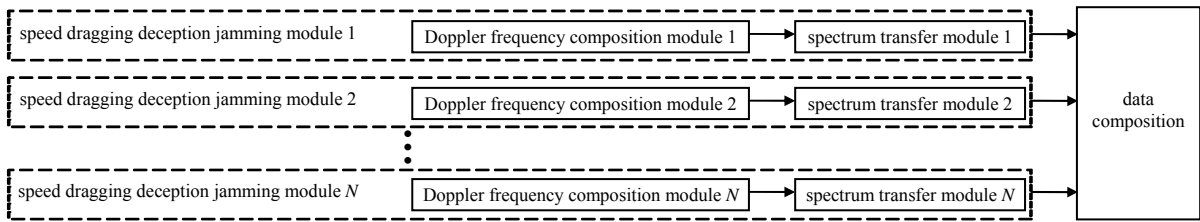


Fig.1 Model of multi-speed dragging deception jamming
图 1 多速度拖引欺骗干扰模型结构

2.2 模型实现

根据干扰的模型结构，利用 Xilinx 公司提供的 System Generator 工具箱实现多速度拖引干扰，具体实现电路见图 2。为了增加模块的通用性，将模块进行 Mask 封装。

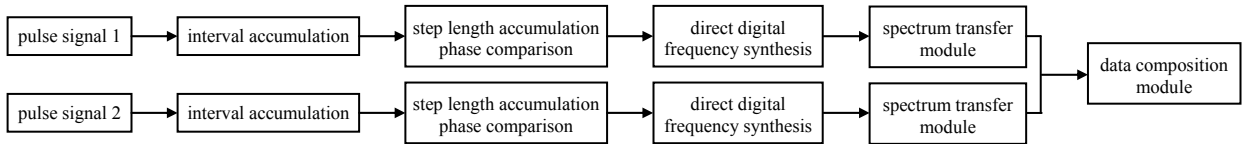


Fig.2 Circuit of multi-speed dragging deception jamming
图 2 多速度拖引欺骗干扰实现电路图

FreGenerator 模块是多普勒频率合成模块，见图 3，该模块包括一个步长累加模块、一个间隔累加模块、一个相位比较模块、一个相位累加模块和一个 DDS。模块的功能为：当输入信号有效时，间隔累加模块根据系统时钟进行累加，每来一个系统时钟，间隔累加器增加 1，当间隔累加器的值大于频移间隔时，间隔累加器输出一个周期的高电平信号到步长累加模块，同时间隔累加器清零；步长累加模块每收到一个间隔累加模块发出的高电平信号，步长累加模块增加移频步长，并且直接将步长累加模块的结果送给相位比较模块；相位比较模块比较步长累加模块和移频因子的大小，将其中较小值送给相位累加模块；相位累加模块将相位比较模块的输出与相位偏移叠加之后送给 DDS 频率合成模块的相位输入；DDS 频率合成模块根据输入的相位信息产生特定频率的信号。输入信号经过 4 个不同的多普勒频率合成模块就能产生 4 个不同频率的干扰信号。

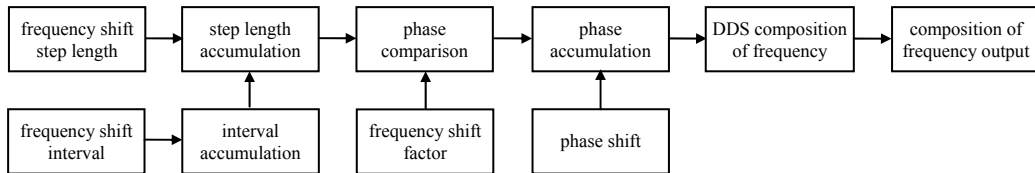


Fig.3 Doppler frequency synthesis module
图 3 多普勒频率合成模块

DataAdd 模块是多速度干扰数据合成模块，它将输入的信号分别按照信号的实部与实部叠加，虚部与虚部叠加，使能信号与使能信号叠加，最后将四路输入信号合成一路信号。FreAdd 模块是多普勒频谱搬移模块，它包括一个复数乘法器单元和一个延迟单元。它的功能是将输入的雷达照射信号与 DDS 生成的信号进行合成，产生具有多个速度干扰的信号。延迟单元的功能是同步干扰信号和干扰信号的使能。

2.3 模块封装

利用 System Generator 设计电路模块降低了从数学算法到硬件电路的实现难度，将模块进行进一步的封装，可以使模块的通用性和操作的便利性得到增强，从而能让使用人员在不需要了解干扰原理的情况下，仅仅根据对话框中的相应参数的设置，便能将其应用到实际电路中，完成设计工作。

封装创建的方式有多种，常见的封装创建方式包括通过 Mask Editor 创建和通过编写 M 代码定制创建，两种创建方式针对不同的应用场景各有优劣。当封装一个比较简单的模块时，一般是直接通过 Mask Editor 方法创建封装；而当封住一个比较复杂的模块时，通常采用 M 脚本编写函数自动完成协助封装。

3 仿真分析

基于 System Generator 的模块设计支持基础功能仿真、硬件回路协同仿真以及生成 bit 文件进行板级测试等 3 种电路测试方式，3 种测试方式确保了电路设计的准确性和完备性^[7]。

3.1 基础功能仿真

参数测试: 为了使波形效果更为直观, 选择单通道模式, 设置输入系统时钟为 300 MHz, 设置输入信号的幅度为 1.5, 周期为 40 个 sample。拖引速度分别设置为 1×10^{-7} , 1.5×10^{-6} , 2.5×10^{-6} , 4×10^{-6} , 对应拖引 9 GHz/s, 135 GHz/s, 225 GHz/s, 360 GHz/s。停拖期设置为 10 000 个采样点, 拖引期设置为 30 000 个采样点, 关闭期设置为 10 000 个采样点。图 4(a)中停拖期、拖引期、关闭期的长度分别为 33 μ s, 100 μ s, 33 μ s, 与设置参数一致; 图 4(b)中停拖期、拖引期以及关闭期的合成信号的频率变化与设置参数一致, 仿真测试符合要求。

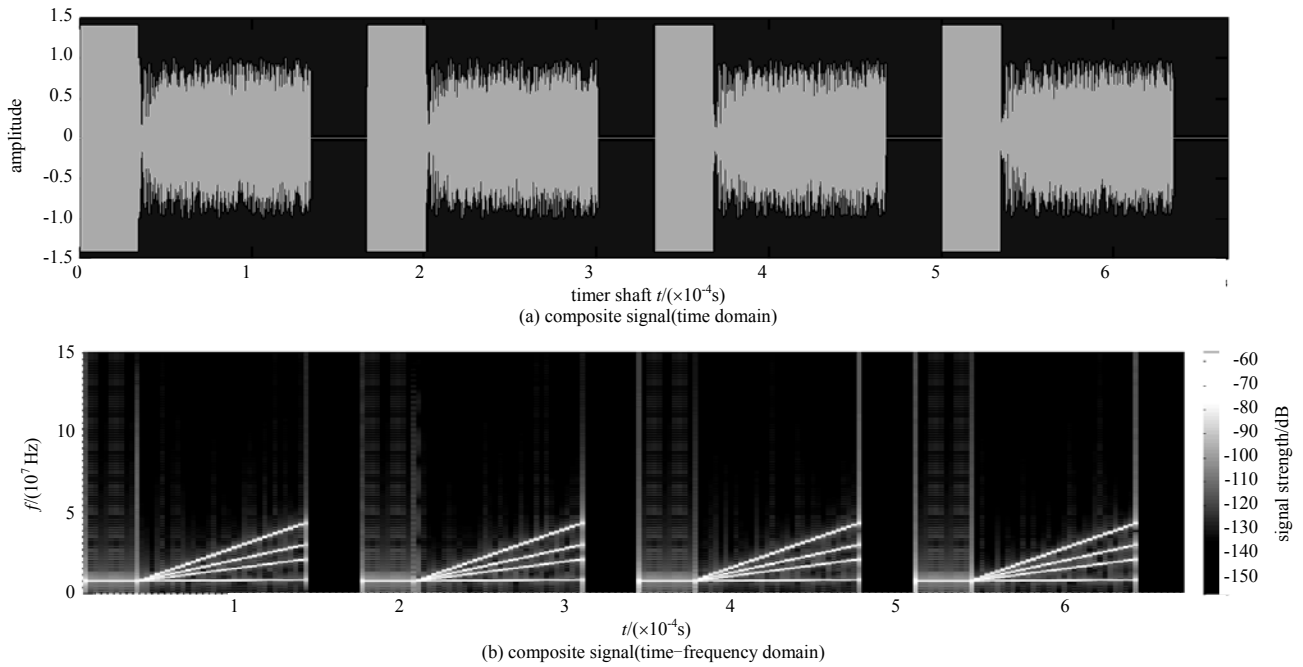


Fig.4 Simulation output of multi-speed dragging deception jamming

图4 多速度拖引欺骗干扰仿真结果

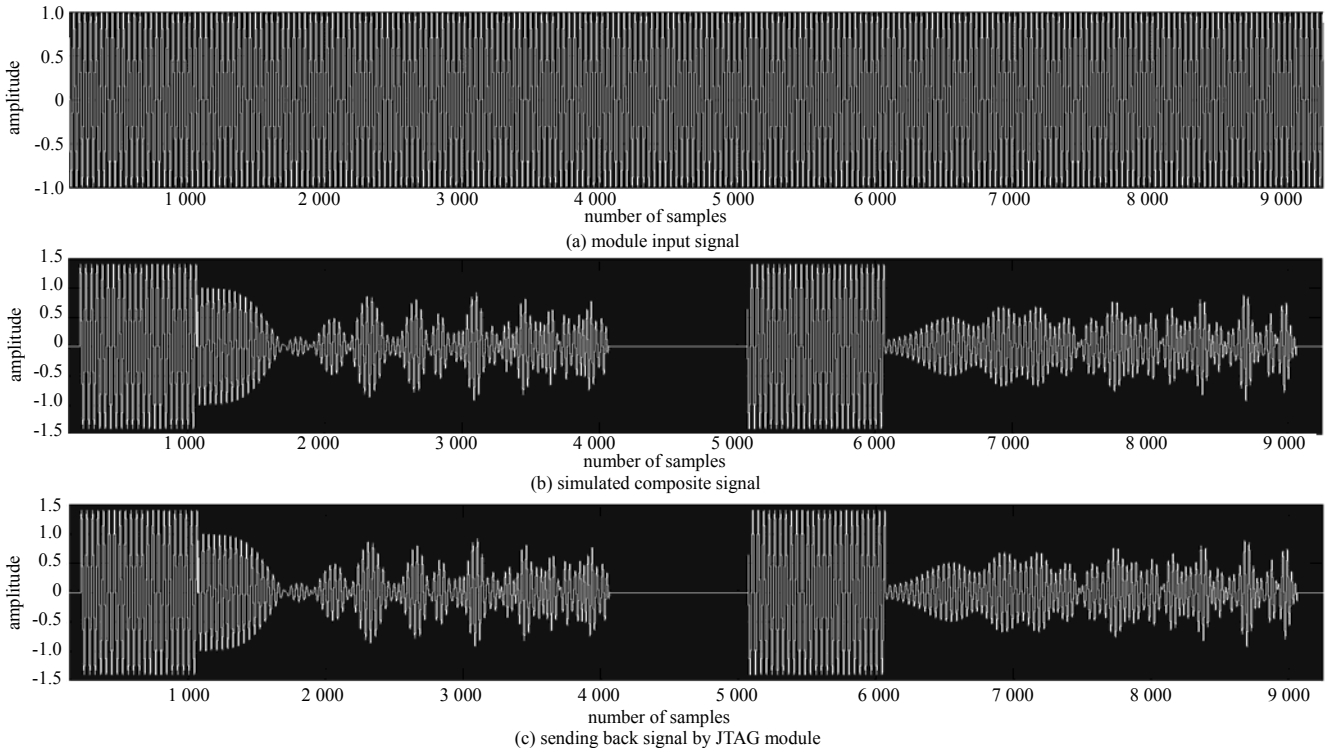


Fig.5 Co-simulation output of hardware circuit

图5 硬件回路协同仿真结果

3.2 硬件回路协同仿真

组建基于 Simulink 的半实物测试平台。将硬件产生的数据读入 Simulink, 在 PC 端直接对比产生的数据和电路设计仿真结果, 从而验证模块设计的正确性。结果见图 5, 图 5(a)为输入信号, 图 5(b)为 Simulink 平台仿真得到的干扰信号的输出, 图 5(c)为 JTAG 模块输出的波形。其中系统时钟为 300 MHz, 输入信号周期为 40 个采样点, 停拖期设置为 1 000 个采样点, 拖引期设置为 3 000 个采样点、关闭期设置为 1 000 个采样点。从图 5 中可以看出仿真信号与 JTAG 模块输出的信号变化基本相同, 证明硬件电路的设计符合要求。

4 结论

DDS 具有非常高的频率分辨率和非常良好的频率稳定性, 非常适合速度拖引欺骗干扰 FPGA 实现中欺骗速度的实现。System Generator 具有使用方便、扩展性强等优点, 能够让开发人员快速地将算法模型转换成硬件电路, 有效缩短了开发周期。

参考文献:

- [1] 曹郑蛟,滕召胜,李华忠,等. 基于 FPGA 的 DDS 信号发生器设计[J]. 计算机测量与控制, 2011,19(12):3175-3186. (CAO Zhengjiao,TENG Zhaosheng,LI Huazhong,et al. Design of DDS signal generator based on FPGA[J]. Computer Measurement & Control, 2011,19(12):3175-3186.)
- [2] 崔智军,张瑜. 基于 FPGA 的 DDS 双相信号发生器设计[J]. 太赫兹科学与电子信息学报, 2015,13(3):520-524. (CUI Zhijun,ZHANG Yu. Design of DDS dual signal generator based on FPGA[J]. Journal of Terahertz Science and Electronic Information Technology, 2015,13(3):520-524.)
- [3] 杨杰,杨光,蒋国琼,等. 基于 DDS 激励 PLL 宽带低杂散频率合成器[J]. 太赫兹科学与电子信息学报, 2013,11(5):757-761. (YANG Jie,YANG Guang,JIANG Guoqiong,et al. Frequency synthesizer with wideband and low spurious based on Direct Digital Synthesis driving Phase Locked Loop[J]. Journal of Terahertz Science and Electronic Information Technology, 2013,11(5):757-761.)
- [4] 许雄,吴若无,邵宁,等. 基于 System Generator 的雷达干扰信号模拟[J]. 太赫兹科学与电子信息学报, 2019,17(5):777-781. (XU Xiong,WU Ruowu,TAI Ning,et al. Radar jamming signal simulation based on System Generator[J]. Journal of Terahertz Science and Electronic Information Technology, 2019,17(5):777-781.)
- [5] 麻鹏飞,畅鑫,冯笑笑. 基于 System Generator 的距离拖引干扰实现方法[J]. 舰船电子对抗, 2017,40(6):28-31. (MA Pengfei,CHANG Xin,FENG Xiaoxiao. Realization method of range gate pull off jamming based on system generator[J]. Shipboard Electronic Countermeasure, 2017,40(6):28-31.)
- [6] 赵国庆. 雷达对抗原理[M]. 西安:西安电子科技大学出版社, 1999. (ZHAO Guoqing. Principle of radar countermeasure[M]. Xi'an,China:Xidian University Press, 1999.)
- [7] 余鑫. 基于 System Generator 的数字锁相放大器研究[D]. 南昌:东华理工大学, 2015. (YU Xin. Study of digital locked-in amplifier based on System Generator[D]. Nanchang,China:East China University of Technology, 2015.)

撤稿声明

《太赫兹科学与电子信息学报》发表在 2013 年第 11 卷第 6 期的文章《一种无循环前缀迭代单载波频域均衡算法》涉嫌抄袭, 现撤销发表, 并同时向各数据库网站申请撤稿, 特此声明。

《太赫兹科学与电子信息学报》编辑部

2021 年 2 月 10 日

编辑部

