

文章编号: 2095-4980(2020)04-0560-05

用于太赫兹高速通信的 FIR 滤波器 64 并行实现算法

王颖^{a,b}, 刘娟^{a,b}, 郝鑫^{a,b}, 吴秋宇^{a,b}, 林长星^{a,b}

(中国工程物理研究院 a.微系统与太赫兹研究中心, 四川 成都 610200; b.电子工程研究所, 四川 绵阳 621999)

摘要: 为满足太赫兹无线通信系统对大容量基带信号处理算法的要求, 基于直接从多项式分解导出的传统滤波器并行实现算法, 通过矩阵变化推导出复杂度更小的快速有限冲激响应(FIR)滤波器并行实现。在此基础上通过张量积的表示给出了 2 并行、4 并行和 8 并行的转换公式以及实现架构。既而推导出 2^N 并行快速 FIR 滤波器的通用实现公式, 并对比了优化前后的复杂度差异。最后给出了 64 并行的快速 FIR 滤波器的推导公式和具体实现架构, 以及优化前后的硬件复杂度对比, 64 并行的快速 FIR 滤波器算法资源消耗更少。

关键词: FIR 滤波器; 并行化; 数字信号处理; 算法研究

中图分类号: TN911.72

文献标志码: A

doi: 10.11805/TKYDA2018327

64 parallel implementation algorithm of FIR filter for terahertz high-speed communication

WANG Ying^{a,b}, LIU Juan^{a,b}, HAO Xin^{a,b}, WU Qiuyu^{a,b}, LIN Changxing^{a,b}

(a. Microsystem and Terahertz Research Center, China Academy of Engineering Physics, Chengdu Sichuan 610200, China;

b. Institute of Electronic Engineering, China Academy of Engineering Physics, Mianyang Sichuan 621999, China)

Abstract: In order to meet the requirements of the terahertz wireless communication system for large-capacity baseband signal processing algorithms, basing on the traditional filter parallel implementation algorithm derived directly from polynomial decomposition, a parallel implementation of a fast Finite Impulse Response(FIR) filter with less complexity is derived by matrix variation. On this basis, the 2 parallel, 4 parallel and 8 parallel conversion formulas and implementation architecture are given by the tensor product representation. The general implementation formula of the parallel fast FIR filter is derived and the complexity difference before and after optimization is compared. Finally, the derivation formula and specific implementation architecture of the 64 parallel fast FIR filter are given, as well as the hardware complexity comparison before and after optimization.

Keywords: FIR filter; parallelization; digital signal processing; algorithm research

随着信息技术的飞速发展, 人们对信息传输速率的要求越来越高, 从以前的数 MB/s 到几百 MB/s, 甚至到目前的几十 GB/s。太赫兹通信技术采用的太赫兹频段(0.1~10 THz)具备远高于传统微波频段物理带宽的优势, 可实现比微波频段几十至上百倍的速率提升, 是未来高速无线通信技术的重要发展方向。但目前串行的数字调制解调器显然已不能满足未来高速数据传输的要求, 高速并行解调器的研究也越来越广泛和深入^[1-2]。并行算法广泛用于气象、通信、遥感、卫星测控等众多领域, 具有重要的军事意义和工业民用价值^[3]。本文基于 PARHI K K 提出的低并行度快速有限冲激响应(FIR)滤波器的基本原理^[4], 推导出大并行度下的通用公式以及 64 并行度下的 FIR 滤波器公式和实现架构。

1 低并行度快速 FIR 滤波器实现

1.1 并行快速 FIR 滤波器

PARHI K K 提出的 2 并行度快速 FIR 滤波器结构如图 1 所示^[5-7], 也可以用矩阵表示:

收稿日期: 2018-09-15; 修回日期: 2019-02-19

作者简介: 王颖(1989-), 女, 硕士, 主要研究方向为高速均衡算法及实现。email:wangying@mtrc.ac.cn

$$Y_{2p} = Q_2 H_2 P_2 X_{2p} \quad (1)$$

$$\text{式中: } Q_2 = \begin{bmatrix} 1 & 0 & z^{-2} \\ -1 & 1 & -1 \end{bmatrix}; H_2 = \text{diag} \begin{bmatrix} H_0 \\ H_0 + H_1 \\ H_1 \end{bmatrix}; P_2 = \begin{bmatrix} 1 & 0 \\ 1 & 1 \\ 0 & 1 \end{bmatrix};$$

$$X_{2p} = \begin{bmatrix} X_0 \\ X_1 \end{bmatrix}。$$

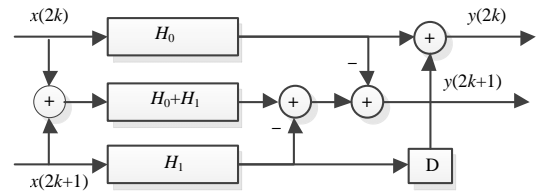


Fig.1 Schematic diagram of 2 parallel structure
图 1 2 并行的结构示意图

1.2.4 并行快速 FIR 滤波器

大尺寸的并行 FIR 滤波器可以级联更小尺寸快速并行滤波器的方式来设计^[8], 对于 4 并行可以继续运用 2 并行快速结构分解, 其结构如图 2 所示, 可以看成是 2 级 2 并行快速 FIR 滤波器级联而成。

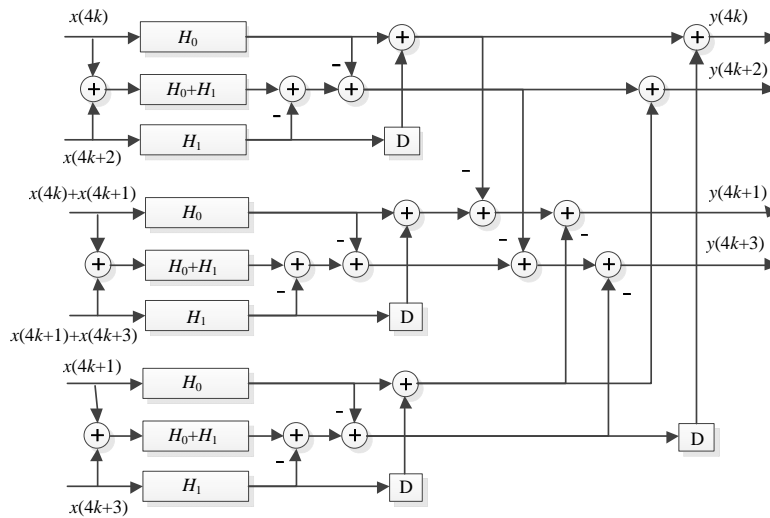


Fig.2 Schematic diagram of 4 parallel structure
图 2 4 并行的结构示意图

矩阵可表示为:

$$Y_{4p} = \underbrace{B_4}_{\text{第二级}} \left(\underbrace{I_{3 \times 3} \otimes Q_4}_{\text{第一级}} \right) H_4 (P_2 \otimes P_2) X_{4p} \quad (2)$$

$$\text{式中: } Y_{4p} = \begin{bmatrix} Y_0 \\ Y_2 \\ Y_1 \\ Y_3 \end{bmatrix}; Q_4 = \begin{bmatrix} 1 & 0 & z^{-4} \\ -1 & 1 & -1 \end{bmatrix}; B_4 = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 & z^{-4} \\ 0 & 1 & 0 & 0 & 1 & 0 \\ -1 & 0 & 1 & 0 & -1 & 0 \\ 0 & -1 & 0 & 1 & 0 & -1 \end{bmatrix}; X_{4p} = \begin{bmatrix} X_0 \\ X_2 \\ X_1 \\ X_3 \end{bmatrix}; H_4 = \text{diag} \begin{bmatrix} H_0 \\ H_0 + H_2 \\ H_2 \\ H_0 + H_1 \\ H_0 + H_1 + H_2 + H_3 \\ H_2 + H_3 \\ H_1 \\ H_1 + H_3 \\ H_3 \end{bmatrix}。$$

1.3.8 并行快速 FIR 滤波器公式推导

由 2 并行快速 FIR 滤波器和 4 并行快速 FIR 滤波器可推出 8 并行快速 FIR 滤波器, 8 并行快速 FIR 滤波器可由 3 级 2 并行级联而成, 结构框图如图 3 所示。矩阵可表示为:

$$Y_{8p} = \underbrace{B_8}_{\text{第三级}} \left(\underbrace{I_{3 \times 3} \otimes Q_{82}}_{\text{第二级}} \right) \left[\underbrace{I_{3 \times 3} \otimes (I_{3 \times 3} \otimes Q_{81})}_{\text{第一级}} \right] H_8 (P_2 \otimes (P_2 \otimes P_2)) X_{8p} \quad (3)$$

$$\text{式中: } \mathbf{Y}_{8p} = \begin{bmatrix} Y_0 \\ Y_4 \\ Y_2 \\ Y_6 \\ Y_1 \\ Y_5 \\ Y_3 \\ Y_7 \end{bmatrix}; \mathbf{X}_{8p} = \begin{bmatrix} X_0 \\ X_4 \\ X_2 \\ X_6 \\ X_1 \\ X_5 \\ X_3 \\ X_7 \end{bmatrix}; \mathbf{B}_8 = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & z^{-8} \\ 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 \\ -1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & -1 & 0 & 0 & 0 \\ 0 & -1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & -1 & 0 & 0 \\ 0 & 0 & -1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & -1 & 0 \\ 0 & 0 & 0 & -1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & -1 \end{bmatrix}; \mathbf{Q}_{82} = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 & z^{-8} \\ 0 & 1 & 0 & 0 & 1 & 0 \\ -1 & 0 & 1 & 0 & -1 & 0 \\ 0 & -1 & 0 & 1 & 0 & -1 \end{bmatrix}$$

$$\mathbf{Q}_{81} = \begin{bmatrix} 1 & 0 & z^{-8} \\ -1 & 1 & -1 \end{bmatrix}; \mathbf{H}_8 = \text{diag} \begin{bmatrix} H_0 \\ H_0 + H_4 \\ \vdots \\ H_3 + H_7 \\ H_7 \end{bmatrix}.$$

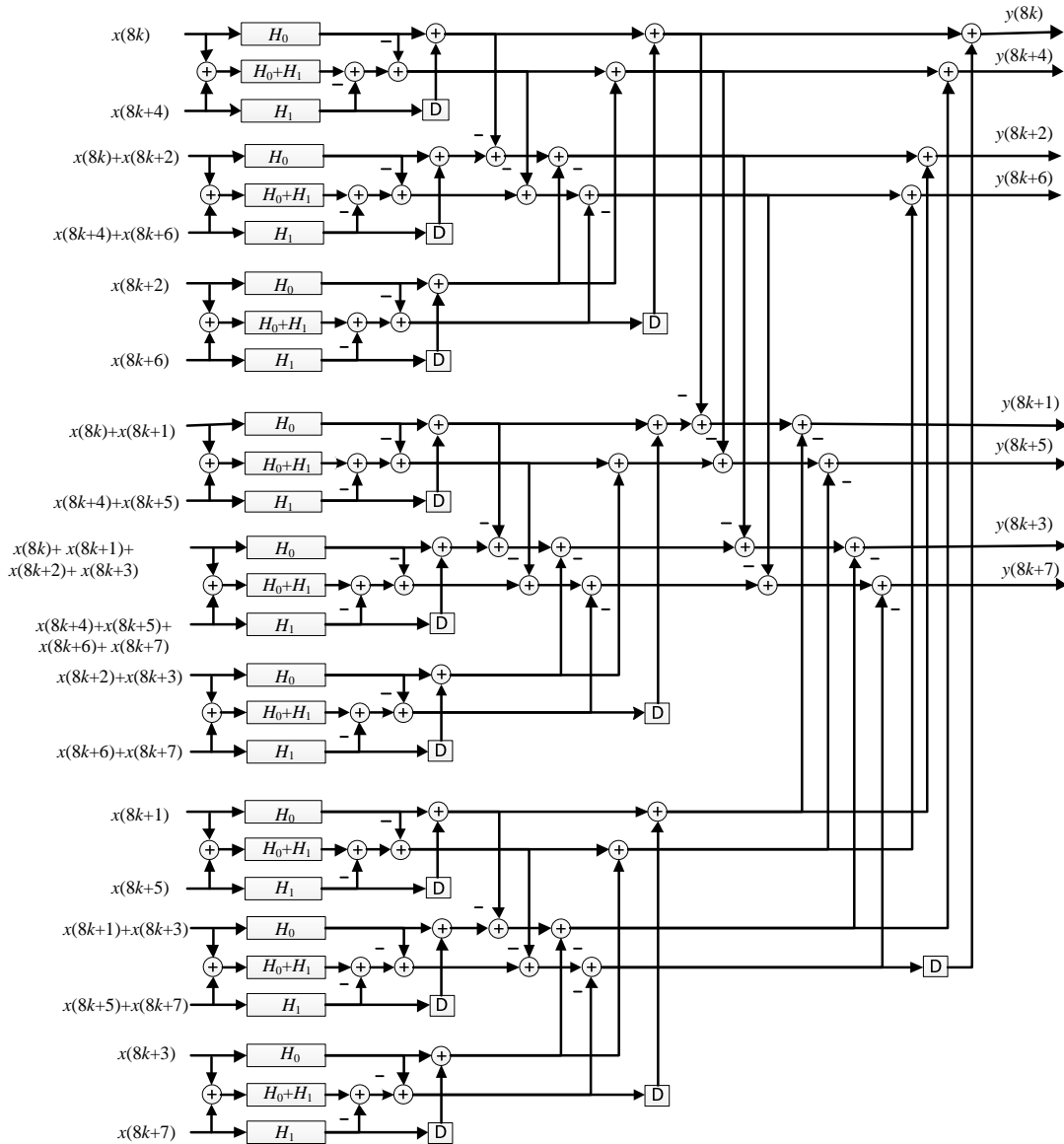


Fig.3 Schematic diagram of 8 parallel structure
图 3 8 并行的结构示意图

2 多并行度快速 FIR 滤波器通用公式推导

上文已经给出了 2 并行、4 并行、8 并行的 FIR 滤波器公式，可以看出，大尺寸的并行 FIR 滤波器可以级联更小尺寸快速并行滤波器的方式来实现。可以根据这个思想和上文 3 种快速 FIR 滤波器来递推更大尺寸的快速并行滤波器^[9-10]。

根据式(1)~(3)，可以看出 $M=2^N$ 并行的通用公式可表示为：

$$Y_{Mp} = B_M \hat{Q}_M H_M \hat{P}_M X_{Mp} \tag{4}$$

B_M 为 $2^N \times (2^{N-1} \times 3)$ 维，表示最后一级级联。

$$B_{2^N} = U_{2^N} + V_{2^N} + W_{2^N} \tag{5}$$

式中： $U_2 = \begin{bmatrix} 1 & 0 & 0 \\ -1 & 1 & -1 \end{bmatrix}$ ； $U_{2^N} = U_{2^{N-1}} \otimes \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix}$ ， \otimes 表示张量积； $V_{2^N} = \begin{bmatrix} 0_{2^{N-1} \times 2^{N-1}} & 0_{2^{N-1} \times 2^{N-1}} & V_{sub2^{N-1}} \\ 0_{2^{N-1} \times 2^{N-1}} & 0_{2^{N-1} \times 2^{N-1}} & 0_{2^{N-1} \times 2^{N-1}} \end{bmatrix}$ ，

$$V_{sub2^{N-1}} = \begin{bmatrix} 0_{2^{N-2} \times 2^{N-2}} & V_{sub2^{N-2}} \\ I_{2^{N-2} \times 2^{N-2}} & 0_{2^{N-2} \times 2^{N-2}} \end{bmatrix}, V_{sub2^0} = [0]; W_{2^N} = \begin{bmatrix} 0_{1 \times (2^N-1)} & z^{-2^N} \\ 0_{(2^N-1) \times (2^N-1)} & 0_{(2^N-1) \times 1} \end{bmatrix}。$$

\hat{Q}_M 为 $(2^{N-1} \times 3) \times 3^N$ 维，表示除最后一级外的其他级联： $\hat{Q}_M = (I_{3 \times 3} \otimes B_{2^{N-1}}) \cdots \left(\underbrace{I_{3 \times 3} \otimes \cdots \otimes I_{3 \times 3}}_{N-1} \otimes B_2 \right)$ 。

$B_{2^{N-1}} \cdots B_2$ 将右上角的延时 $z^{-2^{N-1}} \cdots z^{-2}$ 均改为 z^{-2^N} 。

H_M 为 $3^N \times 3^N$ 的对角阵，表示拆分后的子滤波器： $H_M = diag[\hat{P}_M M_M H]$ ，其中， $H = [H_1 H_2 \cdots H_M]$ 。

\hat{P}_M 为 $3^N \times 2^N$ 维， $P_M = \underbrace{P_2 \otimes \cdots \otimes P_2}_N$ 。

X_{Mp} 为 $2^N \times 1$ 维， $X_{Mp} = M_M X$ 。其中 $X = [X_1 X_2 \cdots X_M]$ ， $M_M = [M_{h_{2^{N-1} \times 2^N}}; M_{12^{N-1} \times 2^N}]$ ， $M_{h_{2^{N-1} \times 2^N}}$ ， $M_{12^{N-1} \times 2^N}$ 为 $2^{N-1} \times 2^N$ 维， $M_{h_{2^{N-1} \times 2^N}}$ 为 $M_{2^{N-1}}$ 每列后加 $0_{2^{N-1} \times 1}$ ， $M_{12^{N-1} \times 2^N}$ 为 $M_{2^{N-1}}$ 每列前加 $0_{2^{N-1} \times 1}$ ，Matlab 可表示为 $reshape([M_{2^{N-1}}; 0_{2^{N-1} \times 2^{N-1}}], 2^{N-1}, 2^N)$ ， $reshape([0_{2^{N-1} \times 2^{N-1}}; M_{2^{N-1}}], 2^{N-1}, 2^N)$ 。

3 64 并行快速 FIR 滤波器公式推导

因此可以得到 64 并行的矩阵为：

$$Y_{64p} = B_{64} \hat{Q}_{64} H_{64} \hat{P}_{64} X_{64p} \tag{6}$$

式中： B_{64} 为 64×96 维，为级联的第 6 级。 $B_{64} = U_{64} + V_{64} + W_{64}$ ，其中 $V_{64} = \begin{bmatrix} 0_{32 \times 32} & 0_{32 \times 32} & V_{sub32} \\ 0_{32 \times 32} & 0_{32 \times 32} & 0_{32 \times 32} \end{bmatrix}$ ， $V_{sub32} = \begin{bmatrix} 0_{16 \times 16} & V_{sub16} \\ I_{16 \times 16} & 0_{16 \times 16} \end{bmatrix}$ ，

而 $V_{sub2^0} = [0]$ 。 $W_{64} = \begin{bmatrix} 0_{1 \times 63} & z^{-64} \\ 0_{63 \times 63} & 0_{63 \times 1} \end{bmatrix}$ ； $U_{64} = \begin{bmatrix} 1 & 0 & 0 \\ -1 & 1 & -1 \end{bmatrix} \otimes \underbrace{\begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} \otimes \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} \otimes \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} \otimes \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} \otimes \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix}}_5$ 。

\hat{Q}_{64} 为 96×729 维：

$$\hat{Q}_{64} = \underbrace{(I_{3 \times 3} \otimes B_{32})}_{\text{第五级}} \underbrace{(I_{3 \times 3} \otimes I_{3 \times 3} \otimes B_{16})}_{\text{第四级}} \underbrace{(I_{3 \times 3} \otimes I_{3 \times 3} \otimes I_{3 \times 3} \otimes B_8)}_{\text{第三级}} \underbrace{(I_{3 \times 3} \otimes I_{3 \times 3} \otimes I_{3 \times 3} \otimes I_{3 \times 3} \otimes B_4)}_{\text{第二级}} \underbrace{(I_{3 \times 3} \otimes I_{3 \times 3} \otimes I_{3 \times 3} \otimes I_{3 \times 3} \otimes I_{3 \times 3} \otimes B_2)}_{\text{第一级}}$$

$B_{32}, B_{16}, B_8, B_4, B_2$ 为 $B_{32}, B_{16}, B_8, B_4, B_2$ 将右上角的延时 $z^{-32}, z^{-16}, z^{-8}, z^{-4}, z^{-2}$ 均改为 z^{-2^N} 。

H_{64} 为 729×729 的对角阵，对角线上元素为 $H_{64} = \hat{P}_{64} M_{64} H$ ， $H = [H_1 H_2 \cdots H_{64}]$ 。

\hat{P}_{64} 为 729×64 维， $\hat{P}_{64} = \underbrace{P_2 \otimes \cdots \otimes P_2}_6$ 。

X_{64} 为 64×1 维， $X_{64p} = M_{64} X$ ，其中 $X = [X_1 X_2 \cdots X_{64}]$ ， $M_{64} = [M_{h_{32 \times 64}}; M_{132 \times 64}]$ ， $M_{h_{32 \times 64}}$ 为 $reshape([M_{32}; 0_{32 \times 32}], 32, 64)$ ， $M_{132 \times 64}$ 为 $reshape([0_{32 \times 32}; M_{32}], 32, 64)$ 。

可以看出 64 并行的快速 FIR 滤波器可由 2 并行 FIR 滤波器通过 6 级级联而成，或者说 8 并行 FIR 滤波器通过 3 级级联而成，其他的并行快速 FIR 也可以根据通用公式表达并实现出来。

4 复杂度对比

对于并行度为 $M=2^N$ 的 K 阶滤波器,表 1 对比了采用直接从多项式分解导出的传统并行滤波器和优化后的快速 FIR 并行滤波器的乘法器和加法器的消耗情况。

表 1 2^N 并行的 K 阶滤波器乘法器和加法器对比表

Table1 Lyapunov coefficient		
2^N parallel K order filters	multiplier	adder
traditional parallel filter	2^N-K	$2^N(K-2^N+1)$
optimized fast FIR parallel filter	$(3/2)^N-K$	$\left(\frac{3}{2}\right)^N K+3^N+\sum_{i=2}^{N-1} 2^i 3^{N-i}$

对于 64 并行快速 FIR 滤波器,资源对比如表 2 所示,可以看出,优化后的算法比传统算法乘法器减少了 82%。

表 2 64 并行的 K 阶滤波器乘法器和加法器对比表

Table2 Lyapunov coefficient		
64 parallel K order filters	multiplier	adder
traditional parallel filter	$64K$	$64(K-63)$
optimized fast FIR parallel filter	$\approx 11.4K$	$\approx 11.4K+1509$

进一步对比 64 并行的 64 阶滤波器:传统并行滤波器需要 4 096 个乘法器和 64 个加法器,而优化后的快速 FIR 并行滤波器则需要 729 个乘法器和 2 238 个加法器,减少了 3 367 个乘法器,增加了 2 174 个加法器。在 FPGA 中一个乘法器需使用一个 DSP48E 的 IP 硬核,但加法器不需要 IP 核,只需要用到 LUT 就可以。在 FPGA 实现中一个乘法器需要的资源要远远大于一个加法器的资源,因此该算法大大减少了资源消耗。

5 结论

本文主要介绍了快速 FIR 并行滤波器的推导及实现,同时推导出 $M=2^N$ 并行的 K 阶滤波器快速 FIR 并行的通用公式。给出 64 并行快速 FIR 滤波器的实现公式及结构,同时将其和传统并行滤波器进行了复杂度对比,可以看出,优化后的算法比传统算法节约了 82% 的乘法器。

参考文献:

- [1] SUEN J Y, FANG M T, DENNY S P, et al. Modeling of terabit geostationary terahertz satellite links from globally dry locations[J]. IEEE Transactions on Terahertz Science and Technology, 2015, 5(2): 299-313.
- [2] SADR R, RAPHAELI D, HINEDI S. Wideband modem design based on multirate filter banks[C]// 1995 IEEE International Conference on Gateway to Globalization. Seattle, WA: [s.n.], 1995: 889-893.
- [3] 林长星. 2 Gbps 高速通信解调技术及其实现研究[D]. 北京:清华大学, 2012. (LIN Changxing. Research on demodulation technique and its implementation for 2 Gbps high speed communication[D]. Beijing: Tsinghua University, 2012.)
- [4] PARHI K K. VLSI digital signal processing systems: design and implementation[M]. New York: Wiley, 1999.
- [5] PARKER D A, PARHI K K. Low-area/power parallel FIR digital filter implementations[J]. Journal of VLSI Signal Processing Systems for Signal Image & Video Technology, 1997, 17(1): 75-92.
- [6] CHUNG J G, KIM Y B, JEONG H G, et al. Efficient parallel FIR filter implementations using frequency spectrum characteristics[C]// IEEE International Symposium on Circuits and Systems. Monterey, CA: IEEE, 2002: 354-358.
- [7] CHENG C, PARHI K K. Hardware efficient fast parallel FIR filter structures based on iterated short convolution[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2004, 51(8): 1492-1500.
- [8] PROAKIS J G, MANOLAKIS D G. Digital signal processing principles, algorithms, and applications[M]. New Jersey: Prentice Hall, 1996.
- [9] CHENG C, PARHI K K. Further complexity reduction of parallel FIR filters[C]// Proceeding of IEEE ISCAS. [S.l.]: IEEE, 2005: 1835-1838.
- [10] CHENG C, PARHI K K. Low-cost parallel FIR structures with 2-stage parallelism[J]. IEEE Transactions on Circuits System I: Regular Papers, 2007, 54(2): 280-290.