

文章编号: 2095-4980(2020)03-0427-05

## C波段宽带下变频型锁相高速跳频合成器

谢 迟, 倪文飞, 毛 飞

(安徽四创电子股份有限公司, 安徽 合肥 230000)

**摘 要:** 介绍了一种C波段宽带下变频型锁相高速跳频合成器, 主要用于雷达及通信领域。该频率合成器采用锁相环(PLL)与外插电路组合的方式, 将较高的输出频率迁移到较低频率后送至鉴相器, 大大降低 $N$ 分频器的工作频率, 提高了频率合成器的最高输出频率, 且输出频率间隔不变, 解决了提高合成器输出频率和不降低频率分辨率的矛盾, 实现低相位噪声输出。测试结果表明, 输出频率4 460 MHz时, 在频偏10 kHz处相位噪声为-123 dBc/Hz。采用可控输出的稳压芯片给HMC704LP4供电, 通过控制电源的通断, 保证HMC704LP4进入正确的工作模式, 有效解决了HMC704LP4上电模式选择错误造成的失锁问题。

**关键词:** 频率合成; 宽带; 相位噪声; HMC704LP4 芯片

**中图分类号:** TN74<sup>+</sup>3

**文献标志码:** A

**doi:** 10.11805/TKYDA2018206

## C band wideband and high speed frequency hopping frequency synthesizer

XIE Chi, NI Wenfei, MAO Fei

(Anhui SunCreate Electronic Co., Ltd., Hefei Anhui 230000, China)

**Abstract:** A C-band wideband and high speed frequency hopping source with low noise is presented. In order to improve the phase noise performance, the source contains single Phase Locked Loop(PLL) and down conversion circuit. The high frequency output moves to low frequency, which makes the working frequency of  $N$  divider reduced greatly, meanwhile the maximum output frequency of the frequency synthesizer is improved, and the frequency outputs at the same interval. This solves the contradiction of high frequency and low frequency interval, and realizes the output with low phase noise. The tests show that the phase noise is -123 dBc/Hz@10 kHz under output frequency of 4 460 MHz. The design uses controlled low dropout linear regulator as power supply for HMC704LP4 to avoid error mode selection. It effectively solve the unlock problem when powering up HMC704LP4 caused by error mode selection.

**Keywords:** frequency synthesizer; wideband; phase noise; HMC704LP4

随着雷达技术的不断发展, 宽频带覆盖、低相位噪声、低杂散水平以及高速跳频成为频率合成器重要发展趋势<sup>[1-2]</sup>。频率合成器的相位噪声对设备和系统的性能影响很大, 从频域看, 相位噪声分布在信号载波附近。当频率合成器的输出信号作为发射机的激励信号, 或作接收机的本振及各种频率基准时, 这些相位噪声将在解调过程中和所需信号一样出现在解调终端, 引起基带信噪比下降<sup>[3]</sup>。在通信系统中使话路信噪比下降或误码率增加; 在雷达系统中影响目标的分辨能力, 即改善因子<sup>[4]</sup>。随着技术的发展, 对频率合成器的相位噪声要求越来越严格。

### 1 频率合成器的相位噪声特性分析

频率合成分为直接式频率合成、锁相(间接)式频率合成和直接数字式合成3种<sup>[5]</sup>。锁相频率合成器主要由鉴相器(Phase Discriminator, PD)、环路低通滤波器(Low Pass Filter, LPF)、压控振荡器(Voltage Controlled Oscillator, VCO)等组成。由于现有鉴相器采用前置固定分频器分频, 在输出较高频信号时, 合成器的频率分辨率降低, 跳频速度降低, 相位噪声恶化<sup>[6]</sup>。图1为常规锁相环频率合成器原理框图, 输出频率为 $f_o=Nf_i/P$ , 频率间隔为 $f_i/P$ 。

本文在反馈支路加入一个下变频器, 将频率下移, 降低输出信号反馈到鉴相器的频率, 可有效减小环路分频

收稿日期: 2018-09-14; 修回日期: 2019-01-23

作者简介: 谢 迟(1988-), 男, 硕士, 主要研究方向为微波频率源设计。email: xiechi2010@163.com

比, 改善系统的相位噪声和动态响应特性<sup>[7]</sup>。参考信号与反馈信号在鉴相器中进行相位比较, 输出电压通过环路滤波器抑制噪声和低频分量来控制 VCO。系统通过控制反馈支路移频后的分频比, 实现跳频。如图 2 所示, 环路锁定时, 输出频率为  $f_o=(m+N/P)f_i$ , 频率间隔为  $f_i/P$ 。

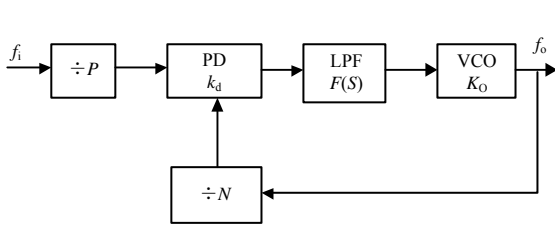


Fig.1 Diagram of the frequency synthesizer with traditional PLL  
图 1 常规锁相环频率合成器原理框图

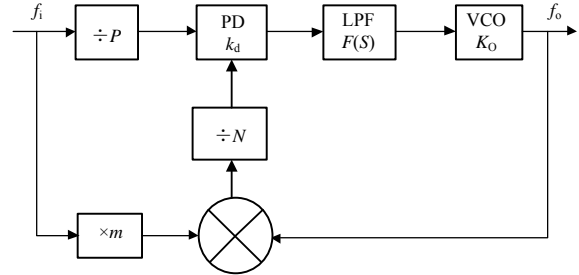


Fig.2 Diagram of the improved frequency synthesizer with down conversion  
图 2 改进后下变频型锁相环频率合成器原理框图

间接数字锁相式频率合成器的相位噪声计算方法为:

$$PN_{\text{synth}} = PN_{\text{TOT}} + 10 \lg F_{\text{PD}} + 20 \lg N \quad (1)$$

式中:  $PN_{\text{synth}}$  为频率合成器的相位噪声;  $PN_{\text{TOT}}$  为鉴相器的本底噪声;  $F_{\text{PD}}$  为鉴相频率;  $N$  为频率合成器的反馈分频比。

由式(1)可见, 在输出信号确定的情况下, 要提高频率合成器相位噪声, 必须降低反馈分频比  $N$ , 提高鉴相频率  $F_{\text{PD}}$ <sup>[8]</sup>。理论上, 鉴相频率提高 1 倍, 输出相位噪声提高 3 dB。假定鉴相频率  $F_{\text{PD}}$  不变, 由图 1~图 2 可见, 常规锁相环  $N=Pf_o/f_i$ , 改进后的下变频型锁相环  $N=(Pf_o/f_i)-P \times m$ , 反馈分频比  $N$  减小  $P \times m$ 。改进后的锁相环路中反馈分频比  $N$  大大减小, 在鉴相频率不变的情况下, 相位噪声明显提高。

## 2 C 波段宽带下变频型锁相高速跳频合成器设计与实现

采用锁相环(Phase Locked Loop, PLL)电路与外插电路的组合方式, 通过 2 次倍频后与锁相输出混频, 主要由鉴相器、环路滤波器、压控振荡器、介质滤波器、混频器、倍频器、带通滤波器等器件实现。采用 PLL 电路与外插电路的组合方式, 增加了一个辅助环路, 用混频器和低通滤波器代替原高速前置固定分频器<sup>[9]</sup>。由于混频器的加入, VCO 输出频率变为较低频率, 大大降低了  $N$  分频器的工作频率。在保证频率分辨率不变的条件下, 既拓宽了频率合成器的输出频率, 提高了 PLL 合成器的跳频速度, 又降低了输出信号的相位噪声。

基于宽带下变频型锁相高速跳频合成器工作原理, 设计了一个 C 波段频率源, 如图 3 所示。

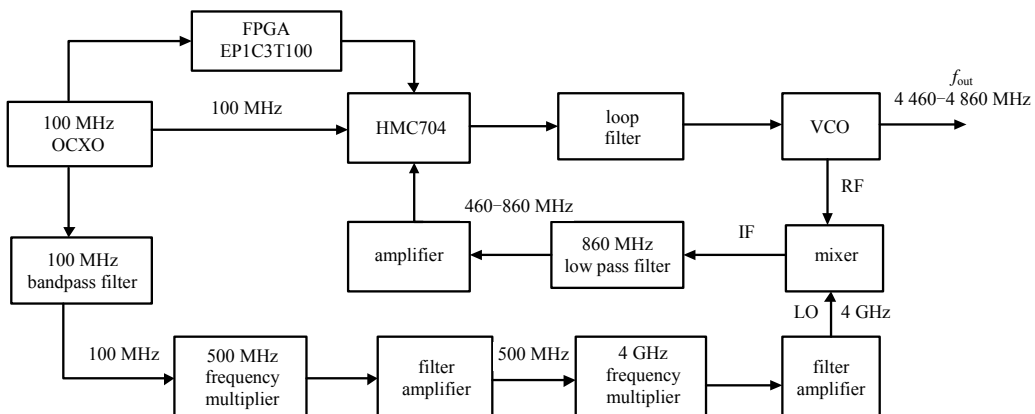


Fig.3 Diagram of the C-band frequency synthesizer with down conversion  
图 3 C 波段下变频型锁相环整体框图

采用下变频型锁相环使锁相环输出低相位噪声信号。外插电路产生的 4 GHz 信号与锁相环输出的信号混频, 使锁相环反馈到鉴相器的频率降低至 460~860 MHz, 进而降低了锁相环的反馈分频比, 从而可以在满足小步进的情况下获得低相位噪声<sup>[10]</sup>。

外插电路的输出频率为 4 GHz, 采用直接倍频的方式产生, 晶振输入信号 100 MHz, 相位噪声为 -155 dBc/Hz

@1 kHz, 倍频次数  $N=40$ , 理论输出相位噪声为  $-155+20\lg 40=-123$  dBc/Hz。锁相环输出频率为 4.46~4.86 GHz, 采用的鉴相器为 ADI 公司的 HMC704LP4, 鉴相频率为 20 MHz, 反馈到 HMC704LP4 的频率为 460~860 MHz, 相应的反馈分频比为  $N=32\sim 43$ 。HMC704LP4 的本底噪声为  $-233$  dBc/Hz, 锁相环的理论输出相位噪声为:  $PN_{\text{synth}}=-230+10\lg(20\times 10^6)+20\lg 43=-124$  dBc/Hz。常规的单环锁相反馈分频比为  $N=223\sim 243$ , 理论输出相位噪声为:  $PN_{\text{synth}}=-230+10\lg(20\times 10^6)+20\lg 243=-109$  dBc/Hz。比较可知, 理论上该下变频型锁相环比常规锁相环相位噪声改善 15 dB。

### 2.1 电路设计

如图 3 所示, 模块由两部分组成: 射频电路、数字控制电路, 两部分共用一个晶振产生 100 MHz 基准信号。晶振产生的 100 MHz 信号送入 HMC704LP4LP4 芯片, 经过内置基准分频器后与环路反馈信号进行鉴相。由 HMC704LP4LP4 鉴相器产生校准电压经过环路滤波器后, 送入压控振荡器产生输出频率。100 MHz 基准信号通过两组倍频器和带通滤波器产生 4 GHz 信号, 送入混频器对压控振荡器的输出信号进行下变频。混频器下变频产生 460~860 MHz 经过高通滤波器、低通滤波器和  $N$  分频器后送至鉴相器与参考信号进行鉴相。环路锁定以后, 通过数字部分控制  $N$  分频器分频比, 最终输出 20 MHz 跳频间隔——本振信号 4 460~4 860 MHz。

### 2.2 环路滤波器设计

低通滤波器在环路中处于鉴相器和 VCO 之间, 可以滤除来自晶振的噪声、鉴相器本身的输出噪声和载频分量, 以及减少鉴相频率的泄漏, 还可以滤除来自 VCO 的噪声, 但最重要的是建立起环路的动态特性<sup>[11]</sup>。

滤波器设计时其带宽需折中考虑, 带宽小了, VCO 噪声影响大, 且环路锁定时间延长; 带宽大了, 晶振和鉴相器噪声影响大<sup>[12]</sup>。借助于 ADIsimPLL 设计滤波器, 通过仿真, 在鉴相频率为 20 MHz, 输出频率为 4 460 MHz 时, 设定滤波器为有源三阶低通滤波器, 3 dB 带宽为 800 kHz, 相位裕度为 70°。滤波器电路图如图 4 所示, 频率合成器相位噪声仿真结果如图 5 所示。

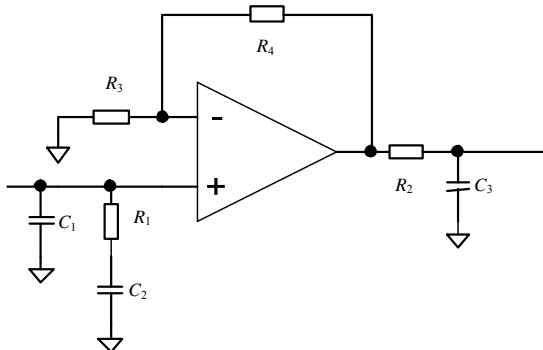


Fig.4 Diagram of PLL loop filter  
图 4 环路滤波器电路图

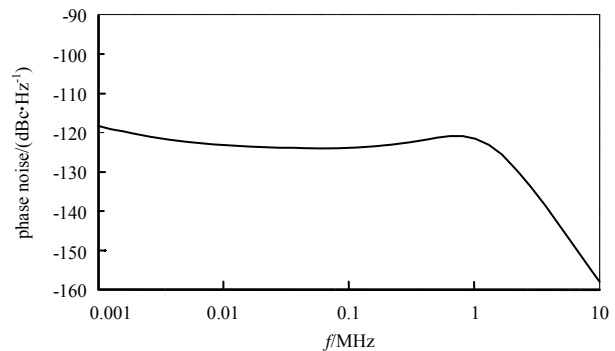


Fig.5 Phase noise simulation result of the frequency synthesizer  
图 5 频率合成器相位噪声仿真结果

### 2.3 控制电路设计

数字电路部分产生的控制信号送至鉴相器, 控制鉴相器 HMC704LP4 内部分频器的分频比。同时输出一路控制信号, 控制 HMC704LP4 电源的通断, 通过控制电源实现鉴相器 HMC704LP4 的复位。

HMC704LP4 串行接口包括 2 种工作模式: Open Mode 与 HMC Mode。HMC704LP4 的模式选择发生在芯片  $U_{DD}$  上电与 Power On Reset(POR)之后。 $U_{DD}$  上电后 450  $\mu$ s, 芯片内部自动复位, 复位后通过检测 SCLK 与 SEN 的上升沿选择模式。若先检测到 SCLK 的第一个上升沿, 则芯片进入 Open Mode。若先检测到 SEN 的第一个上升沿, 则芯片进入 HMC Mode。模式一旦选择, 不会改变, 除非将 PLL 芯片  $U_{DD}$  断电, 重新选择模式。

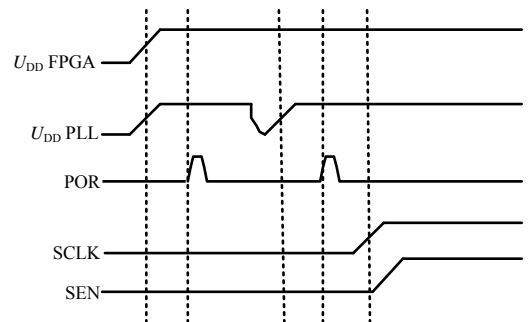


Fig.6 Diagram of HMC704LP4 SPI timing control  
图 6 HMC704LP4 串口控制时序图

本设计采用可控输出的稳压芯片 ADP151 给 HMC704LP4 供电, 通过控制  $U_{DD}$  的通断, 保证 PLL 进入正确的模式。如图 6 所示, 在  $U_{DD}$  PLL 与  $U_{DD}$  MPU 上电后, 串行外设接口(Serial Peripheral Interface, SPI)输出达到稳定, 设置 SPI 输出低电平。断开  $U_{DD}$  PLL 后重新上电, 450  $\mu$ s 后 PLL 芯片复位, 芯片复位后, SPI 输出 SCLK 的上升沿, PLL 进入 Open Mode。有效解决了 HMC704LP4 上电模式选择错误造成的失锁问题。

## 2.4 电磁兼容设计

频率合成器采取双面布局的设计思路, 正面为射频电路, 反面为电源与控制电路。正反两面的电路通过穿心电容与玻璃绝缘子互联, 通过一体化设计, 保证各功能模块之间的高隔离, 使杂波抑制满足要求<sup>[13]</sup>。通过仿真设计环路滤波器以适应锁相环路, 选择合适的环路带宽, 既能保证鉴相泄漏的抑制满足杂散的要求, 又能满足快速跳频的要求<sup>[14]</sup>。

电源供电采用高电源纹波抑制比(Power Supply Rejection Ratio, PSRR)、超低噪声电压可控输出稳压芯片 ADP151。超低噪声达到 9  $\mu$ Vrms, PSRR 性能达到 70 dB(10 kHz)。保证电源噪声对锁相环相位噪声的影响, 同时有效隔离干扰信号。正反面电源通过穿心电容互联, 大大降低微波信号从电源的泄漏<sup>[15]</sup>。控制电路的输入加入了隔离, 防止干扰从控制电路串到输出电路, 同时防止控制电路的控制信号反串至外部电路。

## 3 测试结果

采用 Agilent 公司的频谱分析仪 E4440A 和 R&S 公司的相噪分析仪测得频率合成器的输出频率为 4.46 GHz, 杂散抑制大于 75 dBc, 输出功率大于 10 dBm, 相位噪声小于  $-120$  dBc/Hz@10 kHz, 4 460 MHz 输出信号频谱如图 7 所示, 相位噪声测试结果如图 8 所示。

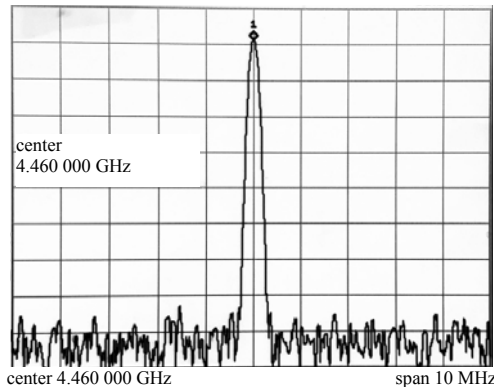


Fig.7 Spectrum of 4 460 MHz output frequency  
图 7 4 460 MHz 输出信号频谱

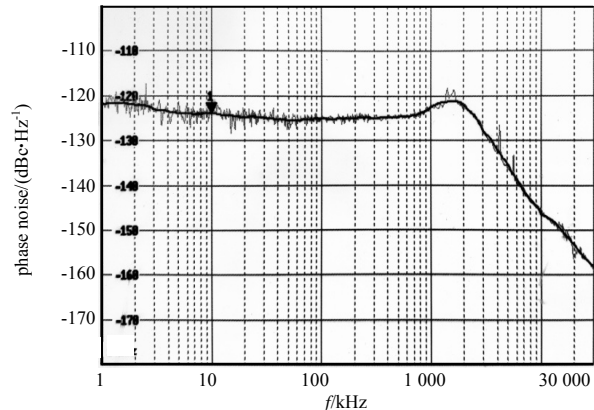


Fig.8 Phase noise test result of 4 460 MHz output frequency  
图 8 4 460 MHz 输出信号相噪测试结果

测试结果表明, 实际输出信号 4 460 MHz 的相位噪声约为  $-123$  dBc/Hz@10kHz, 与理论计算得到的相位噪声  $PN_{\text{synth}}=-124$  dBc/Hz@10 kHz 相比, 恶化 1 dB; 与常规单环锁相理论噪声  $PN_{\text{synth}}=-109$  dBc/Hz@10 kHz 相比, 改善约 14 dB。

## 4 结论

本文利用 PLL 电路与外插电路的组合方式提高输出频率, 降低分频比从而改善信号的相位噪声, 提高合成器的跳频速度。设计出一种具有超宽带频率合成器, 它具有宽频带、低杂散、低相位噪声等特点, 输出相位噪声  $\leq -123$  dBc/Hz@10 kHz。与常规单环锁相比, 相位噪声得到很大改善。该频率合成器已成功用于某型雷达系统中, 有效提高了雷达的改善因子。同时本设计采用可控输出的稳压芯片 ADP151 给 HMC704LP4 供电, 通过控制  $U_{DD}$  的通断保证 PLL 进入正确的模式, 有效解决了 HMC704LP4 上电模式选择错误造成的失锁问题。

### 参考文献:

- [1] 刘类骥, 王立生. 一种雷达频率源的简易设计方法[J]. 电讯技术, 2014, 54(4): 476-479. (LIU Leiji, WANG Lisheng. A simple design method of radar frequency synthesizer[J]. Telecommunication Engineering, 2014, 54(4): 476-479.)

- [2] 叶莉娜,杨涛,陈宏素. 基于锁相环技术的 X 波段频率源的研制[J]. 微波学报, 2010,26(S1):311-313. (YE Li'na, YANG Tao, CHEN Hongsu. Design of X-band frequency synthesizer based on PLL[J]. Journal of Microwaves, 2010,26(S1): 311-313.)
- [3] SNEATH B, PREETHICHANDRA D M G. Design & evaluation of hybrid direct digital synthesis/phase locked loop frequency synthesizer[C]// Proceedings of IEEE Instrumentation and Measurement Technology Conference. 2016:1-6.
- [4] 于孟国. 低相位噪声 10 次倍频器研究[J]. 宇航计测技术, 2014(3):31-33. (YU Mengguo. Research on 10-fold multiplier with low phase noise[J]. Journal of Astronautic Metrology and Measurement, 2014(3):31-33.)
- [5] 刘佳琪. 矢量信号源频率合成技术的研究[D]. 南京:东南大学, 2012. (LIU Jiaqi. Investigations on frequency synthesis technology for vector signal generator[D]. Nanjing, China: Southeast University, 2012.)
- [6] 潘碑,苏卫国. 锁相频率源混频信号的相位噪声分析[J]. 固体电子学研究与进展, 2014,34(5):432-435. (PAN Bei, SU Weiguo. Phase noise analysis of phase-locked loops connecting to a mixer[J]. Research & Progress of SSE, 2014,34(5): 432-435.)
- [7] 蔡敏,刘海威,张云. 基于 HMC704LP4E 的宽带步进频率源设计与实现[J]. 电子技术, 2015(10):19-22. (CAI Min, LIU Haiwei, ZHANG Yun. Design and implementation of wideband stepped-frequency source based on HMC703LP4E[J]. Electronic Technology, 2015(10):19-22.)
- [8] 张冬,孙军,袁登荣. 一种测距系统的频率源设计[J]. 现代雷达, 2013,35(12):72-75. (ZHANG Dong, SUN Jun, YUAN Dengrong. Design of a frequency source for a distance measurement system[J]. Modern Radar, 2013,35(12):72-75.)
- [9] 刘兴,胡天涛. 小型化宽带微波频率合成器设计[J]. 电子科技, 2018,31(7):63-66. (LIU Xing, HU Tiantao. Design of miniature wide band microwave synthesizer[J]. Electronic Science and Technology, 2018,31(7):63-66.)
- [10] 潘阳卉,程龙宝,杨振. C 波段宽带高速跳频频率源的设计与实现[J]. 无线电工程, 2018,48(4):324-328. (PAN Yanghui, CHENG Longbao, YANG Zhen. Design of a C-band broadband fast hopping frequency synthesizer[J]. Radio Engineering, 2018,48(4):324-328.)
- [11] 鲁纯,韩周安. C 频段宽带低杂散频率合成器的设计与实现[J]. 现代电子技术, 2015,38(3):87-89,94. (LU Chun, HAN Zhou'an. Design and implementation of broad-band and low-spurious frequency synthesizer of C-band[J]. Modern Electronics Technique, 2015,38(3):87-89,94.)
- [12] 高树廷,高峰,徐盛旺,等. 合成频率源工程分析与设计[M]. 北京:兵器工业出版社, 2008. (GAO Shuting, GAO Feng, XU Shengwang, et al. The design and analysis of synthesized frequency source[M]. Beijing: Publishing House of Ordnance Industry, 2008.)
- [13] 杨光,杨杰,蒋国琼,等. 基于双环 X 波段低相噪频率合成器的设计与实现[J]. 太赫兹科学与电子信息学报, 2012, 10(1):68-71. (YANG Guang, YANG Jie, JIANG Guoqiong, et al. Design and implementation of X-band low phase noise frequency synthesizer using dual-loop technology[J]. Journal of Terahertz Science and Electric Information Technology, 2012,10(1):68-71.)
- [14] 白居易. 低噪声频率合成[M]. 西安:西安交通大学出版社, 1995. (BAI Juxian. Low noise frequency synthesizer[M]. Xi'an, China: Xi'an Jiaotong University Press, 1995.)
- [15] 董洪新,郜战雄,李强,等. 基于晶振倍频鉴相的 C 波段低相噪频率源设计[J]. 太赫兹科学与电子信息学报, 2016, 14(4):606-609. (DONG Hongxin, TAI Zhanxiong, LI Qiang, et al. Design of C-band low noise frequency synthesizer based on phase detecting with crystal oscillator multiplication[J]. Journal of Terahertz Science and Electric Information Technology, 2016,14(4):606-609.)