

文章编号: 2095-4980(2020)02-0345-05

## 一种结构简单的高精确度带隙基准源设计

张泽伟, 宋树祥\*, 蒋品群, 庞中秋

(广西师范大学 电子工程学院, 广西 桂林 541004)

**摘要:** 设计了一款快速启动、高稳定性的实用型带隙基准电压源。基准源电路基于 110 nm 的 CMOS 标准工艺实现, 使用 Cadence 软件进行仿真。仿真表明, 在室温下, 电源电压为 3.3 V 时, 输出基准电压为 1.2 V; 在  $-40\text{ }^{\circ}\text{C}\sim 85\text{ }^{\circ}\text{C}$  范围内温度漂移系数为 33 ppm/ $^{\circ}\text{C}$ ; 电路启动时间为 0.5  $\mu\text{s}$ ; 电源电压抑制比在低频时达到  $-61\text{ dB}$ ; 功耗为 0.967 mW; 版图面积为  $50\text{ }\mu\text{m}\times 180\text{ }\mu\text{m}$ 。该电路结构简单, 易于集成, 可应用于高速、高精确度的数模转换器(DAC)。

**关键词:** 带隙基准源; 互补金属氧化物半导体; 温度系数; 电源抑制比

中图分类号: TN432

文献标志码: A

doi: 10.11805/TKYDA2018231

## Design of a simple structure bandgap reference with high precision

ZHANG Zewei, SONG Shuxiang\*, JIANG Pinqun, PANG Zhongqiu

(College of Electronic Engineering, Guangxi Normal University, Guilin Guangxi 541004, China)

**Abstract:** A practical bandgap reference voltage source is designed with quick start and high stability. It selects 110 nm CMOS(Complementary Metal Oxide Semiconductor) device technology and simulation software of Cadence. The simulation results indicate that under room temperature, the output voltage is 1.2 V under 3.3 V power supply; the temperature drift coefficient is 33 ppm/ $^{\circ}\text{C}$  between  $-40\text{ }^{\circ}\text{C}\sim 85\text{ }^{\circ}\text{C}$ ; it takes 0.5  $\mu\text{s}$  to start the circuit; and the power consumption is 0.967 mW; Power Supply Rejection Ratio(PSRR) reaches  $-61\text{ dB}$  in the range of low frequency; the layout covers an area of  $50\text{ }\mu\text{m}\times 180\text{ }\mu\text{m}$ . Because its simple structure and being easy to be integrated, the circuit can be applied to DAC(Digital to Analog Converter) with high speed and high precision.

**Keywords:** bandgap reference; Complementary Metal Oxide Semiconductor(CMOS); temperature coefficient; voltage suppression ratio

随着集成电路技术的高速发展, 数字技术已经深入人们生活的方方面面, 而 DAC 是连接数字与模拟世界的桥梁。带隙基准电压源是 DAC 中的一个单元模块, 它的稳定性影响 DAC 整个系统的精确度和性能。随着 DAC 精确度的不断提高, 设计一个好的带隙基准电压源具有重要的现实意义<sup>[1]</sup>。带隙基准源是为了获得一个与电源电压、温度和工艺参数都无关的稳定的输出。目前带隙基准电压源的主要研究方向集中在低功耗、低温漂、高电源电压抑制比和温度补偿等方面。为了满足低温度系数和高电源电压抑制比的要求, 电路结构也变得越复杂或采用比较特殊的工艺, 增加了设计成本<sup>[2-13]</sup>。

综合上述目前带隙基准源技术的优缺点, 本文采用 110 nm CMOS 工艺, 在传统的设计理论基础上, 应用负反馈的原理和电流镜等结构, 使电路结构简单, 达到设计要求, 实用性强, 能够应用到大多数的片上系统(System-On-Chip, SOC)芯片上。

### 1 电路结构设计

图 1 为所设计的带隙基准源电路, 由 3 部分组成: 启动电路、基准核心电路、运算放大器。整个电路中接

收稿日期: 2018-09-26; 修回日期: 2018-12-05

基金项目: 国家自然科学基金资助项目(61361011); 广西自然科学基金资助项目(2017GXNSFAA198363)

作者简介: 张泽伟(1994-), 男, 在读硕士研究生, 主要研究方向为模拟集成电路。email: zzwjsr@163.com

\*通信作者: 宋树祥 email: songshuxiang@mailbox.gxnu.edu.cn

入了使能信号 EN，当 EN 为高电平时，整个电路正常工作；当 EN 为低电平时，整个电路不工作，降低了整个电路的功耗。

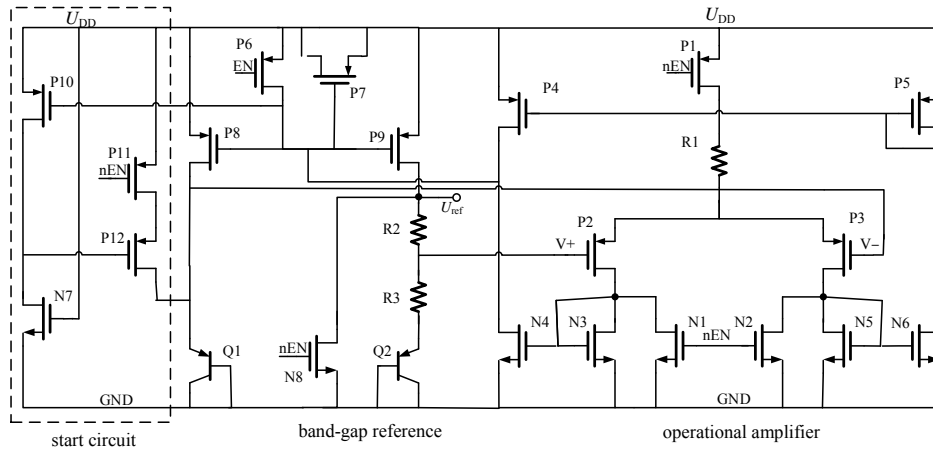


Fig.1 Circuit of the band-gap reference  
图 1 带隙基准电压源整体电路

### 1.1 启动电路分析

由于带隙基准源在电源上电后可能不能正常工作，即工作在零点状态，为了避免这种状况出现，需要设计一个启动电路来脱离零点状态。图 1 中 P10, P11 和 N7 组成启动电路，当电路上电后，并且提供有效的使能信号 EN，EN 和 nEN 互为反向信号，启动电路开始工作。EN 为高电平时，nEN 为低电平，P6 关闭，P11 打开，N7 的栅极连接  $U_{DD}$ ，N7 打开，导致 P12 的栅极输入为低电平，P12 打开，产生电流，注入基准核心电路，使电路正常工作。电路正常工作后，P10 镜像 P8 的电流，在 N7 上产生电压，当电压大于  $U_{DD}$  减去 P12 的阈值电压时，P12 关闭，启动电路对基准电路不再影响。当 P10 镜像到的电流变小时，即电路进入零点工作状态，启动电路会重新启动，等电路工作到正常状态会再次关闭。当使能信号 EN 输入为低电平时，P6 打开，P11 关闭，启动电路不再工作，可以减小电路的功耗。

### 1.2 基准核心电路分析

图 1 中的 P6, P7, P8, P9, N8, R2, R3, Q1, Q2 和运放组成基准核心电路。带隙基准源的基本原理是将具有负温度系数的双极晶体管基极-发射极电压 ( $U_{BE}$ ) 和在不同的极电流下具有正温度系数的  $\Delta U_{BE}$  以合适的权重相加，获得与温度无关的基准电压。电路正常工作时，运算放大器使整个电路工作在深度负反馈。当电源电压升高时，Q1 与 Q2 支路上的电流增大，因此运算放大器的 2 个输入端 V+ 与 V- 的输入电压会升高。然而  $R_3$  上的压降呈线性增大，Q1 上的压降呈对数增大，Q1 电压的上升速度比  $R_3$  电压的上升速度小，运放由于输入正电压使得输出电压增大，导致 Q1 与 Q2 支路上的电流减小，形成深度负反馈，使电流稳定。

晶体管的集电极电流 ( $I_C$ ) 与基极-发射极电压 ( $U_{BE}$ ) 的关系为：

$$I_C = I_S e^{\frac{U_{BE}}{U_T}} \quad (1)$$

$$U_{BE} = U_T \ln \frac{I_C}{I_S} \quad (2)$$

式中： $I_S$  为双极晶体管饱和电流； $U_T$  为热电压。

由于运算放大器输入两端的静态工作点相同，所以在电阻  $R_3$  上的压降为：

$$\Delta U_{BE} = U_{BE(Q1)} - U_{BE(Q2)} = U_T \ln \frac{nI_{C1}}{I_{S1}} - U_T \ln \frac{I_{C2}}{I_{S2}} \quad (3)$$

式中： $n$  为晶体管 Q1 和 Q2 的面积之比， $n=8$ 。由于 MOS 管 P8 和 P9 的比值为 8:2，即  $I_{C1}=4I_{C2}$ ，因此  $R_3$  上的压降为：

$$\Delta U_{BE} = U_T \ln 32 \quad (4)$$

根据式(4)可得：

$$I_2 = \frac{\Delta U_{BE}}{R_2} = \frac{U_T \ln 32}{R_2} \quad (5)$$

因此，带隙基准电压源的输出电压为：

$$U_{ref} = U_{BE(Q2)} + I_2(R_2 + R_3) = U_{BE(Q2)} + \frac{U_T \ln 32}{R_2}(R_2 + R_3) \quad (6)$$

$U_{BE} \approx 750 \text{ mV}$ ， $U_{ref} \approx 1.2 \text{ V}$ 。在  $T = 300 \text{ K}$  时，想要获得零温度系数， $R_3$  和  $R_2$  需满足以下关系：

$$\frac{R_2 + R_3}{R_2} \approx \frac{17.2}{\ln 32} \quad (7)$$

根据理论算出的电阻值，只是一个大概的值，还要按照实际电路的仿真来调整电阻值，以获得好的温度特性的基准电压。当使能信号 EN 为高电平时，P6 和 N8 会关闭，基准电路正常工作；EN 为低电平时，P6 打开，拉高 P8 和 P9 的栅压，导致两边支路没有电流通过，基准电路不工作，并且 N8 打开，输出的  $U_{ref}$  为 GND。

### 1.3 运放电路分析

本论文的带隙基准源使用图 2 所示的运放电路。P2,P3,N3,N4 和 R1 组成运放的第一级，P4,P5,N5 和 N6 组成运放的第二级，P1,N1 和 N2 为开关。当使能信号 EN 为高电平时，N1 和 N2 关闭，P1 打开，通过电阻 R1 产生偏置电流，运放进入正常工作，并且工作在深度负反馈状态，将 V+和 V-钳制在同一电位上。使能信号 EN 为低电平时，P1 关闭，没有偏置电流产生，N1,N2 打开，N3 和 N5 短路，运放不工作。整个运放正常工作时，运放的增益为 61 dB(如图 3)，PSRR(电源抑制比)为-64.8 dB(如图 4)。

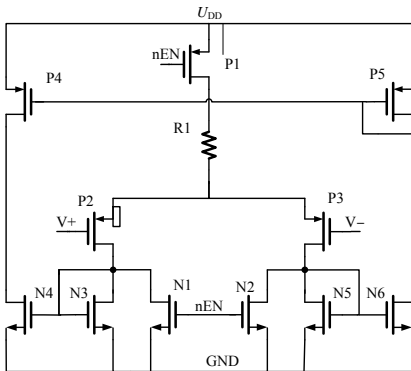


Fig.2 Operational amplifier  
图 2 运算放大器

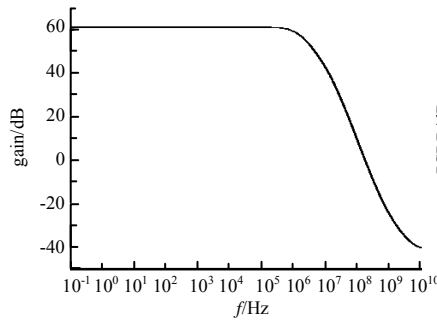


Fig.3 Amplitude curve of the proposed operational amplifier  
图 3 运放的增益曲线

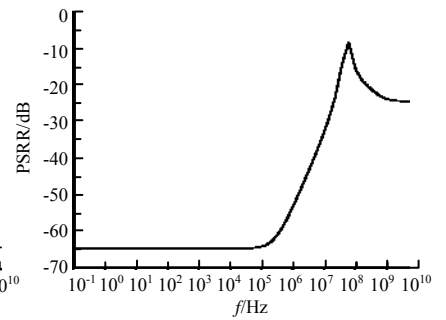


Fig.4 PSRR characteristic curve of the proposed operational amplifier  
图 4 运放的电源电压抑制比曲线

## 2 电路仿真与版图

设计的带隙基准源电路基于 110 nm CMOS 工艺，采用 Cadence 中的 Spectre 对电路进行仿真。在 TT 工艺常温 27 °C 下，带隙基准源的 PSRR 为-61 dB，基准输出电压为 1.2 V，电路功耗为 292 μA。在-40 °C~85 °C 范围内，基准源温度漂移(如图 5)系数为 38 ppm/°C，电路启动(如图 6)时间为 0.5 μs。通过表 1 可以看到，MOS 管、BJT(三极管)和电阻在不同工艺角下，基准的输出电压为 1.187 7~1.220 8 V，变化范围在±20 mV 内，精确度在±1.7%之内。基准电源电源电压抑制比如图 7 所示。

表 1 不同工艺角下的基准输出电压  
Table1 Output voltage in different corners

model	TT(MOS)	FF(MOS)	SS(MOS)	FS(MOS)	SF(MOS)
TT(BJT)/TT(RES)	1.200 2	1.200 4	1.200 0	1.200 1	1.200 3
TT(BJT)/SS(RES)	1.188 3	1.188 4	1.188 1	1.188 2	1.188 3
TT(BJT)/FF(RES)	1.217 9	1.218 1	1.217 7	1.217 8	1.218 0
SS(BJT)/TT(RES)	1.202 0	1.199 4	1.201 8	1.201 9	1.202 0
SS(BJT)/SS(RES)	1.189 4	1.188 0	1.189 3	1.189 3	1.189 5
SS(BJT)/FF(RES)	1.220 7	1.216 2	1.220 4	1.220 6	1.220 8
FF(BJT)/TT(RES)	1.199 3	1.199 4	1.199 1	1.199 2	1.199 3
FF(BJT)/SS(RES)	1.187 9	1.188 0	1.187 7	1.187 8	1.187 9
FF(BJT)/FF(RES)	1.216 0	1.216 2	1.215 8	1.215 9	1.216 1

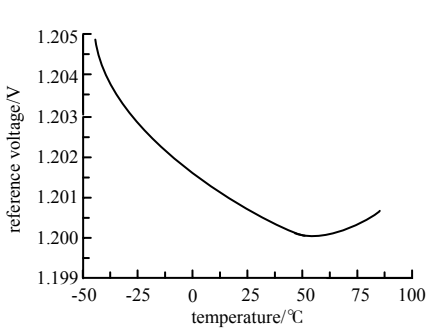


Fig.5 Temperature drift of the reference voltage  
图 5 基准电压温漂

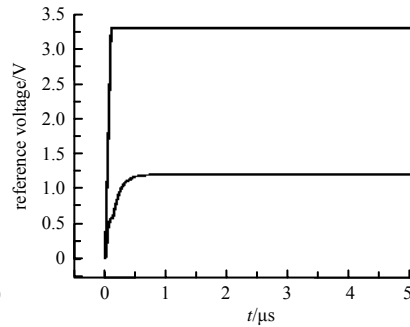


Fig.6 Startup curve of reference voltage  
图 6 基准电压源启动曲线

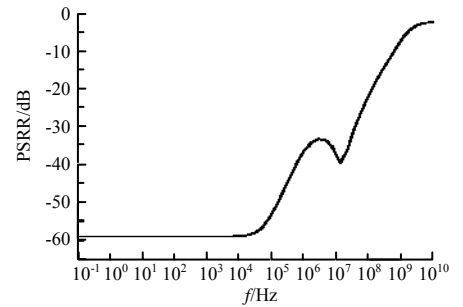


Fig.7 PSRR characteristic curve of proposed bandgap reference source  
图 7 基准电源电源电压抑制比曲线

基于 110 nm CMOS 工艺完成基准源版图设计, 如图 8 所示。为了减小失配, 增强电路的匹配性, BJT 晶体管 Q1 和 Q2 采用  $3 \times 3$  阵列摆放, Q1 摆放在阵列的最中央, 围绕着 Q1 的等面积的 BJT 并联组成 Q2; 电阻使用相同长度的电阻串联组成, 并在电阻的四周增加了虚拟电阻; 差分运放整体呈现对称结构, 并在四周堆放虚拟 MOS 管。

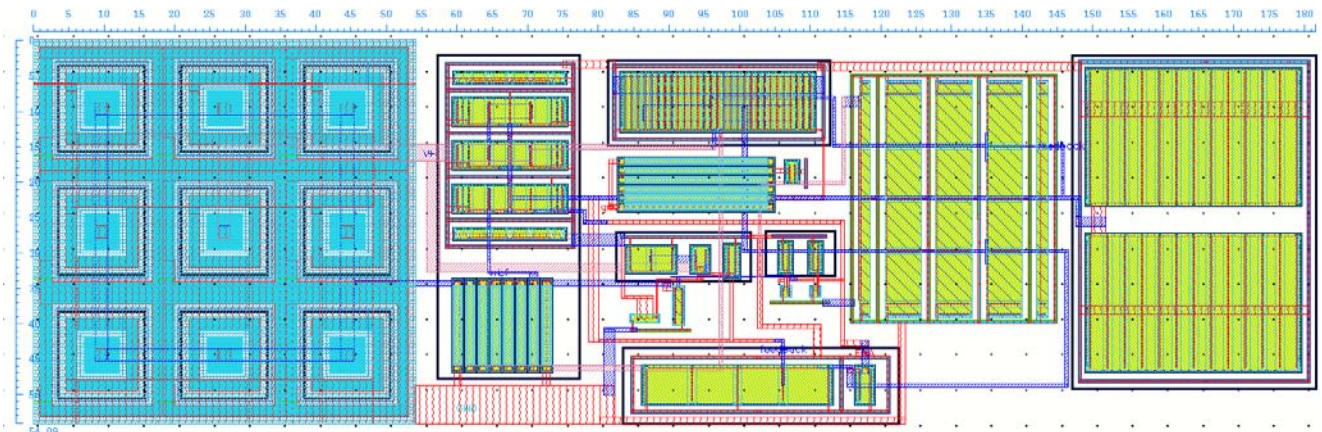


Fig.8 Layout of chip  
图 8 芯片版图

表 2 为本文基准源与其他文献的基准源的性能对比, 可以看出, 本文的基准源具有较好的温度系数, 结构简单, 版图面积小, 易于集成, 可以应用到高速、高精度的 DAC 中, 具有较高的实用价值; 在不同的工艺条件与仿真平台均能实现, 具有通用性和可移植性, 适用于不同的系统。相比于其他文献, 本文设计的带隙基准源仍存在不足: PSRR 的性能不是很好, 需要进行改进。在不同的工艺条件下想获得同样的结果, 需要重新调整电路中 MOS 管的宽长比和电阻的阻值。

表 2 与相关文献性能对比  
Table 2 Performance comparison with references

parameter	this article	literature [14]	literature [15]
process size/ $\mu\text{m}$	0.110	0.180	0.014
voltage/V	3.3	3.0	0.8
output voltage/V	1.200	1.157	0.370–0.460
temperature range/ $^{\circ}\text{C}$	-40–85	-25–125	-20–125
temperature drift coefficient/(ppm/ $^{\circ}\text{C}$ )	33.0	37.2	135.6
PSRR/dB	61	65	42
layout area/ $\mu\text{m}^2$	50 $\times$ 180	-	-

### 3 结论

在传统带隙基准源理论的基础上设计了一款快速启动、高稳定性的带隙基准源。该带隙基准源结构简单, 版图面积小, 在  $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$  内, 温度漂移系数为 33 ppm/ $^{\circ}\text{C}$ , 低频时电源电压抑制比为  $-61$  dB。在 3.3 V 的电源电压下, 输出的基准电压为 1.2 V, 在不同的工艺角下, 输出范围偏差不超过  $\pm 1.7\%$ , 满足了低温度漂移系数和高精确度的要求, 该基准源被用于高速、高精度的 DAC 中。

## 参考文献：

- [1] 幸新鹏,李冬梅,王志华. CMOS 带隙基准源研究现状[J]. 微电子学, 2008,38(1):57-63,71. (XING Xinpeng,LI Dongmei,WANG Zhihua. An overview of the research on CMOS bandgap reference sources[J]. Microelectronics, 2008, 38(1):57-63,71.)
- [2] 陈剑,马腾飞. 带有自偏置功能的高性能带隙基准源电路设计[J]. 中国集成电路, 2018,27(5):38-42. (CHEN Jian,MA Tengfei. High performance bandgap reference circuit design with self-biased function[J]. China Integrated Circuit, 2018, 27(5):38-42.)
- [3] 青旭东,钟黎,王永禄,等. 一种低温漂高电源抑制比带隙基准源的设计[J]. 电子技术应用, 2018,44(1):17-19,23. (QING Xudong,ZHONG Li,WANG Yonglu,et al. Design of a bandgap reference with low temperature drift and high power supply rejection ratio[J]. Application of Electronic Technique, 2018,44(1):17-19,23.)
- [4] 吕江萍,胡巧云. 一种曲率补偿的高精度带隙基准源设计[J]. 电子与封装, 2016,16(8):34-36,40. (LYU Jiangping,HU Qiaoyun. Design of a bandgap reference with curvature compensation[J]. Electronics and Packaging, 2016,16(8):34-36,40.)
- [5] 张华拓,张国俊. 一种高低温高阶曲率补偿带隙基准源[J]. 微电子学, 2016,46(3):311-314. (ZHANG Huatuo,ZHANG Guojun. A high and low temperature high-order curvature compensated bandgap reference[J]. Microelectronics, 2016,46(3):311-314.)
- [6] ZHOU Qianneng,ZHU Ling,LI Hongjuan,et al. Novel high PSRR high-order temperature-compensated subthreshold MOS bandgap reference[J]. The Journal of China Universities of Posts and Telecommunications, 2017,24(6):74-82.
- [7] REN Mingyuan,ZHAO Enming. A bandgap reference with temperature coefficient of 13.2 ppm/°C[J]. Advanced Materials Research (Volume 981), 2014:66-69.
- [8] YE Rongke,HU Rongbin. A bandgap reference with high order temperature compensation[J]. Advanced Materials Research (Volumes 1049-1050), 2014:649-652.
- [9] SALEHI M R,DASTANIAN R,ABIRI E,et al. A 1.58 nW power consumption and 34.45 ppm/°C temperature coefficient bandgap reference(BGR) for subblocks of RFID tag[J]. Microelectronics Journal, 2015,46(5):383-389.
- [10] 崔晶晶,曾以成,夏俊雅. 低温漂高 PSRR 的二阶补偿带隙基准源设计[J]. 太赫兹科学与电子信息学报, 2018,16(3): 565-569. (CUI Jingjing,ZENG Yicheng,XIA Junya. Design of a low temperature drift and high PSRR bandgap reference source with second-order compensation[J]. Journal of Terahertz Science and Electronic Information Technology, 2018, 16(3):565-569.)
- [11] 刘锡锋,孙萍,居水荣,等. 一款全 CMOS 结构低功耗亚阈带隙基准源[J]. 半导体技术, 2018,43(9):645-651. (LIU Xifeng,SUN Ping,JU Shuirong,et al. An all-CMOS-structure bandgap reference with low power consumption based on sub threshold[J]. Semiconductor Technology, 2018,43(9):645-651.)
- [12] 石立志,廖春连. 一种二阶曲率补偿的带隙基准源设计[J]. 中国集成电路, 2018,27(9):63-66. (SHI Lizhi,LIAO Chunlian. A second-order compensation bandgap circuit design[J]. China Integrated Circuit, 2018,27(9):63-66.)
- [13] 杜涛,蔡红艳,梁科,等. 一种新型带隙基准源设计[J]. 电子技术应用, 2018,44(11):9-12,16. (DU Tao,CAI Hongyan, LIANG Ke,et al. Design of a novel bandgap reference[J]. Application of Electronic Technique, 2018,44(11):9-12,16.)
- [14] 秦少宏,胡永贵,胡云斌,等. 一种高 PSRR 无电阻带隙基准源[J]. 微电子学, 2017,47(4):457-460. (QIN Shaohong,HU Yonggui,HU Yunbin,et al. A high PSRR bandgap reference without resistors[J]. Microelectronics, 2017,47(4):457-460.)
- [15] PRILENSKI LUCAS,MUKUND P R. A sub 1-Volt subthreshold bandgap reference at the 14 nm FinFET node[J]. Microelectronics Journal, 2018,79(1):17-23.