

文章编号: 2095-4980(2020)02-0318-07

## GaN HEMT 栅工艺优化及性能提升

孔 欣<sup>1</sup>, 陈勇波<sup>1</sup>, 董若岩<sup>2</sup>, 刘 安<sup>2</sup>, 汪昌思<sup>1</sup>

(1.中国电子科技集团公司 第二十九研究所, 四川 成都 610036; 2.成都海威华芯科技有限公司, 四川 成都 610299)

**摘要:** 针对 0.5  $\mu\text{m}$  氮化镓高电子迁移率晶体管(GaN HEMT)自对准 T 型栅工艺, 提出一种优化的解决方案。在感应耦合等离子体设备中引入两段法完成氮化硅栅足的干法刻蚀, 其中, 主刻蚀部分形成具有一定倾斜角度的氮化硅斜面, 从而减小栅下沟道电场强度并提高栅金属对氮化硅槽填充的完整性; 软着陆部分则以极低的偏置功率对氮化硅进行过刻蚀, 确保完全清除氮化硅的同时尽量减小沟道损伤。通过器件优化前后各项特性的测试结果对比发现: 优化后的器件关态击穿电压从 140 V 提升至 200 V 以上, 3.5 GHz 下输出功率密度从 5.8 W/mm 提升至 8.7 W/mm, 功率附加效率(PAE)从 55.5% 提升至 66.7%。无偏置高加速应力试验 96 h 后, 工艺优化后的器件外观无明显变化, 最大电流变化 < 5%, 表明器件可靠性良好。

**关键词:** 氮化镓高电子迁移率晶体管; 栅工艺; 电感耦合等离子体刻蚀; 性能提升; 可靠性  
**中图分类号:** TN305.99      **文献标志码:** A      **doi:** 10.11805/TKYDA208341

## Performance improvements through gate process optimization for GaN HEMTs

KONG Xin<sup>1</sup>, CHEN Yongbo<sup>1</sup>, DONG Ruoyan<sup>2</sup>, LIU An<sup>2</sup>, WANG Changsi<sup>1</sup>

(1.The 29th Research Institute, China Electronics Technology Group Corporation, Chengdu Sichuan 610036, China;  
2.Chengdu HiWafer Semiconductor Co., Ltd, Chengdu Sichuan 610299, China)

**Abstract:** Two-step dry etch method in the Inductive Coupled Plasma(ICP) chamber is proposed and applied to the SiN gate foot definition during the self-aligned 0.5 micron T-gate fabrication for GaN High Electron Mobility Transistor(GaN HEMT). The main etching part forms a tilted silicon nitride side wall, which reduces the electric field intensity in the channel under the gate and improves the gate metal filling in the silicon nitride recess. The soft landing part performs the over-etching process with a very low bias power to ensure the complete removal of silicon nitride and reduce the channel damage. Compared with the control device without any optimization, the off-state breakdown voltage of the optimized device shows an obvious increase from 140 V to more than 200 V. Moreover, the output power density and the Power Added Efficiency(PAE) at 3.5 GHz are promoted from 5.8 W/mm to 8.7 W/mm and 55.5% to 66.7%, respectively. After un-biased highly accelerated stress test for 96 hours, no obvious change in the appearance of the optimized device can be observed, and the change of the maximum drain current is less than 5%, indicating that the device reliability is pretty good.

**Keywords:** GaN High Electron Mobility Transistor; gate process; Inductive Coupled Plasma(ICP) etch; performance improvement; reliability

氮化镓(GaN)材料作为第三代半导体的典型代表, 以其独有的优异性能, 成为学术界和产业界关注的热点。GaN 基高电子迁移率晶体管(HEMT)具备高功率密度、高功率附加效率(PAE)、高增益以及易于实施阻抗匹配等特点, 可有效提高射频工作链路的整体效率, 是下一代射频/微波功率放大器的首选技术<sup>[1-5]</sup>。第五代移动通信网络(5G)自 2019 年开始逐步展开组网布局, 预计将给 GaN 技术带来充分的市场牵引, 促进 GaN 技术的进一步成熟以及成本的进一步下降, 达成 GaN 射频微波技术的大规模商业应用<sup>[6-8]</sup>。

经过多年发展, 目前国内外主流的商用 GaN 工艺最大可加工晶圆尺寸均已达到 4 吋或 6 吋水平, 其中欧洲的 UMS(United Monolithic Semiconductors)、台湾的稳懋半导体以及国内的中电科 13 所和 55 所均为 4 吋线工艺,

收稿日期: 2018-11-05; 修回日期: 2019-01-02

作者简介: 孔 欣(1987-), 男, 博士, 主要研究方向为氮化镓微波功率器件与电路。email:kx\_hustest@163.com

而美国的 Qorvo 则已经全面采用 6 吋线工艺<sup>[9-13]</sup>。5G 应用对 GaN 技术的发展既是空前的机遇,同时也提出了更高的成本要求和可靠性要求。欧姆接触、介质钝化、栅和背孔等都是影响 GaN 器件可靠性的关键工艺,但影响最为显著的仍是栅工艺<sup>[14]</sup>。目前所有的主流商用 GaN 工艺技术均毫无例外地采用干法刻蚀氮化硅(SiN)的方式形成 T 型栅的栅足部分,再通过一次单独光刻形成 T 型栅的栅帽部分,从而实现自对准 T 型栅工艺。上述工艺中, SiN 的干法刻蚀尤为重要,必须在实现低损伤刻蚀的同时形成具有一定倾斜角度的 SiN 斜面。其中,低损伤刻蚀有利于减小栅漏电,可有效抑制高温、高压应力条件下的栅极失效;获得具有一定倾斜角度的 SiN 斜面则一方面有助于抑制栅下沟道电场强度,提高关态击穿电压,另一方面有利于栅金属对 SiN 栅足的充分填充,提高器件长期可靠工作能力。

为达成上述 SiN 干法刻蚀工艺目标,本文提出针对性的优化解决方案,完成了 0.5  $\mu\text{m}$  栅长的 GaN 器件制作,并通过全面的测试对比,确认了优化后的器件在输出电流、关态击穿电压、输出功率及效率等关键指标上的全面提升。此外,可靠性评估试验结果表明,优化后的器件在 96 h 无偏置高加速应力试验之后,最大电流值变化幅度小于 5%,说明器件具备良好的可靠性。

## 1 栅工艺优化

对于 GaN HEMT,大部分的器件性能退化或失效均与栅有关,主要包含以下几点:a) 栅下刻蚀损伤形成陷阱,俘获载流子,造成 DC-RF 色散效应,降低器件的输出功率和效率;b) 栅下刻蚀损伤在高电场或高温情形下会引发碰撞电离,造成源漏电流急剧增加,进而引发器件击穿;c) 高电场或热应力下栅退化,表现为栅漏电增加,栅控能力减弱,长时间工作后形成不可逆损伤,器件无法正常关断而构成失效<sup>[15]</sup>。因此, GaN HEMT 栅工艺质量对于器件的性能和长期可靠工作非常重要。本文重点针对自对准 T 型栅工艺中的 SiN 刻蚀工艺进行优化,以期降低器件刻蚀损伤,抑制器件相关失效机制,从而提高器件性能和可靠性。

### 1.1 刻蚀角度优化

通过优化 SiN 刻蚀工艺,形成较大角度的斜面,既有利于栅金属的良好填充,又可以通过缓解栅靠近漏一侧等电势线的聚集,达到降低电场强度的目的,进而提升源漏击穿电压,提高器件的可靠工作能力<sup>[16]</sup>。为达成上述效果,首先在晶圆表面匀涂 0.6  $\mu\text{m}$  高分辨力正胶,然后在步进式光刻机中直接光刻出 0.5  $\mu\text{m}$  线宽的特征线条,随后在 135  $^{\circ}\text{C}$  真空热板上烘烤 2 min 完成回流烘胶,使作为刻蚀掩膜的光刻胶形成较大的倾斜角度,便于后续 SiN 刻蚀形成相应的角度。图 1 为光刻胶掩膜剖面的电镜效果图,可以看到,其底部特征尺寸为 480 nm,胶厚为 590 nm,光刻胶角度为 65 $^{\circ}$ 左右。在 ICP 设备中进行 SiN 刻蚀,优化之前的刻蚀效果如图 2(a)所示:光刻胶剩余厚度约为 460 nm,底部特征尺寸约为 510 nm, SiN 侧壁角度在 85 $^{\circ}$ 左右,底部平整。通过优化刻蚀功率选择、气体配比和腔体压力,结果如图 2(b)所示:光刻胶剩余厚度约为 425 nm,底部特征尺寸约为 450 nm, SiN 侧壁角度在 45 $^{\circ}$ 左右,底部平整。优化后的工艺条件为:ICP 功率为 50 W; F 基气体:O<sub>2</sub>=6:1;偏置功率为 10 W;腔体压力为 3 mT。

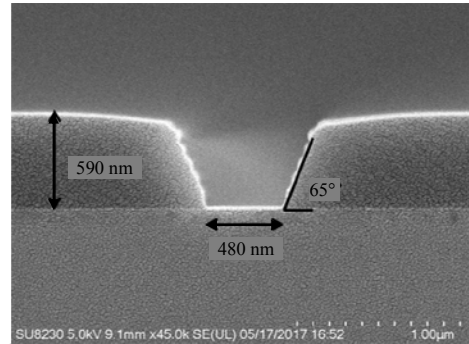


Fig.1 Cross-sectional image of the photoresist mask captured by Scanning Electron Microscope(SEM)

图 1 光刻胶掩膜剖面电子扫描显微镜照片

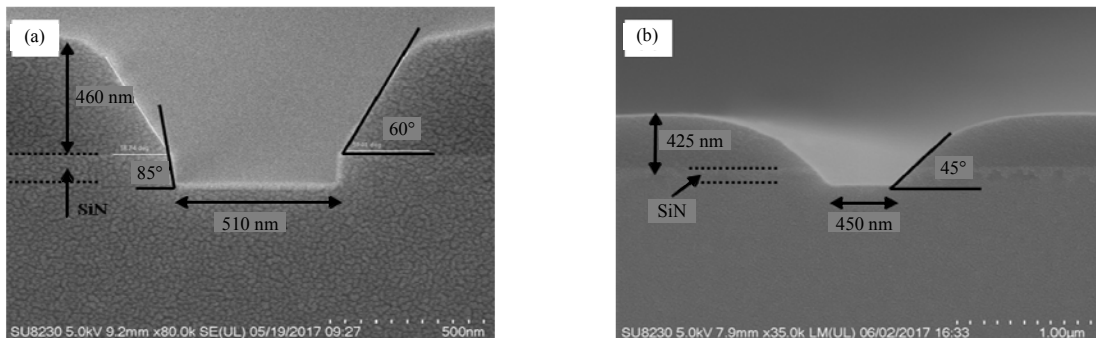


Fig.2 SEM images of the SiN cross-sectional profile before (a) and after (b) recipe optimization of the ICP dry etch  
图 2 (a) ICP 干法刻蚀工艺菜单优化前的 SiN 刻蚀形貌; (b) ICP 干法刻蚀工艺菜单优化后的 SiN 刻蚀形貌

可见,通过回流烘胶工艺结合 ICP 干法刻蚀条件的优化,成功得到了倾斜角度为  $45^\circ$  的 SiN 斜面,为栅工艺优化奠定基础。

### 1.2 刻蚀速率优化

为实现刻蚀过程的可控性,需将刻蚀速率控制在  $20 \text{ nm/min}$  左右,这样刻蚀  $100 \text{ nm}$  厚度 SiN 介质所用时间在  $5 \text{ min}$  以上,能够确保较好的工艺窗口。由于气体配比、偏置功率和腔体压力对刻蚀后的 SiN 侧壁角度具有明确影响,因此在优化刻蚀速率时只调整 ICP 功率值,将原来的  $50 \text{ W}$  调整为  $40 \text{ W}$ ,通过该参数的变化来调控腔体中产生的等离子体密度,进而对刻蚀速率进行优化,做到刻蚀可控。表 1 给出了优化后的刻蚀速率和均匀性,可见,在不同的总刻蚀时间下刻蚀速率均能稳定在  $20 \text{ nm/min}$  附近;从晶圆上、下、左、中、右 5 点刻蚀深度的结果看,刻蚀均匀性在  $5\%$  以内,表现良好。

表 1 优化后的刻蚀速率及均匀性  
Table1 Etch rate and uniformity of the optimized etch recipe

etch time/min	etch depth/nm					etch rate /( $\text{nm}\cdot\text{min}^{-1}$ )	uniformity/%
	top	center	bottom	left	right		
4	76.9	78.1	78.1	76.1	81.9	19.55	3.71
5	98.4	107.0	104.0	100.0	101.0	20.42	4.21
6	116.0	121.0	123.0	119.0	119.0	19.93	2.93
7	142.0	136.0	141.0	145.0	143.0	20.20	3.18

针对单一固定总刻蚀时间(以  $6 \text{ min}$  为例)考察刻蚀工艺的批次间一致性,结果如表 2 所示,4 批次之间刻蚀速率稳定,刻蚀均匀性均在  $5\%$  以内,具备应用基础。

表 2 优化后工艺的稳定性  
Table2 Process stability of the optimized recipe

etch time/min	run	etch depth/nm					etch rate /( $\text{nm}\cdot\text{min}^{-1}$ )	uniformity/%
		top	center	bottom	left	right		
6	1	116	121	123	119	119	19.93	2.93
	2	125	117	117	122	117	19.93	3.34
	3	112	117	120	117	113	19.3	3.45
	4	115	117	115	118	119	19.47	1.71

### 1.3 优化效果验证

对刻蚀工艺进行了优化并达到了预期效果,且刻蚀工艺片内均匀性、批次间一致性均较好,刻蚀速率稳定。下面进行两段式刻蚀工艺设计并在 GaN HEMT 上验证栅工艺优化效果。

SiN 待刻蚀深度为  $100 \text{ nm}$ ,特征尺寸为  $0.5 \mu\text{m}$ ,两段式刻蚀工艺设计如下:

首先采用优化后的刻蚀工艺进行主刻蚀,即 ICP 功率为  $40 \text{ W}$ ,F 基气体: $\text{O}_2=6:1$ ,偏置功率为  $10 \text{ W}$ ,腔体压力为  $3 \text{ mT}$ ,刻蚀时间  $5 \text{ min}$ ,刻蚀深度约为  $100 \text{ nm}$ 。

为确保刻蚀完全,需增加一步过刻蚀,工艺条件设置如下:ICP 功率为  $40 \text{ W}$ ,去除  $\text{O}_2$  只保留 F 基气体,偏置功率为  $0$ ,腔体压力为  $10 \text{ mT}$ ,刻蚀时间  $1 \text{ min}$ ,过刻蚀比例约为  $20\%$ 。

其中,第一段为主刻蚀,在完成目标  $100 \text{ nm}$  深度 SiN 介质大部分刻蚀的同时,通过加入  $\text{O}_2$  并优化 F 基气体与  $\text{O}_2$  的配比,调整偏置功率和腔体压力,形成倾斜的 SiN 侧壁角度;第二段为软着陆,去除  $\text{O}_2$  的同时将偏置功率降为  $0$ ,将沟道损伤降至最低程度,实现完全刻蚀的同时保证低损伤,ICP 腔体压力提高至  $10 \text{ mT}$ ,可以增加刻蚀速率,同时减小等离子体自由程,确保低损伤。

在 GaN HEMT 工艺流程中引入上述优化后的刻蚀工艺,通过聚焦离子束+透射电子显微镜分析可以看到,对准 T 型栅的栅足部分 SiN 刻蚀干净,无残留,并形成了较为倾斜的角度,栅金属填充完全,如图 3 所示。

## 2 器件制作

器件制作基于采用金属有机化合物化学气相沉淀(Metal-Organic Chemical Vapor Deposition, MOCVD)法生长于  $4\text{H-SiC}$  衬底上的  $6 \text{ 吋}$  AlGaIn/GaN 异质结构,外延层由下至上依次为  $50 \text{ nm}$  厚 AlN 成核层,  $1.8 \mu\text{m}$  厚的 GaN

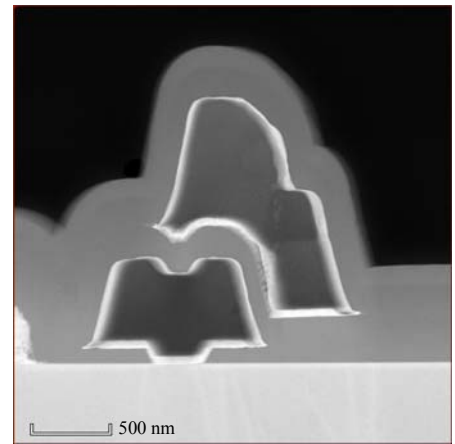


Fig.3 Cross-sectional image of T-gate using the optimized SiN dry etch recipe

图 3 采用优化刻蚀工艺制作的 T 型栅横截面图

缓冲和沟道层, 1 nm 厚的 AlN 空间插入层, 20 nm 厚的 AlGaIn 势垒层, 其 Al 组份为 25%, 最上面是一层 2 nm 厚的 GaN 帽层, 所有层均未故意掺杂。室温下的霍尔测量表明, 二维电子气面密度为  $n_s=1.0\times 10^{13}\text{cm}^{-2}$ , 载流子迁移率为  $1950\text{cm}^2/(\text{V}\cdot\text{s})$ , 方块电阻为  $320\ \Omega/\text{sq}$ 。

器件源漏欧姆接触采用 Ti/Al/Ni/Au 多层金属体系, 在  $850\text{ }^\circ\text{C}$  下快速热退火 30 s 形成欧姆接触。TLM 测试得到欧姆接触电阻率为  $0.45\ \Omega\cdot\text{mm}$ , 方阻为  $335\ \Omega/\text{sq}$ 。随后采用 PECVD 生长第一层 100 nm 厚度的 SiN 介质并完成离子注入隔离, 隔离漏电为百 pA 级。T 型栅如前文所述分为两次光刻, 第一次光刻出栅足线条, 特征尺寸  $0.5\ \mu\text{m}$ 。在回流烘胶之后, 分别采用前述优化前和优化后的刻蚀工艺对 SiN 进行刻蚀, 然后去除光刻胶并匀涂敷胶经光刻显影形成栅帽图形, 继而蒸发栅金属, 再经剥离工艺完成栅电极制作。栅金属采用 Ni/Au 体系, 厚度为  $50/500\ \text{nm}$ 。随后生长第二层 SiN 介质对 T 型栅进行支撑保护, 接着制作源场板, 后续继续完成布线工艺, 实现多指器件的栅、源、漏互联。背面工艺首先在晶圆正面匀涂保护层并反扣键合至载片上, 随后将晶圆背面减薄至  $100\ \mu\text{m}$ , 最后制作背孔并通过电镀实现孔金属化互联。图 4 为完成所有工艺之后的器件显微镜照片, 器件栅长为  $0.5\ \mu\text{m}$ , 栅宽为  $6\times 300\ \mu\text{m}$ , 源漏间距为  $6.0\ \mu\text{m}$ , 栅源间距为  $1.2\ \mu\text{m}$ , 栅漏间距为  $4.3\ \mu\text{m}$ , 源场板长度为  $0.6\ \mu\text{m}$ 。

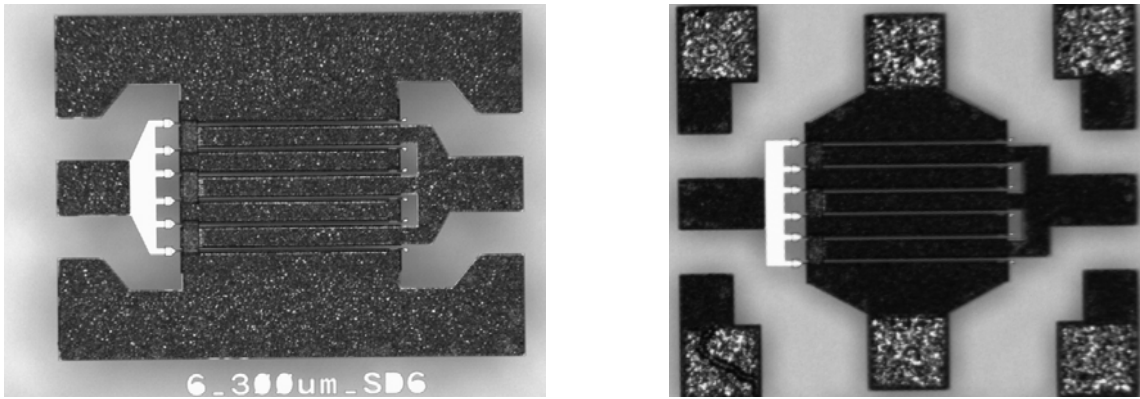


Fig.4 Microscope images of the devices after process completed  
图4 工艺完成后的器件显微镜照片

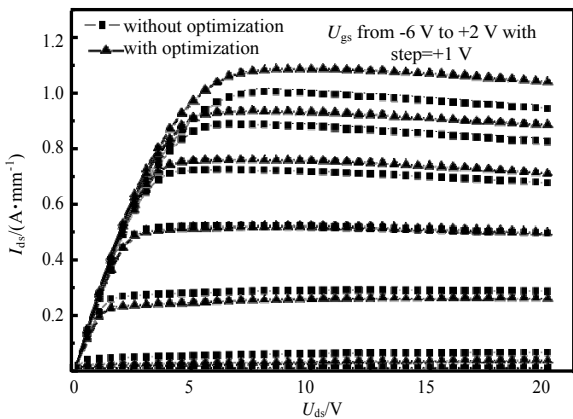


Fig.5  $I-U$  comparison for devices with and without optimization  
图5 优化前后器件  $I-U$  曲线对比

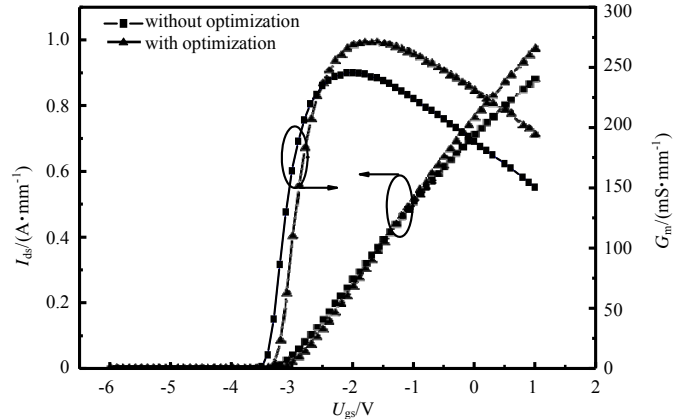


Fig.6 Comparison of the transfer characteristics for devices with and without optimization  
图6 优化前后器件转移特性对比

### 3 结果与讨论

#### 3.1 直流特性

采用半导体参数分析仪测试器件的直流特性。其中, 输出  $I-U$  曲线如图 5 所示, 在  $U_{gs}=+2\text{ V}$  下, 优化后器件最大输出电流  $I_{d,\text{max}}=1.1\text{ A/mm}$ , 与未经优化器件的  $1.01\text{ mA/mm}$  相比, 提升幅度为 10%。图 6 为器件的转移特性对比, 在  $U_{ds}=10\text{ V}$  时, 测得优化后的器件最大跨导为  $270\text{ mS/mm}$ , 而未经优化的器件最大跨导为  $245\text{ mS/mm}$ , 提升幅度为 10%。优化后器件阈值电压  $U_{th}=-3.2\text{ V}$ , 未经优化的器件阈值电压  $U_{th}=-3.4\text{ V}$ 。图 7 为器件的关态击穿电压对比, 采用源漏电流注入 ( $1\text{ mA/mm}$ ) 的方式进行测试<sup>[17-18]</sup>, 在  $U_{gs}=(U_{th}-1)\text{ V}$  (本文取  $U_{gs}=-5\text{ V}$ ) 得到优化后的器件关态击穿电压超过  $200\text{ V}$ , 而未经优化的器件关态击穿电压为  $140\text{ V}$ , 工艺优化对于器件击穿特性提升显著。通过以上典型直流特性的对比可以看到, 栅工艺优化后器件各项性能指标均有比较明显的提升。

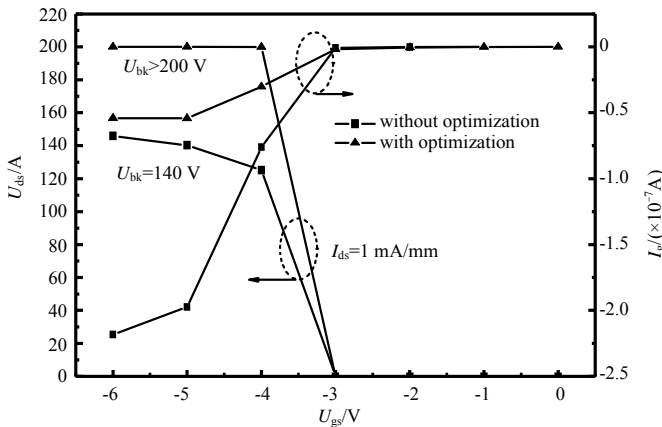


Fig.7 Comparison of the off-state breakdown voltage for devices with and without optimization  
图 7 优化前后器件关态击穿电压对比

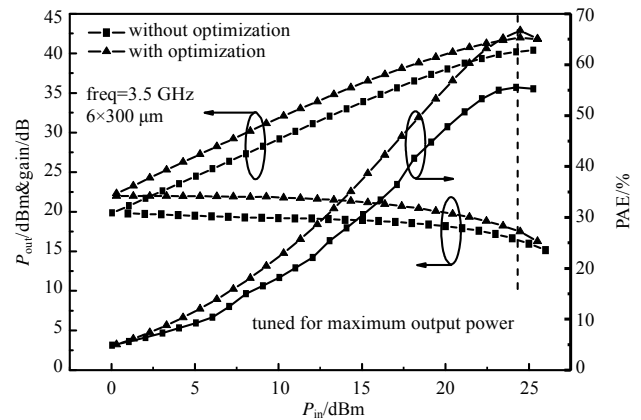


Fig.8 Comparison of the large-signal power performance for devices with and without optimization  
图 8 优化前后器件大信号功率特性对比

### 3.2 大信号功率测试

采用 Focus 公司 0.8~18 GHz 负载牵引系统对  $6 \times 300 \mu\text{m}$  器件进行大信号连续波(Continuous Wave, CW)功率测试,测试频点为 3.5 GHz,器件漏压偏置为 +48 V,源漏电流设定为 60 mA,为深 AB 类偏置。在较小输入功率下对器件负载端和输入端阻抗分别针对输出功率和传输增益进行调谐,得到最佳输出阻抗和合理输入阻抗值。优化后器件输出最优阻抗点为  $34.15 + j40.66$ ,输入合理端阻抗为  $9.96 + j12.68$ ;未经优化的器件输出端最佳阻抗为  $55.94 + j44.02$ ,输入合理阻抗为  $12.62 + j8.28$ 。针对输入功率进行扫描,得到 2 种器件的输出功率、增益和 PAE 如图 8 所示,优化后器件的饱和输出功率、功率附加增益和功率附加效率分别为 41.97 dBm(8.7 W/mm)、17.49 dB 和 66.7%,相应地,未经优化的器件上述 3 个指标则分别为 40.19 dBm(5.8 W/mm)、15.96 dB 和 55.5%。可见,通过栅工艺优化,器件的输出功率、增益以及效率都得到明显提升。台湾稳懋公司在 2017 年公开了其 GaN NP45 工艺(栅长为  $0.45 \mu\text{m}$ )的相关技术指标,其总栅宽为 4 mm 的器件在 2.7 GHz 下脉冲输出功率密度为 7.1 W/mm,增益为 14.5 dB,PAE 为 60.5%<sup>[10]</sup>。与之相比,本文所给出的器件相关技术指标均优于稳懋公司。

### 3.3 分析讨论

从器件测试结果来看,栅工艺优化后的器件在同等条件下表现出更加优越的电学特性:器件不仅具备更高的输出电流、跨导和关态击穿电压,且在深 AB 偏置模式下能够提供更高的输出功率、增益和效率,这对于 GaN HEMT 的实际应用非常重要。输出功率密度更高,则可以进一步缩小单颗芯片面积,节约成本;效率更高,则 GaN 器件的散热外围设计更加容易。器件输出电流和跨导的提升可以归于优化后器件具备更大的等效栅长,栅控能力更强,这一点从阈值电压的正向变化可以得到反向印证。关态击穿电压的提升是由于具备一定倾斜角度的 T 型栅电极可以减小沟道电场强度,只有在更高的漏电压下才能驱动器件在关态下达到一定的漏电流。从已有文献的结论看,45°倾斜角度对降低器件沟道电场最为有利,本文中器件栅足的倾斜角度由于过刻蚀的原因未能达到 45°,但角度仍可保持在 55°~60°范围,对于器件沟道电场强度的抑制效果也较为显著<sup>[16]</sup>。优化后器件微波功率特性的提升幅度明显高于直流特性,主要原因有两点:一是优化之后的器件内部电场强度显著减小,有效抑制了由载流子加速动能过大所造成的碰撞电离,而栅下碰撞电离会引发栅反向漏电,是造成输出电流下降及栅极失效的重要因素;二是优化之后的器件栅下损伤更小,有效减少了表面态和体内缺陷,而表面态和体内缺陷是俘获载流子、造成高频工作时器件输出电流较小的主要因素。上述两方面叠加起来有效抑制了器件的 DC-RF 色散效应,在高频工作模式下,器件能够输出更大的电流,在偏置电压一定的情况下确保了更好的微波功率性能。

## 4 可靠性测试

将经过栅工艺优化的器件进行划片切割,挑选  $2 \times 125 \mu\text{m}$  器件通过导电银浆贴装在测试管壳上,栅、源、漏端分别通过金丝线键合引出到封装管脚。将共 10 颗器件进行无偏置高加速应力测试(Unbiased Highly Accelerated Stress Test, UHAST)试验,试验环境温度为 130 °C,相对湿度 85%,大气压 2.3 atm,持续时间为 96 h。试验后发现器件表面无明显变化,如图 9 所示。表 3 列出了器件试验前后测得的  $I_{d,max}$  和  $I_{dss}$  数据,试验前后电流波动幅度 < 5%,表明器件可靠性良好。

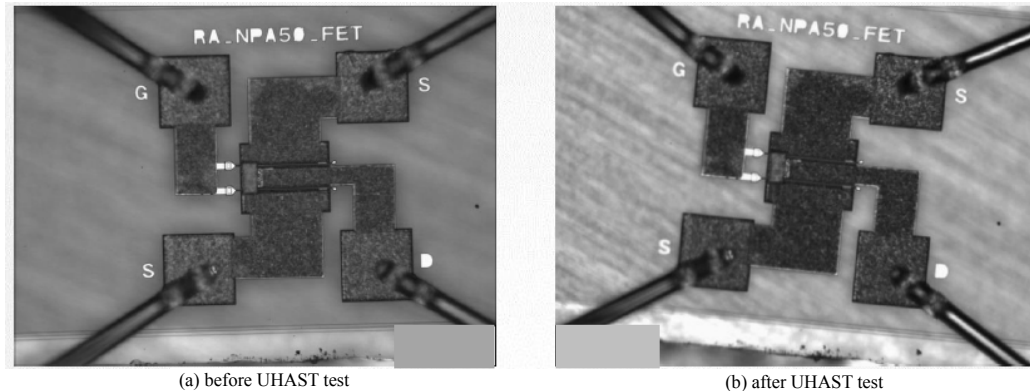
Fig.9 Appearance of the  $2 \times 125 \mu\text{m}$  device before and after UHAST test图 9  $2 \times 125 \mu\text{m}$  器件 UHAST 试验前后表面形貌对比

表 3 UHAST 试验前后器件电流值

Table 3  $I_{d,\text{max}}$  and  $I_{\text{dss}}$  values of devices before and after UHAST test

sample No.	0 h			96 h		
	$U_{\text{th}}/\text{V}$	$I_{\text{dss}}/\text{mA}$	$I_{d,\text{max}}/\text{mA}$	$U_{\text{th}}/\text{V}$	$I_{\text{dss}}/\text{mA}$	$I_{d,\text{max}}/\text{mA}$
1	-3.50	174.16	216.56	-3.53	178.52	220.28
2	-3.51	174.39	216.27	-3.62	182.57	223.25
3	-3.93	177.01	214.68	-3.90	177.59	214.42
4	-3.75	182.06	223.09	-3.68	182.94	223.92
5	-3.73	174.43	214.85	-3.79	177.92	216.83
6	-3.70	168.99	208.46	-3.84	178.55	217.55
7	-3.92	178.25	216.44	-3.97	180.23	216.59
8	-3.72	171.83	211.53	-3.70	176.18	215.66
9	-3.91	176.98	215.47	-3.96	178.94	215.88
10	-3.91	174.24	210.85	-3.98	177.62	213.43

## 5 结论

本文针对 GaN HEMT 自对准 T 型栅工艺中的 SiN 介质干法刻蚀提出了一种优化的两段式技术方案, 在 SiN 侧壁形成较为倾斜的角度的同时实现低损伤刻蚀。该方法可以有效缓解器件大电压工作时的高电场, 提高器件的各项直流参数指标,  $0.5 \mu\text{m}$  GaN HEMT 器件关态击穿电压达到  $200 \text{ V}$  以上。此外, 由于有效抑制了器件的 DC-RF 色散效应,  $3.5 \text{ GHz}$  下器件输出功率、功率增益和功率附加效率均得到显著改善, 分别达到  $8.7 \text{ W/mm}$ 、 $17.49 \text{ dB}$  和  $66.7\%$ 。可靠性试验结果表明, 栅工艺优化后的器件在  $96 \text{ h}$  UHAST 之后, 外观无明显改变, 饱和输出电流和最大输出电流变化幅度  $< 5\%$ , 可靠性表现良好。

### 参考文献:

- [1] ASIF KHAN M, BHATTARAI A, KUZNIA J N, et al. High electron mobility transistor based on a GaN-AlxGa1-xN heterojunction[J]. Applied Physics Letters, 1993, 63(9): 1214-1215. DOI: 10.1063/1.109775.
- [2] SMORCHKOVA I P, WOJTOWICZ M, SANDHU R, et al. AlGaIn/GaN HEMTs-operation in the K-band and above[J]. IEEE Transactions on Microwave Theory and Techniques, 2003, 51(2): 665-668. DOI: 10.1109/tmmt.2002.807683.
- [3] INOUE T, ANDO Y, MIYAMOTO H, et al. 30 GHz band over 5 W power performance of short-channel AlGaIn/GaN heterojunction FETs[J]. IEEE Transactions on Microwave Theory and Techniques, 2005, 53(1): 74-80. DOI: 10.1109/tmmt.2004.839333.
- [4] WU Y F, MOORE M, SAXLER A, et al. 40 W/mm double field-plated GaN HEMTs[C]// Proceeding of IEEE Device Research Conference. State College, PA, USA: IEEE, 2006: 151-152. DOI: 10.1109/DRC.2006.305162.
- [5] 任健, 要志宏. S 波段 GaN MMIC Doherty 功率放大器[J]. 太赫兹科学与电子信息学报, 2018, 16(2): 363-367. (REN Jian, YAO Zhihong. Design of S-band GaN MMIC Doherty power amplifier[J]. Journal of Terahertz Science and Electronic Information Technology, 2018, 16(2): 363-367.) DOI: 10.11805/TKYDA201802.0363.
- [6] GENGLER J, NELSON J. On the road to 5G, GaN targets 3.5 GHz[J]. Microwave Journal, 2015, 58(6): 60.
- [7] YUK K, BRANNER G R, CUI C. Future directions for GaN in 5G and satellite communications[C]// IEEE International Midwest Symposium on Circuits and Systems. Boston, MA, USA: IEEE, 2017: 803-806. DOI: 10.1109/MWSCAS.2017.8053045.

- [ 8 ] POPOVIC Z. Amping up the PA for 5G:efficient GaN power amplifiers with dynamic supplies[J]. IEEE Microwave Magazine, 2017,18(3):137–149. DOI: 10.1109/MMM.2017.2664018.
- [ 9 ] FLORIOT D,BRUNEL V,CAMIADÉ M,et al. GH25-10:new qualified power GaN HEMT process from technology to product overview[C]// European Microwave Integrated Circuit Conference. Rome,Italy:IEEE, 2014:225–228. DOI:10.1109/EuMIC.2014.6997833.
- [10] LIEN Y,PENG S,LIN C,et al. GaN technologies for applications from L- to Ka-band[C]// 2017 IEEE International Conference on Microwaves, Antennas, Communications and Electronic Systems(COMCAS). Tel-Aviv,Israel:IEEE, 2017:1–5. DOI: 10.1109/COMCAS.2017.8244831.
- [11] 赵正平. 微波、毫米波 GaN HEMT 与 MMIC 的新进展(续)[J]. 半导体技术, 2015,40(2):81–88. (ZHAO Zhengping. New progress of the microwave and millimeter wave GaN HEMT and MMIC(continued)[J]. Semiconductor Technology, 2015, 40(2):81–88.) DOI:10.1390/j.enki.bdtjs.015.02.001.
- [12] 陶洪琪,张斌,余旭明. X 波段 60 W 高效率 GaN HEMT 功率 MMIC[J]. 固体电子学研究与进展, 2016,36(4):270–273. (TAO Hongqi,ZHANG Bin,YU Xuming. 60 W high efficiency X-band GaN HEMT power amplifier MMIC[J]. Research & Progress of SSE, 2016,36(4):270–273.
- [13] KIM B,GAO W. X-band robust current-shared GaN low noise amplifier for receiver applications[C]// Compound Semiconductor Integrated Circuit Symposium. Austin,TX,USA:IEEE, 2016:1–4. DOI: 10.1109/CSICS.2016.7751081.
- [14] ZANONI E,MENEGHINI M,CHINI A,et al. AlGaIn/GaN-based HEMTs failure physics and reliability:mechanisms affecting gate edge and Schottky junction[J]. IEEE Transactions on Electron Devices, 2013,60(10):3119–3131. DOI:10.1109/TED.2013.2271954.
- [15] MENEGHESSO G,MENEGHINI M,ZANONI E. Breakdown mechanisms in AlGaIn/GaN HEMTs:an overview[J]. Japanese Journal of Applied Physics, 2014,53(10):100211. DOI:10.7567/JJAP.53.100211.
- [16] CHU Rongming,SHEN Likun,FICHTENBAUM N,et al. V-gate GaN HEMTs for X-band power applications[J]. IEEE Electron Device Letters, 2008,29(9):974–976. DOI:10.1109/LED.2008.2001639.
- [17] BAHL S R,ALAMO J A D. A new drain-current injection technique for the measurement of off-state breakdown voltage in FETs[J]. IEEE Transactions on Electron Devices, 1993,40(8):1558–1560. DOI:10.1109/16.223723.
- [18] WANG M,CHEN K J. Off-state breakdown characterization in AlGaIn/GaN HEMT using drain injection technique[J]. IEEE Transactions on Electron Devices, 2010,57(7):1492–1496. DOI:10.1109/ted.2010.2048960.

-----  
(上接第 305 页)

- [10] 胡长胜,詹曙,吴从中. 基于深度特征学习的图像超分辨率重建[J]. 自动化学报, 2017,43(5):814–821. (HU Changsheng, ZHAN Shu,WU Congzhong. Image super-resolution based on deep learning features[J]. Acta Automatica Sinica, 2017, 43(5):814–821.)
- [11] KIM J,LEE J K,LEE K M. Accurate image super-resolution using very deep convolutional networks[C]//Proceedings of the IEEE Conference on Computer Vision and Pattern Recognition. Washington,USA:IEEE Computer Society, 2016:1646–1654.
- [12] CHEN H,HE X,REN C,et al. CISRDCNN:super-resolution of compressed images using deep convolutional neural networks[J]. Neurocomputing, 2018(285):204–219.
- [13] ZEYDE R,ELAD M,PROTTER M. On single image scale-up using sparse-representations[C]// International Conference on Curves and Surfaces. Avignon,France:[s.n.], 2010:711–730.
- [14] HUANG J B,SINGH A,AHUJA N. Single image super-resolution from transformed self-exemplars[C]// IEEE Conference on Computer Vision and Pattern Recognition. Boston,USA:IEEE Computer Society, 2015:5197–5206.
- [15] WEBER A G. The USC-SIPI image database version 5[J]. USC-SIPI Report, 1997(315):1–24.
- [16] KRIZHEVSKY A,SUTSKEVER L,HINTON G E. Image net classification with deep convolutional neural networks[J]. Advances in Neural Information Processing Systems, 2012(1):1097–1105.
- [17] DABOV K,FOI A,EGIAZARIAN K. Image denoising with block-matching and 3D filtering[J]. Proceedings of Society of Photo-Optical Instrumentation Engineers, 2006(6064):354–365.