

文章编号: 2095-4980(2020)02-0202-06

## 基于FPGA的万兆协议转换系统设计与实现

安国臣, 王晓君, 刘毅夫, 陈景昭

(河北科技大学 信息科学与工程学院, 河北 石家庄市 050000)

**摘要:** 万兆通信技术已成为卫星通信领域又一研究热点, 为星上设备提供高速可靠的万兆数据源尤为重要。系统采用Xilinx公司新近推出的K7系列现场可编程门阵列(FPGA), 利用其吉比特收发(GTX)接口模块和万兆媒体访问控制(MAC)软核实现了万兆协议转换功能。通过状态机设计方法实现了以太网协议帧和专用链路协议帧之间的相互转换。通过测试结果可知, 系统达到了每通道10 Gb/s的转换带宽, 总带宽达到40 Gb/s, 能够满足星上设备的测试需要。

**关键词:** 现场可编程门阵列; 协议转换; 万兆位; 复接; 分接

中图分类号: TN915.04

文献标志码: A

doi: 10.11805/TKYDA2018365

## Design and implementation of 10 gigabit protocol conversion system based on FPGA

AN Guochen, WANG Xiaojun, LIU Yifu, CHEN Jingzhao

(College of Information Science & Engineering, Hebei University of Science & Technology, Shijiazhuang Hebei 050000, China)

**Abstract:** 10 gigabit communication technology has become another research hotspot in the field of satellite communications, and it is especially important to provide high-speed and reliable 10 gigabit data sources for on-board devices. The system adopts the newly launched K7 series Field Programmable Gate Array(FPGA) from Xilinx, and realizes the 10 gigabit protocol conversion function by using its GTX interface module and 10 gigabit MAC module. The state machine design method realizes the mutual conversion between the Ethernet protocol frame and the dedicated link protocol frame. The test results show that the system achieves a conversion bandwidth of 10 Gbit/s per channel, and the total bandwidth reaches 40 Gbit/s, which can meet the testing requirements of satellite equipment.

**Keywords:** Field Programmable Gate Array; protocol conversion; 10 gigabit; multiplexing; demultiplexing

随着卫星通信技术的进一步发展和应用领域的深化, 更高速度的通信需求也不断彰显出来<sup>[1]</sup>。因此, 万兆通信技术的研究已成为卫星通信领域的一个研究热点。在卫星通信设备前期研发阶段, 高速可靠的数据源是加快研发进度、测试研发结果不可或缺的有力工具<sup>[2]</sup>。卫星通信领域多采用自定义专用链路协议帧, 而符合该协议的高速数据源很少或很昂贵, 大部分网络测试仪都采用以太网帧协议。为解决这一问题, 设计了本系统, 实现了以太网协议和自定义专用链路协议的高速数据转换, 为卫星通信设备提供高速可靠的数据源。

### 1 系统总体结构设计

系统采用FPGA作为核心芯片, 完成了万兆以太网协议与自定义专用链路协议之间的相互转换<sup>[3-4]</sup>, 并完成了以太网数据拆包、拼帧、复接、分接、合包等功能, 分为硬件平台设计和系统软件设计。

#### 1.1 系统硬件平台设计

系统设计实现4路以太网数据与自定义专用链路数据的协议转换功能, 考虑到芯片资源等因素, 硬件平台分

收稿日期: 2018-11-05; 修回日期: 2019-01-02

基金项目: 河北科技大学五大平台开发基金课题资助项目(1182153)

作者简介: 安国臣(1977-), 男, 本科, 副教授, 主要研究方向为实时信号处理技术。email: angch@hebust.edu.cn

为两部分,设计了2块核心板,每块核心板实现2路转换功能。

系统硬件平台的核心部分采用 Xilinx 公司 Kintex®-7 系列 FPGA 芯片,型号为 XC7K325T-2FFG900I,具有丰富的 IO 接口(900 个),包含 16 个高速吉比特收发器(GTX)<sup>[5]</sup>。千兆以太网数据接收端选用 PHY 芯片 88E1111 来发送和接收以太网的数据帧,物理接口采用标准连接器 RJ45。万兆以太网收发端口采用 SFP+模块(光电转换模块)来实现光信号到电信号的转换,满足最大 10 Gbit/s 的传输速率。高速串行 GTX 接口采用差分 SMA 接口来完成数据的高速串行传输<sup>[6-7]</sup>。

系统硬件平台原理框图如图 1 所示。硬件板卡还包括电源电路、管理网口、FLASH 存储器芯片、复位模块、时钟晶振和状态指示灯 LED 等相关硬件模块<sup>[8]</sup>。

### 1.2 系统软件架构设计

根据系统功能要求,系统软件架构分为数据上行和数据下行两部分,其中上行部分负责将网络测试仪发来的以太网数据拆包、拼帧、复接并通过 GTX 接口送给星上待测设备;下行部分接收星上待测设备发来的高速数据流进行分接、合包并送回网络测试仪。其中上行部分分成 4 个相对独立的模块:接收模块、拆包拼帧模块、复接模块和发送模块,上行部分结构框图如图 2 所示。

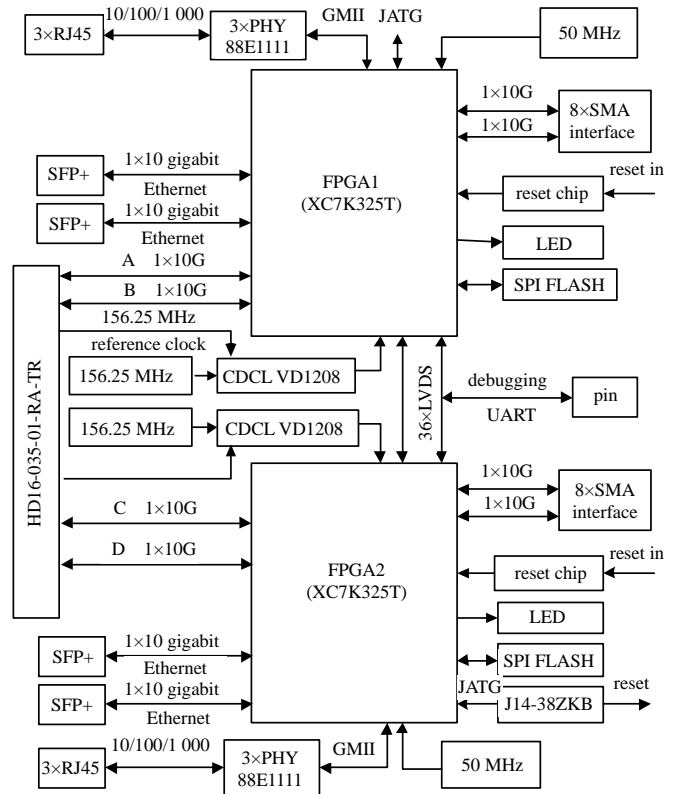


Fig.1 Block diagram of system hardware platform  
图 1 系统硬件平台原理框图

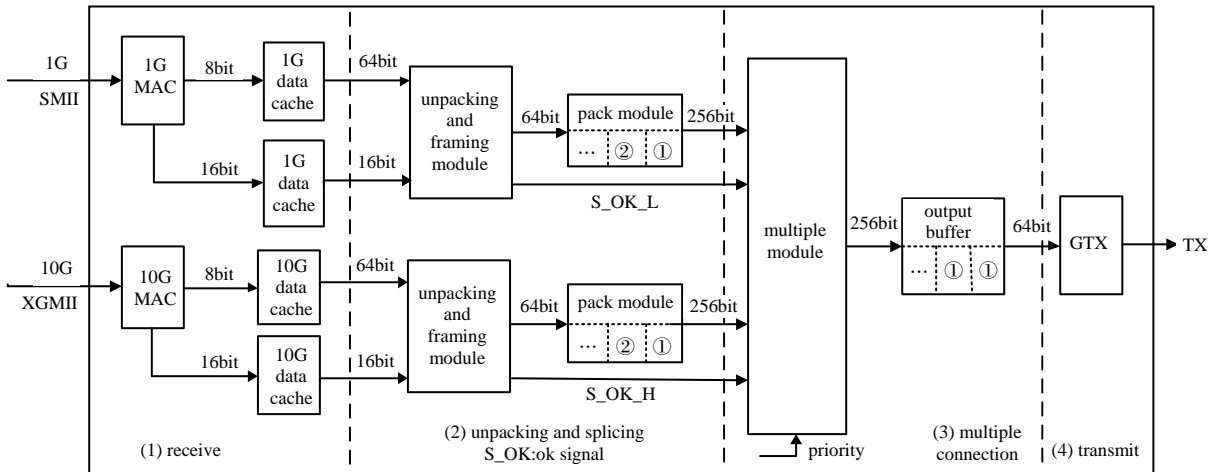


Fig.2 Block diagram of upstream  
图 2 上行部分结构框图

接收模块负责从千兆和万兆以太网接收 IP 数据包,并提取包类型及包长信息,将数据和包信息分别放入相应的缓存区中。注意,不是 8 字节整数倍的 IP 包需通过数据零补齐。另外,需进行包过滤以及 ARP 包的处理。

拆包拼帧模块负责将缓存的 IP 包进行拆包,分成每 256 字节一包,并且添加对应的专用链路协议帧头(8 字节),存入小包缓存,当一个小包存储完毕后,通过缓存区的可读字节数,启动一次复接申请。

复接模块根据上位机优先级配置负责对高低速接口发来的小包数据进行复接输出,原则是先发送优先级高的端口数据,当前没有需要发送的高优先级数据,才发送低优先级端口数据。复接模块最终将复接后的数据存入输出缓存中。

发送模块负责连续从复接输出缓存中读取数据，发送到 GTX 模块经并串转换并发送输出。由于输出缓存写端口为 256 位宽，而读端口为 64 位，且复接模块时钟速率高于发送模块时钟速率，因此只要输出缓存不空，发送模块即可启动一次完整的帧发送，不会出现断帧现象。

与上行部分类似，下行部分也分成 4 个相对独立的模块：接收模块、分接模块、合包与拼帧模块和发送模块，结构框图如图 3 所示。

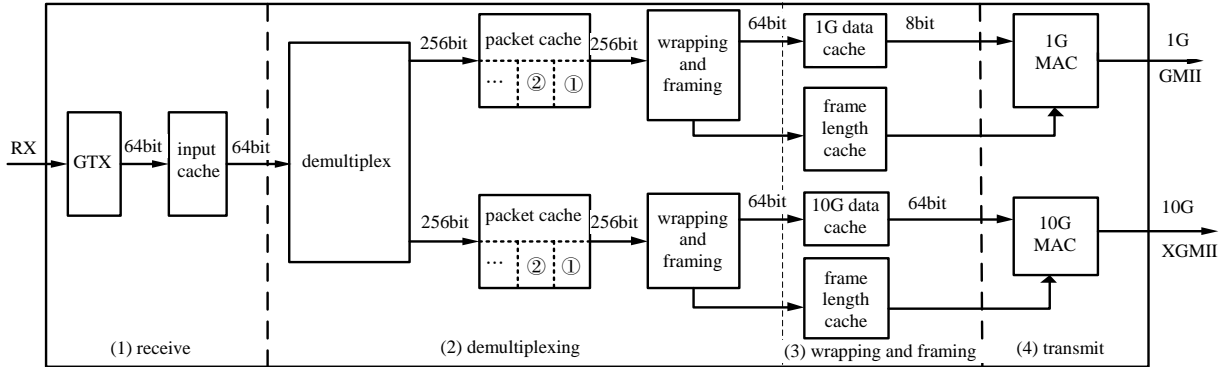


Fig.3 Block diagram of downstream

图 3 下行部分结构框图

图中接收模块负责从 GTX 模块接收 64 位并行数据并将其存入输入缓存中，等待分接模块进一步处理。因为接收到的专用数据链路帧本身为 256 字节一包，本模块不需补零处理。分接模块负责从接收模块读取数据并根据其帧头的卫星号和端口号进行分接，分别存入相应的小包缓存模块。为提高内部处理速度，内部小包缓存采用 256 位读写接口。

合包拼帧模块负责从分接模块读取小包，并解析小包中的帧序号及有效数据长度，去掉帧头后，按照顺序存入相应的万兆或千兆输出数据缓存中，本模块需去零操作。

发送模块负责读取拼帧模块输出缓存并送入千兆或万兆 MAC 模块进行数据发送。发送模块需凑齐一个整包之后再统一发送，避免串行线上出现半包数据。

## 2 关键技术及关键模块实现方案

### 2.1 系统处理带宽

本系统要考虑的首要关键技术为系统处理带宽问题。如果要实现万兆协议转换，需要精心设计系统时钟速率选择、各模块接口位宽及各模块处理延时。本节以系统上行部分为例，详细描述系统带宽设计。下行部分与上行部分类似，不再赘述。

上行接收模块需接收万兆 MAC 送来的以太网数据包，接收时钟采用与万兆 MAC 相同的 156.25 MHz 时钟频率。接收数据缓存采用双口 RAM，DPRAM 写数据位宽为 64 位，接收模块带宽为  $156.25 \times 64 = 10 \text{ Gbit/s}$ ，能够达到系统速率要求。

后续拆包拼帧模块由于需要进行一系列复杂的处理，必然会引入一定的延时和时钟的占用，系统内部处理时钟采用 200 MHz 时钟速率。数据缓存采用 FIFO 存储器，其写入数据位宽仍为 64 位，该模块理想处理带宽为  $200 \text{ MHz} \times 64 \text{ bit} = 12.8 \text{ Gbit/s}$ ，在满足 10 Gbit/s 带宽基础上，留出了一定的带宽余量，便于实现内部处理逻辑。

复接模块同样采用 200 MHz 时钟速率，其与拆包拼帧模块之间采用 256 bit 位宽的 FIFO 接口。复接模块的处理带宽为  $200 \text{ MHz} \times 256 \text{ bit} = 51.2 \text{ Gbit/s}$ ，完全满足万兆处理要求。

发送模块与万兆 Aurora 模块相连，采用与 Aurora 模块相同的 156.25 MHz 发送时钟，接口位宽为 64 位，其处理带宽也能达到  $156.25 \text{ MHz} \times 64 \text{ bit} = 10 \text{ Gbit/s}$ 。

综上所述，在时钟速率选择和各模块接口位宽设计方面考虑到了系统的速率要求。除接收和发送模块采用和接口 IP 核相同的时钟和位宽外，内部逻辑模块留出了足够的带宽余量，以方便内部逻辑实现，从而满足了万兆高速协议转换的性能要求<sup>[9]</sup>。

### 2.2 协议格式分析

本系统内部需进行以太网数据帧和专用数据链路帧之间的转换功能，其各自的帧格式说明如下。

1) 以太网链路帧格式

以太网链路帧由 6 个字节的目 的 MAC 地址, 6 个字节的源 MAC 地址, 2 个字节的类型域(用于表示本帧类型), 接下来是 46~1 500 字节的数据, 最后是 4 字节的帧校验组成<sup>[10]</sup>。

2) 专用数据链路帧格式

采用专用数据链路帧, 每帧长度固定为 256 字节, 其中前 8 个字节为包头部分, 后 248 字节为数据体。

从上述以太网帧格式和专用链路帧格式定义可知, 2 种协议的帧格式定义和帧长都不相同。系统采取了透明传输的方法实现, 即用以太网帧作为专用链路帧的净荷数据进行传输。需仔细考虑的是以太网帧是 64~1518 字节的变长帧, 专用链路帧是 256 字节的定长帧, 所以对以太网帧需要进行拆包和合包的操作。

2.3 协议转换模块设计与实现

协议转换模块分为上行拆包拼帧模块和下行合包拼帧模块两部分。

1) 上行拆包拼帧模块

上行拆包拼帧模块负责将缓存的以太网帧数据进行拆包, 分成每 256 字节一包, 并且加上对应的帧头(8 字节), 存入小包 FIFO, 当一个小包存储完毕后, 通过 FIFO 的可读字节数, 启动一次复接申请。该模块采用状态机的编程方式实现, 整个拆包拼帧流程分成 9 个状态, 通过状态的依次判断和切换实现相应的功能。其状态切换详图如图 4 所示。

状态机各状态功能详述:

S0: IDLE 空闲状态, 当上级 FIFO 非空时, 切换到 S1 状态, 启动一次拆包拼帧过程;

S1: 读帧长, 输出长度 FIFO 读取脉冲, 读取一组帧长数据;

S2: 计算包数, 清除长度 FIFO 读信号, 得帧长, 并计算出本 IP 包所需小包个数;

S3: 拼帧头, 根据小包数及设定好的帧头信息, 拼出专用链路协议帧头寄存器内容;

S4: 写帧头, 将专用链路协议帧头写入小包 FIFO;

S5: 读数据 FIFO, 即将数据 FIFO 读信号按字节数启动为持续高电平;

S6: 写输出 FIFO, 即将数据 FIFO 读信号延迟后作为小包 FIFO 的写信号, 注意不够一个小包的数据体, 需进行补零操作;

S7: 判小包结束, 根据小包数判断是否本 IP 包已结束, 结束回 IDLE, 否则拼下一个小包的帧头及导数据;

S8: 根据小包序号拼下一个小包帧头, 并写入小包 FIFO, 循环进入 S7-S8-S5-S6-S7 进行多小包转换。

2) 下行合包拼帧模块

下行合包拼帧模块采用如图 5 所示的状态机实现。

状态机各状态功能详述:

S0: IDLE 空闲状态, 该状态下, 实时判断上级 FIFO 的可读字数, 当该字数  $\geq 8$  时, 表示上级 FIFO 已有一个完整的小包, 启动一次合包拼帧过程。

S1: 读帧头, 读出上级 FIFO 中存放的帧头信息(共 8 字节), 缓存相关信息。

S2: 得有效字节数, 根据有效字节数字段确定。

S3: 导数据, 根据上个状态确定的本包有效字节数导数据, 导数据过程中, 需进行源 MAC 和目的 MAC 的交换流程。

S4: 判帧序号, 根据帧序号和总包数, 确定是否最后一包。不是最后一包, 直接回 IDLE。

S5: 最后一包, 根据包数和最后一包的有效字节数计算帧长, 并存入帧长 FIFO, 启动一次 IP 包的发送过程。

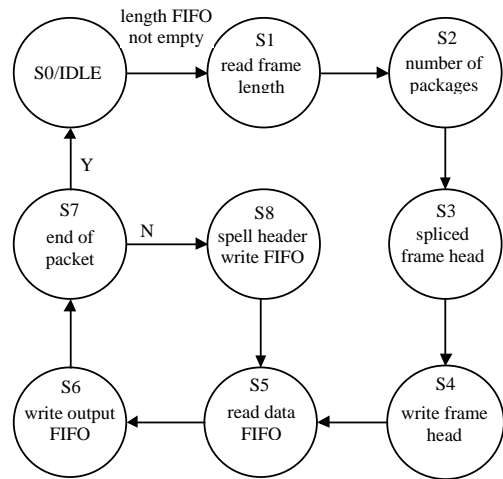


Fig.4 State switching diagram of unpacking and spelling frame module  
图 4 拆包拼帧模块状态切换图

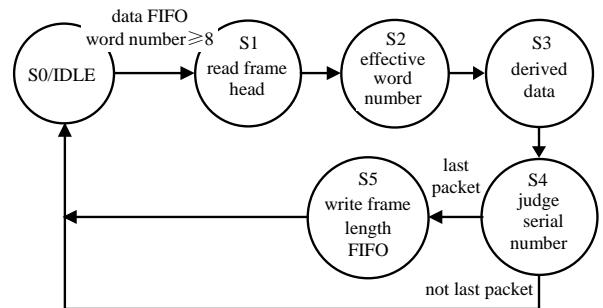


Fig.5 State switching diagram of combined packet frame module  
图 5 合包拼帧模块状态切换图

### 3 系统测试验证

系统功能和性能测试方面采用了思博伦 Spirent C1 网络测试仪对设备进行自环测试。Spirent C1 可支持线速率 10GE,5GE,2.5GE,1GE 和 100M 测试端口,测试能力达到业界领先水平<sup>[11]</sup>。设备包括 4 个千兆位端口、2 个万兆位端口和一个控制接口,支持模块热可插拔,每个端口的端口速率、协议格式、包类型等都可以由用户来进行选择设置,完全能够满足对万兆协议转换系统的功能和性能测试。

在性能测试方面,主要借助 Spirent TestCenter Application 软件来配置好端口速率、协议格式、包类型,然后通过软件界面的结果窗口就能够得到数据发送和接收的结果,包括速率、发送与接收包数、丢包数、丢包率等性能参数。设定测试仪发送速率为万兆位时,协议转换测试结果如图 6 所示。由图可知,万兆位速率下,测试仪发送 671,765,252 包,经过转换设备各级处理,又经物理接口自环后,测试仪接收 671,765,252 包,丢包率和丢包数均为零,达到了系统万兆协议转换的性能要求。

与以前的协议转换设备比较,该系统在万兆位数据可靠传输的基础上,增加了高速和低速数据流的复接和分接功能,从而使千兆和万兆以太网数据流,能够在一条万兆专用链路上实现透明传输,提高了系统的可用性。由于内部增加了处理逻辑,在内部工作时钟和处理位宽选择上留出了足够的带宽余量,从而实现高低速数据流无丢包传输。高低速数据流分别采用 9 000 Mb/s 和 1 000 Mb/s 的速率,进行自环打流测试,其测试结果如图 7 所示。

Name/ID	Tx Port Name	Rx Port Names	Tx Count (Frames)	Rx Count (Frames)	Dropped Count (Frames)	Dropped Frame Percent
StreamBolc...	Port//1/1	Port//1/1	671,765,252	671,765,252	0	0.000
StreamBolc...	Port//2/2		0	0	0	0.000

Fig.6 Test results of 10 gigabit protocol conversion

图 6 万兆协议转换测试结果

Name/ID	Tx Port Name	Rx Port Names	Tx Count (Frames)	Rx Count (Frames)	Dropped Count (Frames)	Dropped Frame Percent
StreamBolc...	Port//1/1	Port//1/1	1,256,089,832	1,256,089,832	0	0.000
StreamBolc...	Port//2/2	Port//2/2	124,737,169	124,737,169	0	0.000

Fig.7 Test results of multiplexing and demultiplexing

图 7 系统分复接测试结果

由图可知,高速数据流发送 1,256,089,832 包,接收 1,256,089,832 包,丢包率和丢包数均为零;低速数据流发送 124,737,169 包,接收 124,737,169 包,丢包率和丢包数均为零。测试结果证明,系统实现了高低速数据流的分复接透明传输功能。

### 4 结论

系统采用 FPGA 作为核心芯片<sup>[12-13]</sup>,实现了万兆位速率下以太网数据帧与专用链路协议帧之间的相互转换,解决了变长帧与定长帧的拆包合包问题,为星上设备的研发和测试提供了高速可靠的万兆数据源。该系统在卫星设备研发和测试领域具有良好的推广价值,为相关技术研究提供了一定的指导和参考价值。

## 参考文献:

- [1] 李正军,周志权,赵占锋. 基于FPGA的高速数据传输系统设计与实现[J]. 计算机测量与控制, 2016,24(9):188-190,194. (LI Zhengjun,ZHOU Zhiquan,ZHAO Zhanfeng. Design and implementation of high-speed data transmission based on FPGA[J]. Computer Measurement & Control, 2016,24(9):188-190,194.)
- [2] 尹虎,刘伟,李昌杰,等. 基于FPGA的万兆光纤以太网高速传输系统设计[J]. 中国新通信, 2018,20(4):91-92. (YIN Hu, LIU Wei,LI Changjie,et al. Design of 10 Gigabit optical ethernet high speed transmission system based on FPGA[J]. China New Communication, 2018,20(4):91-92.)
- [3] 张科,张红娟. 多接口协议转换器的设计与实现[J]. 信息化研究, 2009,35(7):33-35,39. (ZHANG Ke,ZHANG Hongjuan. Design and implementation of multi-interface protocol converter[J]. Informatization Research, 2009,35(7):33-35,39.)
- [4] 朱庆之. 基于FPGA的GTX片内环回的设计与测试[J]. 电子测量技术, 2018,41(5):128-131. (ZHU Qingzhi. Design and test of GTX on chip loopback based on FPGA[J]. Electronic Measurement Technology, 2018,41(5):128-131.)
- [5] 郭珍红,林郁,贾瑞,等. 基于FPGA和ASIC实现的不同路由器结构的MPSoC比较[J]. 太赫兹科学与电子信息学报, 2015,13(6):983-989. (GUO Zhenhong,LIN Yu,JIA Rui,et al. Comparison of MPSoC with different router architectures based on FPGA and ASIC implementation[J]. Journal of Terahertz Science and Electronic Information Technology, 2015, 13(6):983-989.)
- [6] 余鑫,李跃忠. 基于IBERT在Virtex-7 GTX的测试实验研究[J]. 电子科技, 2015,28(3):91-93,98. (YU Xin,LI Yuezhong. IBERT applied in the Virtex-7's GTX testing[J]. Electronic Science & Technology, 2015,28(3):91-93,98.)
- [7] ZHOU S H,YAO L. Gigabit ethernet data transfer based on FPGA[M]. Berlin Heidelberg:Springer, 2014.
- [8] 刘冀川,李冬梅. 万兆以太网技术的研究与实现[J]. 无线电工程, 2012,42(12):7-9,45. (LIU Jichuan,LI Dongmei. Research and implementation of 10 Gb ethernet technology[J]. Radio Engineering, 2012,42(12):7-9,45.)
- [9] 李维明,陈建军,陈星琦. 基于Aurora协议的高速通信技术的研究[J]. 电子技术应用, 2013,39(12):37-40. (LI Weiming, CHEN Jianjun,CHEN Xingyu. Aurora-based protocol high-speed communication technology research[J]. Application of Integrated Circuits, 2013,39(12):37-40.)
- [10] 曾繁泰,曾祥云. VHDL程序设计教程[M]. 4版. 北京:清华大学出版社, 2014. (ZENG Fantai,ZENG Xiangyun. VHDL programming course[M]. 4th ed. Beijing:Tsinghua University Press, 2014.)
- [11] 梁亮. 网络协议转换工程实现关键技术研究[D]. 石家庄:河北科技大学, 2015. (LIANG Liang. Research of key technologies for engineering realization of protocol conversion[D]. Shijiazhuang,China:Hebei University of Science and Technology, 2015.)
- [12] 郭晓宇. 基于IEEE802.3标准的以太网数据帧格式的封装实现[D]. 北京:北京交通大学, 2008. (GUO Xiaoyu. The encapsulation implementation of Ethernet data frames format based on IEEE802.3 standard[D]. Beijing:Beijing Jiaotong University, 2008.)
- [13] 黄万伟,董永吉. Xilinx FPGA高速串行传输技术与应用[M]. 北京:电子工业出版社, 2015. (HUANG Wanwei,DONG Yongji. Xilinx FPGA high-speed serial transmission technology and application[M]. Beijing:Publishing House of Electronics Industry, 2015.)