

〈材料与器件〉

小像元 10 μm 中心距红外焦平面读出电路设计

吴圣娟, 姚立斌, 李东升, 姬玉龙, 杨春丽, 李红福, 罗敏, 李敏, 许睿涵
(昆明物理研究所, 云南 昆明 650223)

摘要: 研制出一款小像元 10 μm 中心距红外焦平面探测器 CMOS (complementary metal oxide semiconductor) 读出电路 ROIC (read out integrated circuit)。读出电路设计包括积分后读出 (integration then reading, ITR) 和积分同时读出 (integration while reading, IWR) 模式, ITR 模式下有 2 档增益, 电荷满阱容量分别为 4.3 Me^- 和 1.6 Me^- , 其他功能包括抗晕、串口功能控制以及全芯片电注入测试功能。读出电路采用 0.18 μm 工艺, 电源电压 3.3 V, 测试结果表现出良好的性能: 在 77 K 条件下, 全帧频 100 Hz, 读出电路噪声小于 0.2 mV。本文介绍了该款读出电路设计的基本架构, 分析了在小的积分电容下电路抗干扰能力的设计。在测试过程中, 发现了盲元拖尾现象, 分析了拖尾现象产生的原因, 为解决拖尾现象设计了抗晕管栅压产生电路, 最后给出了整个电路的测试结果。

关键词: 小像元间距; 读出电路; 红外焦平面探测器

中图分类号: TN214 文献标识码: A 文章编号: 1001-8891(2021)09-0902-08

Small Pixel 10 μm Pitch Infrared Focal Plane Array ROIC Design

WU Shengjuan, YAO Libin, LI Dongsheng, JI Yulong, YANG Chunli, LI Hongfu, LUO Min, LI Min, XU Ruihan
(Kunming Institute of Physics, Kunming 650223, China)

Abstract: A kind of infrared focal plane CMOS (complementary metal oxide semiconductor) read out integrated circuit (ROIC) for small pixel applications was developed. This ROIC design includes ITR(integration then reading) and IWR(integration while reading)functions, two gains in ITR mode, charge capacities are 4.3 Me^- and 1.6 Me^- . Other functions include anti-blooming, series port control function and full chip current injection test function. This ROIC was fabricated in 0.18 μm process, power supply voltage 3.3 V, test result show good performance of the ROIC, full frame rate is 100 Hz, noise of readout circuit is 0.2 mV. This paper introduces the basic structure of the readout circuit design, and analyzes the design of anti-interference ability of the circuit under the condition of small integral capacitance; During the test, tailing phenomenon is found, the causes of the tailing phenomenon is analyzed and In order to solve the tailing phenomenon, the Anti-blooming voltage generation circuit is designed, and the test results of the whole circuit are given at the end of the paper.

Keywords: small pixel, ROIC, infrared focal plane detector

0 引言

红外探测器有广泛的应用前景,从军事角度来说,红外探测技术应用于侦察、监视、精确制导、搜索跟踪系统和光电对抗等领域,从民用角度来说,红外探测技术应用于安全生产、安防、消防等领域。这些领域的需求,促进了红外探测技术的不断发展^[1-6]。小像

元红外探测器推动先进技术,各个红外探测器厂商都在加紧高质量小像元探测器的研制工作^[7-11]。小像元红外探测器组件具有如下优势:因其空间分辨率高,因此有着较好的图像成像质量以及系统识别能力;随着 HgCdTe 芯片尺寸减小,可以降低组件的体积和重量,有助于红外探测器在整机上的应用^[12-13];根据约翰逊判据 (Johnson Criterion),阵列规模变大有助于

收稿日期: 2021-07-26; 修订日期: 2021-09-02.

作者简介: 吴圣娟 (1984-), 女, 硕士研究生, 主要研究方向: 红外焦平面探测器读出电路设计。E-mail: 275099355@qq.com.

通信作者: 姚立斌 (1968-), 男, 云南石屏人, 研究员, 博士, 博士生导师, 主要研究方向为混合信号集成电路设计。E-mail: libin.yao@iecee.org.

提高目标探测器的可信度^[14-15]。

在红外焦平面探测器的广泛应用背景下，读出电路技术得以不断发展，随着集成电路工艺水平的提高为更高性能读出电路的实现提供了可能。目前读出电路的研制方向如下：1) 大面阵小像元。随着第三代红外探测技术的发展，焦平面的面阵规模越来越大，而单元面积越来越小，在此背景下增加了大面阵小像元读出电路的需求。2) 双色及多色工作。由于红外系统应用的需求，双色及多色红外焦平面快速发展，未来多色红外焦平面读出电路也一定会有广阔的发展前景。3) 数字化读出电路。数字化读出电路将 ADC 芯片集成到读出电路中，读出电路直接输出数字信号，极大地方便了后续成像工作。

国外厂商近年来报道的大面阵、小像元 ROIC 的研制进展如下：法国 Sofradir 公司报道了大面阵、小像元读出电路，阵列规格 1280×720，像元中心距为 10 μm，应用波段为中波^[16-20]；美国雷神 (Raytheon) 公司报道了 3 款大面阵的读出电路，阵列规格 2 k×2 k，像元中心距分别为 25 μm、20 μm 和 15 μm，应用波段为短波和中波^[21]；美国 TIS 公司报道了大面阵、小像元读出电路，阵列规格 4k×4k，像元间距 10 μm 和 15 μm，卷帘曝光模式，应用波段为短波^[22-24]。其中，Sofradir 公司研制的 1280×720 的读出电路具体指标如表 1 所示。

表 1 法国 Sofradir 公司推出的 Daphnis 产品信息

Table 1 Daphnis product information by Sofradir

Detector spectral response	3.7-4.8 μm
FPA operating temperature	Up to 110 K
ROIC architecture	Digital outputs Direct injection input circuit
ROIC functionalities	Programmable integration time anti-blooming Invertrevert Bining IWR or ITR High dynamic range
Windowing modes	320×4 minimum programmable
Charge handling capacity	3main Gains:1.1Me ⁻ ;2.7Me ⁻ ;5.6Me ⁻
Frame rate	Up to 85 Hz full frame rate
NETD	20 mK(293 K,70% well fill, 2.7Me ⁻)

本文设计了一款大面阵、小像元读出电路，阵列规格 1024×768，像元中心距 10 μm，读出电路适配碲镉汞 (MCT) 中波红外焦平面探测器，组件工作温

度 77 K。电路设计两档增益，具备 IWR (integration while reading) /ITR (integration then reading) 功能。本文重点分析了小像元在比较小的保持电容情况下，电路抗干扰能力；重点分析了器件测试过程中产生的盲元拖尾的现象，并针对拖尾现象给出了解决方案。

1 总体设计

1.1 读出电路总体框架设计

读出电路系统框架如图 1 所示，像元阵列、列级电路以及输出接口电路构成信号模拟通路。数字电路包括控制波形产生电路、行列译码电路。偏压模块产生模拟偏压，为列放大器以及输出放大器提供偏置。

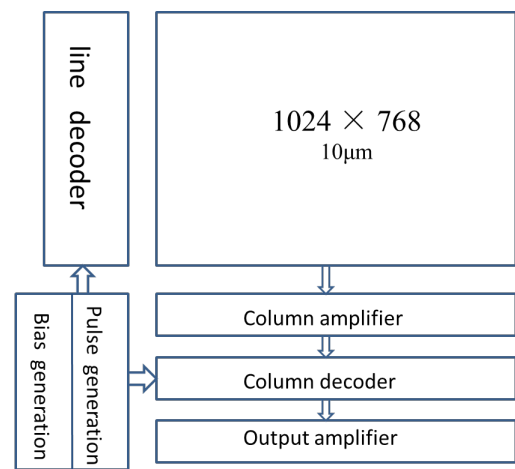


图 1 读出电路结构示意图

Fig.1 Schematic diagram of readout circuit structure

1.2 信号模拟链路设计

我们设计的小像元 10 μm 间距 1024×768 读出电路适配中波探测器，因此像元电路输入级选择直接注入 DI (direct injection) 结构。

信号模拟链路原理图如图 2 所示，Gpol 管与探测器相连，通过调节 Gpol 电压调节探测器偏置。antiblm 管是抗晕管，当电容电压降低到一定值后，抗晕管开启，此时电流是由电源 VDD 提供，电容上的电压将保持不变。test 管是测试管，只用来验证读出电路性能，在正式杜瓦封装应用中，测试管是关断状态。信号经过列和输出放大器时，电压为 1:1 传输。如图 3 为 IWR 模式像元开关时序图，在上一帧读出结束后，先将保持电容 C 上开关复位，并通过 IWR 开关将当前帧的积分信息存到保持电容上。图 4 为 ITR 模式像元开关时序图，可以看到，积分前电容复位开关与 Gpol 开关有较长时间同时开启的状态，这个时间进行光电二极管的复位。

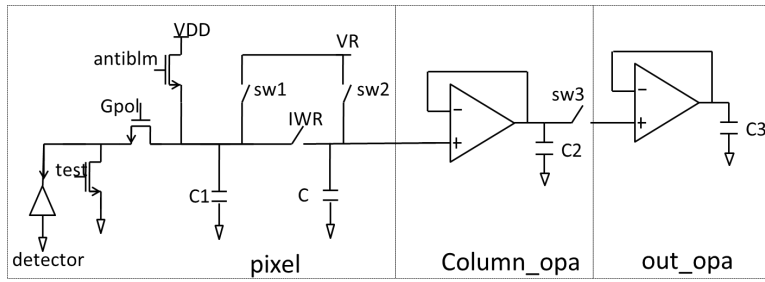


图 2 模拟链路设计原理图

Fig.2 Schematic diagram of analog design

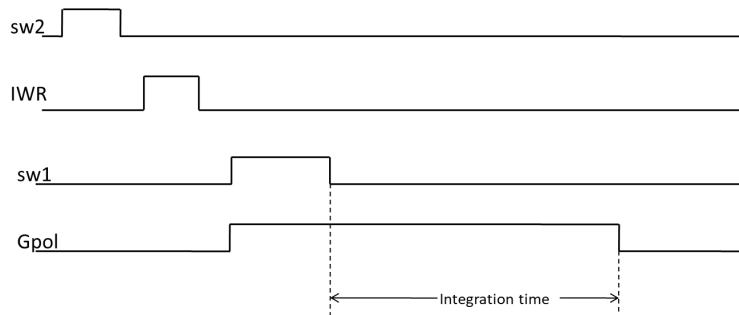


图 3 IWR 模式像元开关时序图

Fig.3 Sequence diagram of IWR mode pixel switch

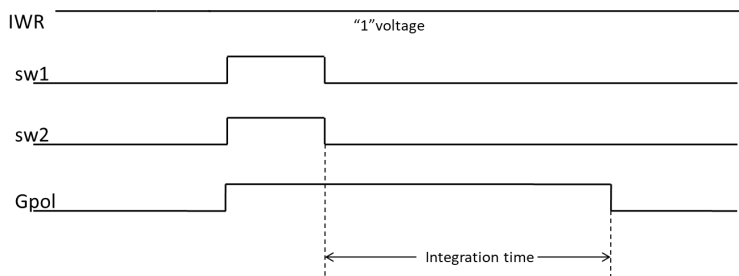


图 4 ITR 模式像元开关时序图

Fig.4 Sequence diagram of ITR mode pixel switch

1.3 读出电路主要性能参数

读出电路像元阵列 1024×768 ，像元中心距 $10 \mu\text{m}$ ，读出模式为 IWR/ITR 模式，ITR 模式下增益有两档可调，电荷满阱容量为 4.3Me^- 和 1.6Me^- 。具体参数如表 2 所示。

表 2 读出电路主要性能参数

Table 2 Main performance parameters of readout circuit

Parameters	Typical value
Array	1024×768
Pixel pitch	10 μm
Main clock	10 MHz
Charge capacity	Gain1: 4.3Me^-
	Gain0: 1.6Me^-
Output channel	8
Output voltage swing	2 V(1-3 V)
Readout mode	ITR/IWR

2 像元电路抗干扰能力设计

电路像元中心距为 $10 \mu\text{m}$ ，读出电路提供 IWR 模式，保证在积分时间较长的情况下，读出时间不占用帧频。由于面积限制，并且为了保证 IWR 模式下的摆幅，保持电容 C 要做小，此时电容上的电压容易受到开关电荷注入、信号跳变的影响，抗干扰能力弱，在以下两方面应注意：

①沟道电荷注入效应对保持电容的影响；

②列放大器工作时，列总线电压的变化对保持电容的影响。

以下用定性及定量的方法分析以上两种干扰的影响，最后通过列表定量表征上述影响，并指导抗干扰能力因素和其他指标例如摆幅等的折中设计，以达到满意设计输出。

2.1 电荷注入效应的影响

从图 5 可以看出，当 R_{st2} 开关断开时，电荷从

M1 沟道随机进入保持电容 C 上; 当 IWR 开关断开时, M2 与 M3 沟道内电荷随机存入保持电容 C 上, 引起保持电容电压变化。

沟道电荷计算公式如(1)式所示:

$$\Delta V = \frac{Q}{C} = \frac{W \times L \times C_{ox} \times (V_{GS} - V_{TH})}{C} \quad (1)$$

式中: W 与 L 为开关的宽和长; C_{ox} 为单位面积栅氧层电容; V_{GS} 为开关的栅源电压; V_{TH} 为阈值电压; C 为保持电容。

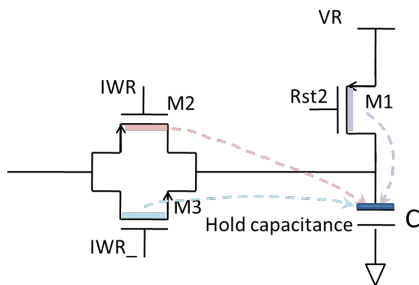


图5 保持电容与开关连接图

Fig.5 Connection diagram of holding capacitor and switch

在计算沟道效应前, 将电路模型进行简化:

1) 只考虑沟道电荷都注入保持电容上。根据模拟集成电路书^[25]上的推论, 沟道电荷注入的分配是比较复杂的过程, 没有实际可用的预测经验, 所以先以最坏的情况分析, 即所有的沟道电荷都进入保持电容。

2) 只考虑零光电流注入条件。M1 与 M2 管都是 PMOS, 沟道电荷极性相同, 电荷注入后电压叠加, 而 M3 是 NMOS, 电荷极性相反, 电荷注入电压相反。定性分析时, 只考虑最坏情况, 即只考虑零光电流注入条件下, IWR 开关的沟道电荷注入。

下面计算沟道电荷注入, 当电路工作条件如下:

$$W/L = 0.8 \mu\text{m}/0.4 \mu\text{m}, C_{ox} = 4.95 \text{ fF},$$

$$V_{GS} = V_R = 3 \text{ V}, V_{TH} = 1 \text{ V}$$

式中: W/L 为开关 M1、M2 和 M3 管宽长比; C_{ox} 为单位面积的栅氧电容; V_{GS} 为 MOS 管栅源电压; V_{TH} 为 MOS 管阈值电压。

将上述条件代入(1)得:

$$\Delta V_{total} = \frac{6.34 \text{ fF}}{C} \text{ V} \quad (2)$$

为方便比较, 利用(2)式, 将不同保持电容下引起的保持电容电压变化列表如表 3 所示, 通过表 3 分析沟道电荷注入效应的影响。

表 3 是通过简单公式按照最坏可能计算出来的。从表 3 可以看出, 小的保持电容对于沟道注入效应比较敏感, 10 fF 电容下, 沟道注入引起电压变化为 0.6 V。

表 3 沟道电荷注入效应引起的电压变化

Table 3 Voltage change caused by channel charge injection effect

C/fF	$\Delta V/\text{mV}$
800	7.925
400	15.85
200	31.7
100	63.4
50	126.8
10	634

由于 IWR 开关上的沟道电荷与像元电压有关, 即与光注入有关, 实际上每个像元的沟道电荷注入情况会不同, 所以在小的保持电容下可能会引起成像后亮点和暗点的电荷注入效果不同。为了减小沟道电荷注入效应, 应该将复位开关设计最小尺寸, 尽量增加保持电容值。

2.2 列总线的影响

有两根长的信号导线从像元引出, 如图 6 所示, 接到列放大器, 如所示的列总线 A 和列总线 B, 768 行共用一个列放大器, 换行时, 列放大器会根据像元电压的不同来调整列总线 A 和列总线 B 上的电压。通过 M1 管的栅源电容的馈通作用, M1 管会将列总线上的电压变化引入到保持电容 C 上, 引起像元电压变化。

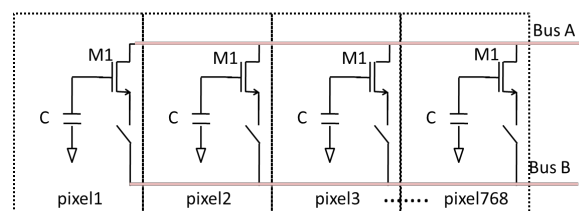


图6 像元总线

Fig.6 Pixel bus

下面通过行选开关的位置不同, 定性分析列总线的影响, 然后通过仿真给出定量结果。

2.2.1 定性分析

行选开关的位置不同, 列总线对保持电容的影响也不同, 分两种情况分析: 行选开关与 M1 管漏极相连; 行选开关与 M1 管源极相连。

1) 行选开关与 M1 管漏极相连

这种连接方法对保持电容的影响相对较大。如图 7 所示, 行选开关与列放大器输入管漏级相连。这种情况下, 总线电压定性分析如下:

由于列放大器在换行时, V_B 总线可以有较大的

变化, 不考虑衬底偏置作用, 最大变化可以为总的输出摆幅, 并且 V_B 与 M1 管的源级相连, 因此对保持电容影响大。

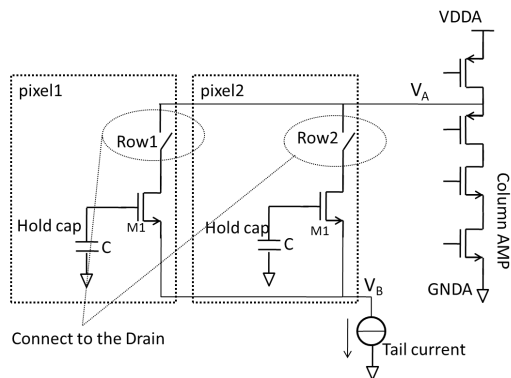


图7 行选开关位置1

Fig.7 Location 1 of row selection switch

列总线对保持电容影响可由式(3)估计:

$$\Delta V = \frac{W_1 \times L_1 \times C_{ox} \times \Delta V_B}{C} \quad (3)$$

式中: W_1 与 L_1 为 M1 管的宽和长; C_{ox} 为单位面积栅氧层电容; ΔV_B 为总线 B 的电压变化。

2) 行选开关与 M1 管源极相连

这种连接方式, 总线对保持电容的影响相对较小。如图 8 所示, 行选开关与列放大器输入管漏极相连。在图 8 情况下, 总线 V_B 仍有较大幅度的变化, 不同的是, M1 管的源极电压变化幅度小, 只有 V_{OD} 大小, 通过式(4)估算列总线对保持电容影响:

$$\Delta V' = \frac{C_{gs1} \times V_{OD1}}{C} \quad (4)$$

由于 V_{OD1} 远远小于 ΔV_B , 因此 $\Delta V'$ 要远远小于式(3)中的 ΔV 。

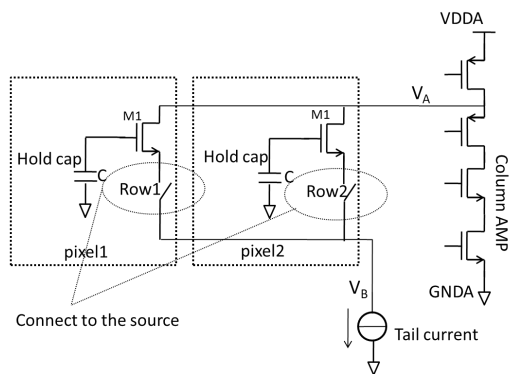


图8 行选开关位置2

Fig. 8 Location 2 of row selection switch

2.2.2 定量分析

通过仿真定量分析。仿真原理图如图 9 所示。

仿真条件:

- 1) 保持电容 C 初始电压: $V_{C1}=2V$, $V_{C2}=3V$
- 2) $(W/L)_1=(W/L)_2=2.8\mu\text{m}/1.4\mu\text{m}$

$$3) C_{ox}=4.95\text{fF}/\mu\text{m}^2$$

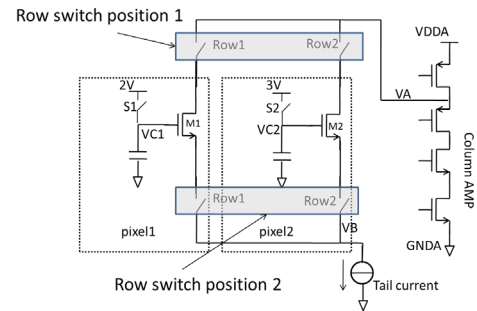


图9 列总线仿真原理图

Fig.9 Schematic diagram of column bus simulation

仿真时序如图 10 所示, 初始状态为 pixel 1 电容复位至 2V, pixel 2 电容复位至 3V, 开关 Row1 打开, Row2 关闭。T2 时刻, 切换行选开关, 使 Row2 打开, Row1 关闭。通过仿真观察 T2 时刻 ΔV (pixel 2 保持电容跳变) 的变化并记录结果。仿真结果如表 4 所示, 当 $C=100\text{fF}$ 时, 行选开关连接至源极 ($\Delta V'=1.91\text{mV}$) 比连接至漏极 ($\Delta V=165.81\text{mV}$) 小约 80 倍, 因此从结果来看, 行选开关连接在源极时影响远远小于连接在漏极的情况。

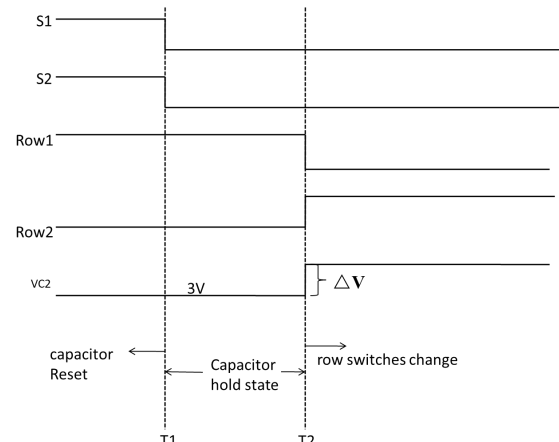


图10 馈通效应仿真时序

Fig.10 Feed through effect simulation timing

使用公式(3)计算开关位置 1 时理论值, 例如, 当保持电容为 100 fF, 代入式(3), 计算如下式所示:

$$\begin{aligned} \Delta V &= \frac{W_2 \times L_2 \times C_{ox} \times \Delta V_B}{C_2} \\ &= \frac{2.8\mu\text{m} \times 1.4\mu\text{m} \times 4.95\text{fF}/\mu\text{m}^2 \times 0.92V}{100\text{fF}} \\ &\approx 179\text{mV} \end{aligned}$$

仿真结果如表 4 为 166 mV, 比较接近, 可以证明在 400 fF、800 fF 时, 公式计算值与仿真结果都比较接近, 但是随着保持电容 C 的减小, 很多小的寄生电容不能忽略, 此时公式计算开始有偏差, 公式计算只能粗略得到数量级正确的结果, 准确结果

需要仿真确认。

表4 列放大器对保持电容影响

C/fF	$\Delta V/mV$	$\Delta V'/mV$
10	629.77	21.75
40	347.35	8.32
80	204.18	2.26
100	165.81	1.91
400	43.42	0.56
800	21.88	0.29

行选开关与 M1 的源级相连, 也有其折中考虑的地方。例如, 频域分析时, 行选开关工作在线性区, 相当于在源级增加一个电阻, 电阻上的压降会降低放大器的增益, 而主极点是 $R_{out} \times V_{out}$ 不变, 即带宽不变, 从而导致增益带宽积降低, 表现为仿真时放大器开环增益交点向原点移动的现象, 此时放大器的相位裕度增加。但是由于增益带宽积的降低, 当有阶跃信号输入时, 放大器小信号响应时间也会增加。一般列放大器的速度为 1 行数据读出的速率, 60 kHz 左右, 因此给放大器足够的响应时间, 目前测试情况来看, 没有看出列放大器响应时间引起的相关的问题。

对于保持电容在 20 fF 以下的电路, 除了上述分析, 还应考虑保持电容在较长读出时间下的漏电问题, 这个数据很难通过仿真准确得到, 需要电路实际测试。

3 盲元拖尾及解决方法

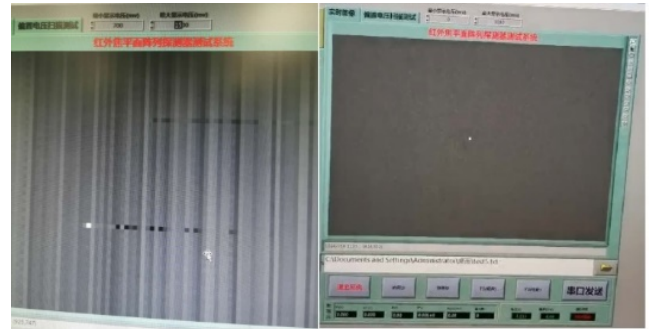
3.1 拖尾现象分析

读出电路通过倒装焊工艺与碲镉汞芯片连接, 由制冷机降温至 77 K, 进行性能验证。

电路在测试时, 灰度图上出现亮盲元拖尾现象。如图 11(a)所示, 当测试条件为 ITR 模式, 探测器器件有一个不会开启的盲元, 探测器其余像元饱和, 则不开启的盲元后续元存在拖尾现象。测试在 IWR 模式下, 没有盲元拖尾现象。

引起拖尾现象的原因: 测试饱和值 (0.8 V) 超出输出放大器可处理范围, 输出放大器电流驱动能力减小, 不能及时响应, 引起拖尾。

当抗晕管栅极电压调高时, 增加饱和电压 (调至 1 V) 亮盲元拖尾现象消失, 如图 11(b)所示。由于 IWR 模式下的摆幅 1.2~3 V, 因此这个摆幅范围内放大器工作正常, 不会有拖尾现象。



(a) 亮盲元拖尾现象 (b) 提高抗晕管电压, 亮盲元拖尾现象消失

(a) Bright blind pixel tailing phenomenon (b) Increase antiblooming voltage, the tail phenomenon disappears

图 11 亮盲元拖尾现象

Fig.11 Bright blind element tailing phenomenon

另外, 从测试结果来看, 拖尾不止一个通道, 临近通道也被干扰, 说明数据输出通道 OUT1-OUT8 之间存在串扰; 当某一通道电压大摆幅下降后, 临近通道电压被拉黑 (电压降低), 而且随之几个输出周期都不能恢复, 产生拖尾现象。

通过示波器可以看出, 示意图如图 12 所示, 输出放大器 OUT1 从不开启的盲元电压 (输出 3 V), 开始快速地下降到饱和电压值附近 1 V 左右, 然后很缓慢地降低到饱和电压值, 拖尾现象是在电压缓慢降低时引起的。同时, 被 OUT1 串扰的其他通道也会下降, 下降到饱和值以下, 在缓慢上升过程中引起拖尾。图 12 中虚线区域为拖尾区域, 此时运放处于接近截止的状态, 电流驱动能力明显降低, 不能快速响应变化, 引起拖尾。

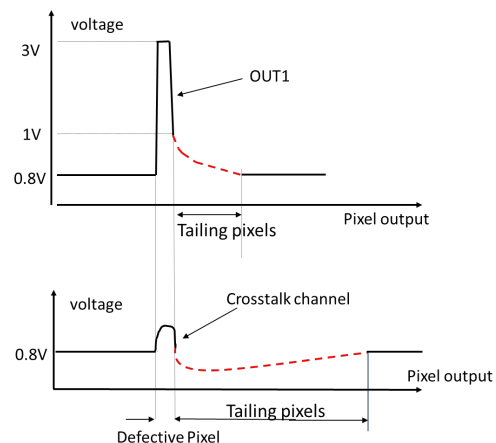


图 12 拖尾现象分析

Fig.12 Analysis of tailing phenomenon

3.2 抗晕管栅压设计

拖尾的原因是小于像元输出摆幅与输出运放所允许的摆幅不匹配所造成的, 为了使输出放大器正常工作, 并且不损失电路摆幅, 设计应该保证:

$$V_{(\min, \text{out_amp})} = V_{(\min, \text{pixel})} \quad (5)$$

式中: $V_{(\min, \text{out_amp})}$ 为输出放大器允许的最小输入;
 $V_{(\min, \text{pixel})}$ 为像元最小输出电压。

如图 13 所示, 像元输出最小电压 $V_{(\min, \text{pixel})}$ 可以由抗晕管电压控制, 抗晕管导通后像元电压为像元最小输出电压。设计目标转化为抗晕管栅极电压 V_A 的设计, 如图 13 所示, 根据该图可以得出下式:

$$\begin{aligned} V_{(\min, \text{pixel})} &= V_A - V_{GS1} \\ V_{(\min, \text{out_amp})} &= V_{GS2} + V_{OD3} \end{aligned} \quad (6)$$

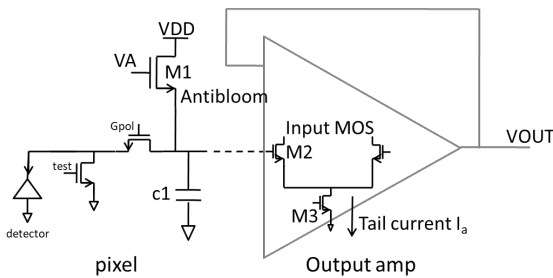


图 13 抗晕管栅极电压设计示意图

Fig.13 Schematic diagram of antiblooming voltage design

将(5)式代入(6)式得到:

$$V_A = V_{GS1} + V_{GS2} + V_{OD3} \quad (7)$$

式中: V_{GS2} 、 V_{GS2} 、 V_{OD3} 为 M1、M2、M3 管的栅源电压和过驱动电压; V_A 为设计目标。

实际抗晕管电压产生电路如图 14 所示。M4 与 M5 管交叉相连, M4 管的栅极接 M5 管的漏级, M5 管的栅极接 M4 管的源级, V_A 为该模块输出电压, 根据图 14, 可以得出式(8):

$$V_A = V_{GS4} + V_{GS5} + V_{DS6} \quad (8)$$

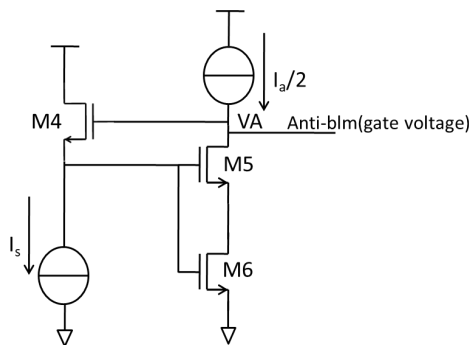


图 14 抗晕管电压产生电路

Fig.14 Antiblooming voltage generation circuit

设计保证(8)式与设计目标(7)式相等, 设计思路如下:

1) $V_{GS4} = V_{GS1}$ 。设计使 M4 管尺寸与像元抗晕管 M1 管相同, M4 电流约等于 (或稍大于) 光电流, 例如设计为 $I_s = 1 \text{ nA}$;

2) $V_{GS5} = V_{GS2}$ 。M5 管处在饱和区, M5 管尺寸与

M2 相同, 电流为输出放大器尾电流的一半, 即电流值为 $I_a/2$;

3) $V_{DS6} = V_{OD3}$ 。M6 管工作在线性区, M5 工作在饱和区, 通过计算确定 M6 管的宽长, 使 $V_{DS6} = V_{OD3}$ 成立。

根据上述描述, 通过细化图各个 MOS 管的尺寸, 可以达到式(7)的设计目标, 使像元输出电压摆幅等于输出放大器摆幅, 以满足输出放大器的工作范围, 避免拖尾现象。

4 电路测试及成像

1) 中测杜瓦电路测试

在中测杜瓦内验证读出电路属于对电路的初步验证, 电路验证包括 IWR/ITR 时序、摆幅、功耗、输出数据的带宽、读出数据转化成灰度图的验证等。读出电路流片返回后, 在中测杜瓦瓶内进行测试验证, 利用液氮降温, 通过读出电路测试系统来验证读出电路功能, 像元注入由 test 管完成, 利用示波器波形来验证电路功能。通过实验验证, 读出电路验证结果符合预期, 测试结果如表 5 所示。

表 5 读出电路测试结果

Table 5 Read out circuit test result

IWR/ITR function	Normal
Window mode test	Normal
Serial electrical interface	Normal
Output voltage swing	2 V
Power dissipation	150 mW
Output bandwidth	10 MHz
Frame rate	100 Hz
Noise	0.2 mV

2) 探测器组件成像

探测器组件与图像处理电路和光学镜头集成, 成像图 15 所示。



图 15 小像元探测器组件成像图

Fig.15 Imaging of small pixel detector assembly

5 结论

设计了一款小像元读出电路, 阵列 1024×768 ,

像元间距 10 μm 。输入级采用直接注入结构, 2 档增益可选, IWR/ITR 模式可选。实验表明: 小像元条件下, 设计 ITR/IWR 模式可选, 2 档增益, 读出电路噪声为 0.2 mV, 帧频 100 Hz, 满足了大面阵、小像元探测器应用需求。本文重点分析了小电容的抗干扰能力、盲拖尾现象及改进方法, 读出电路已经应用于中波 1024 \times 768 碲镉汞焦平面探测器, 具备实用化的能力。同时, 通过实测数据, 将来可能以该款读出电路作为基础, 制造出更大面阵更小像元尺寸的 MCT 焦平面探测器阵列, 满足小像元探测器的需求。

参考文献:

- [1] 杨超伟, 李东升, 李立华, 等. 小像元碲镉汞红外焦平面探测器的研究进展[J]. 红外技术, 2019, 41(11): 1003-1011.
YANG Chaowei, LI Dongsheng, LI Lihua, et al. Review of small-pixel HgCdTe infrared focal plane detector[J]. *Infrared Technology*, 2019, 41(11): 1003-1011.
- [2] 李俊斌, 李东升, 杨玉林, 等. 以色列 SCD 公司的 III-V 族红外探测器研究进展[J]. 红外技术, 2018, 40(10): 936-945.
LI Junbin, LI Dongsheng, YANG Yulin, et al. III-V semiconductor infrared detector research in SCD of Israel[J]. *Infrared Technology*, 2018, 40(10): 936-945.
- [3] 邓功荣, 赵鹏, 袁俊, 等. 碲基高工作温度红外探测器研究进展[J]. 红外技术, 2017, 39(9): 780-784.
DENG Gongrong, ZHAO Peng, YUAN Jun, et al. Status of Sb-based HOT infrared detectors [J]. *Infrared Technology*, 2017, 39(9): 780-784.
- [4] Beletic J W, Blank R, Gulbransen D, et al. Teledyne imaging sensors: infrared imaging technologies for astronomy and civil space[C]//*High Energy, Optical, and Infrared Detectors for Astronomy III*, 2008, 7021: 70210H.
- [5] Rogalski A. Recent progress in infrared detector technologies[J]. *Infrared Physics & Technology*, 2011, 54(3): 136-154.
- [6] Rogalski A. Next decade in infrared detectors[C]//*Electro-Optical and Infrared Systems: Technology and Applications XIV*, 2017, 10433: 104330L.
- [7] Caulfield J, Curzan J. Small pixel infrared sensor technology[C]//*Infrared Technology and Applications XLIII*, 2017, 10177: 1017725.
- [8] Chen T, Catrysse P B, El Gamal A, et al. How small should pixel size be?[C]//*Sensors and Camera Systems for Scientific, Industrial, and Digital Photography Applications*, 2000, 3965: 451-459.
- [9] Farrell J, Xiao F, Kavusi S. Resolution and light sensitivity tradeoff with pixel size[C]//*Digital Photography II*, 2006, 6069: 60690N.
- [10] Lutz H, Breiter R, Eich D, et al. Small pixel pitch MCT IR-modules[C]//*Infrared Technology and Applications XLII*, 2016, 9819: 98191Y.
- [11] Lutz H, Breiter R, Eich D, et al. Towards ultra-small pixel pitch cooled MW and LW IR-modules[C]//*Infrared Technology and Applications XLIV*, 2018, 10624: 106240B.
- [12] Espuno L, Pacaud O, Reibel Y, et al. A new generation of small pixel pitch/SWaP cooled infrared detectors[C]//*Electro-Optical and Infrared Systems: Technology and Applications XII*, 2015, 9648: 96480H.
- [13] Manissadjian A, Rubaldo L, Reibel Y, et al. Improved IR detectors to swap heavy systems for SWaP[C]//*Infrared Technology and Applications XXXVIII*, 2012, 8353: 835334.
- [14] Johnson John. Analysis of image forming systems[C]//*Proceeding of SPIE- The International Society for Optical Engineering*, 1958, 513(513): 761.
- [15] 周立庆, 宁提, 张敏, 等. 10 μm 像元间距 1024 \times 1024 中波红外探测器研制进展[J]. 激光与红外, 2019, 49(8): 915-920.
ZHOU L, NING T, ZHANG M, et al. Developments of 10 μm pixel pitch 1024 \times 1024 MW infrared detectors[J]. *Laser & Infrared*, 2019, 49(8): 915-920.
- [16] Berthoz J, Rubaldo L, Maillard M, et al. MTF performance: measurements, modelisation, and optimization for Sofradir II-VI IR photodetectors[C]//*Quantum Sensing and Nanophotonic Devices XII*, 2015, 9370: 93700O.
- [17] Reibel Y, Augey T, Verdet S, et al. High-performance and long-range cooled IR technologies in France[C]//*Infrared Technology and Applications XXXIX*, 2013, 8704: 87040B.
- [18] Reibel Y, Rubaldo L, Manissadjian A, et al. High-performance MCT and QWIP IR detectors at Sofradir[C]//*Electro-Optical and Infrared Systems: Technology and Applications IX*, 2012, 8541: 85410A.
- [19] Reibel Y, Rouvie A, Nedelcu A, et al. Large format, small pixel pitch and hot detectors at SOFRADIR[C]//*Electro-Optical and Infrared Systems: Technology and Applications X*, 2013, 8896: 88960B.
- [20] Lefoul X, Pere-Laperne N, Augey T, et al. New SOFRADIR 10 μm pixel pitch infrared products[C]//*Electro-Optical and Infrared Systems: Technology and Applications XI*, 2014, 9249: 924911.
- [21] Tan C L, Mohseni H. Emerging technologies for high performance infrared detectors[J]. *Nanophotonics*, 2018, 7(1): 169-197.
- [22] Beletic J W, Blank R, Gulbransen D, et al. Teledyne imaging sensors: infrared imaging technologies for astronomy and civil space[C]//*High Energy, Optical, and Infrared Detectors for Astronomy III*, 2008: 70210H.
- [23] Dorn R J, Eschbaumer S, Hall D N, et al. Evaluation of the Teledyne SIDECAR ASIC at cryogenic temperature using a visible hybrid H2RG focal plane array in 32 channel readout mode[C]//*Proc. of SPIE*, 2008: DOI:10.1117/12.788717.
- [24] Bai Y, Bajaj J, Beletic J W, et al. Teledyne imaging sensors: silicon CMOS imaging technologies for x-ray, UV, visible, and near infrared[C]//*Proc. of SPIE*, 2008, 7021: 702102.
- [25] 毕查德·拉扎维. 模拟 CMOS 集成电路设计[M]. 西安: 西安交通大学出版社, 2003.
Behzad Razavi. *Design of Analog CMOS Integrated Circuits*[M]. Xi'an: Xi'an JiaoTong University Press, 2003.