

一种提高 FPGA 片间通信稳定性的校验协议研究

池林辉, 钱芸生, 籍宇豪

(南京理工大学, 江苏 南京 210094)

摘要: 随着 FPGA (Field Programmable Gate Array) 在大型系统中得到越来越广泛的应用, 单片 FPGA 往往难以胜任全部工作, 多片 FPGA 之间进行高速稳定通信成为了该领域的一个研究热点。为此设计了一种基于低压差分信号 (low voltage differential signal, LVDS) 可用于 FPGA 片间高速稳定通信的校验协议, 该协议在常规 LVDS 通信的基础上进行多轮多路校验, 以提高传输可靠性。基于该协议, 搭建了一套由两片 Xilinx 7 系列 FPGA 构成的 9 通道 LVDS 通信测试系统。其中 1 个通道用于同步时钟, 另外 8 通道用于校验和通信。经过长时间高低温测试, 在保证单路传输速率达 1.2 Gb/s 的情况下, 相对于常规 LVDS 通信, 误码率大大降低。

关键词: FPGA; LVDS; 通信测试; 校验协议; 高速稳定; 误码率

中图分类号: TN223

文献标识码: A

文章编号: 1001-8891(2020)11-1022-02

Verification Protocol for Improving Communication Stability Between FPGAs

CHI Linhui, QIAN Yunsheng, JI Yuhao

(Nanjing University of Science and Technology School of Electronic and Optical Engineering, Nanjing 210094, China)

Abstract: As field-programmable gate arrays (FPGAs) become increasingly used in large-scale systems, it is often difficult for a single-chip FPGA to perform all the tasks required. High-speed and stable communication between multiple FPGAs has become a focus of research in this field. For this purpose, a verification protocol based on low-voltage differential signaling (LVDS) that can be used for high-speed and stable communication between FPGA chips was designed. This protocol performs multiple rounds of multipath verification based on conventional LVDS communication to improve transmission reliability. Based on this protocol, a nine-channel LVDS communication test system consisting of two Xilinx 7 series FPGAs was built. One channel was used to synchronize the clock, and the other eight channels were used for checksum communication. After a long period of high- and low-temperature tests, the bit error rate was greatly reduced compared with conventional LVDS communications while ensuring a single transmission rate of 1.2 Gb/s.

Key words: FPGA, LVDS, communication test, verification protocol, high speed and stability, bit error rate

0 引言

对于一些复杂的系统, 由于功能或机构的限制, 单片 FPGA 难以实现全部功能^[1]。在多片 FPGA 协同工作情况下, 如何提高 FPGA 片间高速通信的稳定性逐渐成为这一领域的研究热点。传统的并行总线因占用资源多, 噪声高等缺点, 在高速数据传输领域已逐渐被淘汰。目前对于 Xilinx 7 系列 FPGA 而言, 片间高速通信主要有两种方案。一种是通过

GT 系列串行高速收发器来实现, 根据 FPGA 种类不同分为 GTP、GTX、GTH、GTZ。其中线速率最低的 GTP 可以支持 6.6 Gb/s。虽然此方案传输速率高, 但由于每片 FPGA 的串行高速收发器数量有限, 且高速传输对于 PCB 布局布线提出了很高的要求, 因此存在一定的局限性。另一种方案是通过 LVDS 技术来实现^[2]。该技术具有线速率高、抑制共模噪声、低功耗、抗干扰能力强等优点^[3]。且通过配置 BANK 电压, 可使 FPGA 提供大量支持 LVDS 标准的接口, 吞吐率可达 Gb/s 级, 因此该方案具有更加

收稿日期: 2020-07-03; 修订日期: 2020-11-02.

作者简介: 池林辉 (1996-), 男, 硕士研究生, 主要从事光电成像科研工作。E-mail: chilinhui6@163.com.

通信作者: 钱芸生 (1968-), 男, 教授, 博士生导师。主要从事光电测试、图像处理和仿真等工作。E-mail: yshqian@mail.njust.edu.cn.

基金项目: 省部级基金项目 (61424120504162412001)。

广阔的应用前景^[4]。

本文提出了一种提高LVDS通信稳定性的校验协议,基于两片Xilinx FPGA平台搭建多路LVDS通信测试系统,并在不同温度条件下测试系统的误码率^[5]。

1 FPGA片间通信系统搭建

本文分别利用两片Xilinx公司的Kintex-7和Artix-7 FPGA作为数据处理中心,通过9对LVDS信号线进行片间通信,如图1所示。

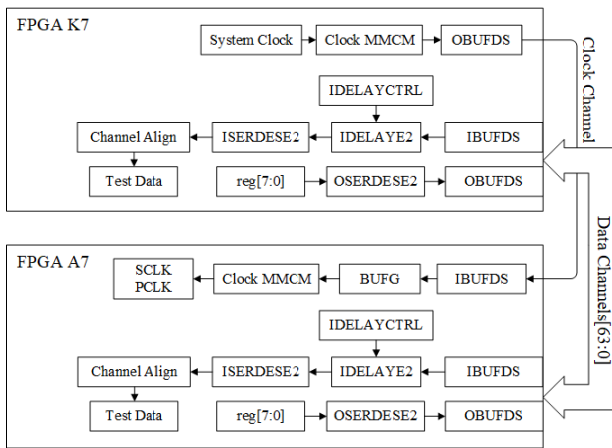


图1 片间通信测试系统组成框图

Fig.1 Block diagram of inter-chip communication test system

程序测试主要分3步。第一步通过图1中的Clock Channel进行同步时钟,其中涉及到差分信号和单端信号的转换以及时钟分频倍频;第二步通过Data Channel进行双向数据校验,其中涉及到串并转换、bit位对齐、Byte位对齐、通道对齐。因为每个通道经过串并转换都可以收发8bit数据,共有8个数据通道,所以Data Channel是64bit;最后进行单向数据传输,测试系统误码率。

系统硬件包括3部分,分别是K7 FPGA核心板、通信底板、A7 FPGA核心板。硬件测试平台实物如图2所示。为了保证片间通信的稳定性,在绘制PCB时,布线方面要保证9组数据通道等长,且使用圆弧走线;在布局方面,要避开电源等强电磁干扰,且保证对应IO口间距尽量短。

2 数据校验协议设计与试验

2.1 同步时钟

两片FPGA的主时钟属于非同源时钟,存在一定的相位差,因此在数据校验和通信之前,必须先进行同步时钟。

同步时钟包括发送和接受两部分。首先要通过K7的MMCM(mixed-mod clock manager)IP核分

频生成20MHz的同步时钟,然后经过OBUFDS转换成差分时钟输出^[6]。同步时钟的作用只是对齐两片FPGA时钟的相位,因此频率无需过高,这有利于提高片间传输的稳定性。

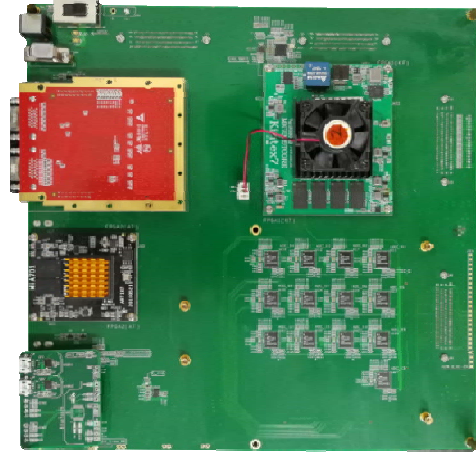


图2 硬件测试平台

Fig.2 Hardware test bench

如图3所示, LVDS信号电平标准为2.5V,周期T为50ns^[7]。因此在硬件方面,需要在试验开始前更改FPGA对应BANK的供电电压,以改变FPGA IO口的电平标准;在程序方面,需要通过XDC文件配置输出IO口模式为LVDS_25模式。

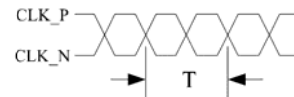


图3 差分信号波形图

Fig.3 Differential signal waveform diagram

该差分信号需经过电磁环境复杂的底板传输后才能到达A7,如果时钟频率过高,PCB的布局布线不能满足高速信号的严格要求,就会导致误码。这也说明了采用多路LVDS信号传输比少量GT高速串行收发器传输的可靠性和适应性更好。

A7 FPGA接收到差分时钟后,首先利用IBUFDS对输入信号进行输入缓冲和差分转单端处理,以去除共模噪声的影响^[8]。该时钟将作为接收端的系统主时钟使用,因此还需进入BUFG进行全局缓冲。然后利用MMCM对20MHz的同步时钟进行倍频,得到600MHz的串行时钟SCLK和150MHz的并行时钟PCLK,完成同步时钟。这里需要注意的是FPGA接收时钟信号时,必须将引脚分配到MRCC(区域时钟的BUFIO,能驱动相邻BANK/时钟域的IO)或SRCC(区域时钟的BUFIO,能驱动所属BANK/时钟域的IO)的I/O口上才可以作为接收端主时钟使用^[9]。

2.2 数据校验

2.2.1 通信原理

两片 FPGA 之间通信是双向的，各通道数据收发原理相同，如图 4 所示。

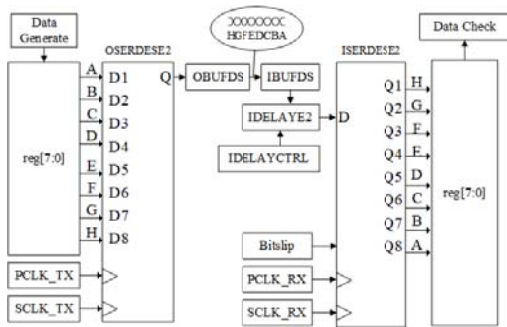


图 4 通信原理框图

Fig.4 Communication schematic

首先由发送端生成 8 bit 测试数据，然后经过 DDR (Double Data Rate) 模式的 OSERDESE2 (并串转换器) 把并行数据转成串行数据，最后用 OBUFDS 把单端信号转成差分信号输出^[10]。这里需要给 OSERDESE2 提供并行时钟 PCLK_TX 和串行时钟 SCLK_TX，这两个时钟分别接 CLKDIV 和 CLK 端口^[11]。

差分信号经过底板传输后，由另一片 FPGA 的 IBUFDS 接收，并把差分信号转成单端信号。数据经过转换后需要进行三步对齐，如图 5 所示。

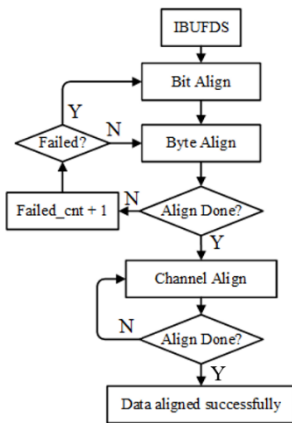


图 5 数据对齐流程图

Fig.5 Flowchart of data alignment

首先通过 IDELAYE2 进行 bit 位对齐，然后通过 ISERDESE2 进行串并转换和 Byte 位对齐，最后进行通道对齐，直至还原出各通道的 8 bit 测试数据。在 LVDS 信号传输过程中，虽然可以消除共模噪声，但数字信号的抖动无法避免，如图 6 所示。

从频域的角度分析，抖动频谱的中心就是信号的工作频率，其符合高斯分布。不是中心频率的信号，被称为相位噪声。抖动和相位噪声本质相同，分别是时域和频域分析的结果。

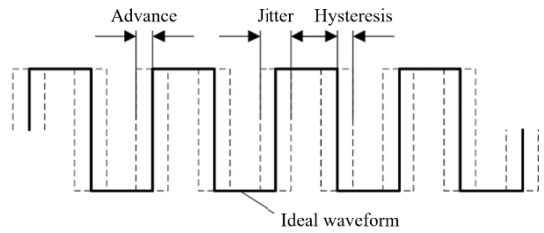


图 6 信号在时间域抖动特性

Fig.6 Signal jitter characteristics in the time domain

正弦波输出信号可以用如下公式表示：

$$V(t) = [A_0 + \varepsilon(t)] \sin[2\pi f_0 t + \varphi(t)] \quad (1)$$

式中： A_0 为电压最大值； $\varepsilon(t)$ 为振幅噪声； f_0 为工作频率； $\varphi(t)$ 为相位噪声。在理想情况下， $\varepsilon(t)$ 和 $\varphi(t)$ 均为 0。但振荡器并不理想，相位噪声不能忽略。因此得到下面公式：

$$(2)$$

当 $x = 2\pi$ ，则 $\sin(x) = 0$ ，此时公式(2)可以表示为：

$$t = T_0 + \Delta T = T_0 \left(1 - \frac{\varphi(t)}{2\pi} \right) \quad (3)$$

所以抖动与周期的关系可以通过如下公式表示：

$$J(t) = \frac{\Delta T}{T_0} = \frac{\varphi(t)}{2\pi} \quad (4)$$

因此频率越高，抖动越大。当利用时钟信号采集串行数据时，就可能出现亚稳态。所以对串行数据进行相位调节是必要的。

另外在 PCB 布线时会出现数据线之间不等长的情况，或受外界温度变化的影响，从而在接收端产生相位差。因此无法准确地根据接收端的时钟沿采集到正确的串行数据。

本文采用 IDELAYE2 对串行数据进行相位调节，实现 bit 位对齐，以防止亚稳态的发生，保证采集到正确的 bit，如图 7 所示。

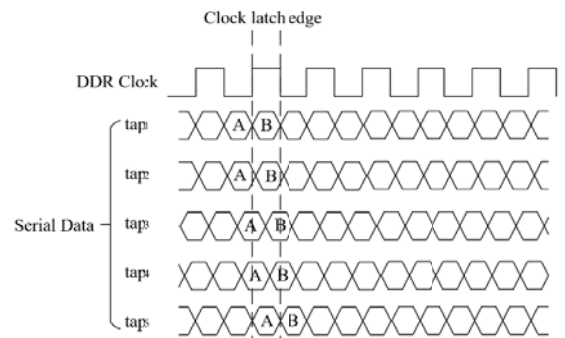


图 7 Bit 位对齐时序图

Fig.7 Timing diagram of bit alignment

图 7 中 DDR Clock 为接收端倍频后的串行时钟。因为采用 DDR 模式，因此串行时钟的每个跳

边沿都应该和一个串行数据对齐。IDELAYE2 可以不断调整串行数据的相位，最终使时钟跳变沿刚好对齐数据中心。

调整过程主要包括两个环节。首先向右不断调整 IDELAYE2 的 tap 值，使其出现 tap1 的情况。一旦出现此情况，则说明发生了亚稳态，这将导致后续 Byte 位对齐失败，记录此时的延迟值 tap1；然后向左对数据通道不断调整，直至出现 tap5 的情况，此时再次出现 Byte 位对齐失败，记录此时的延迟值 tap5。最后取 tap1 和 tap5 的中值，即 tap3 作为该数据通道的最理想延时值，进而完成 bit 位对齐。时钟沿和数据通道中心对齐将会保证采集到最稳定的数据。

此处注意 IDELAYE2 需要 IDELAYCTRL 提供延时分辨率^[12]。因为给 IDELAYCTRL 的参考时钟 REFCLK 是 200MHz, 根据如下公式可得 IDELAYE2 的延时分辨率为 78.125 ps:

$$tap = \frac{1}{F_{(REFCLK)} \times 2 \times 32} \quad (5)$$

式中： $F_{(REFCLK)}$ 为参考时钟的频率；tap 为调节延迟分辨率。其中参考时钟需要由同步时钟倍频而来，以保证时钟同源。一共有 32 个调节梯度可以选择，所以通过 IDELAYE2 最多可以将 bit 位延迟 2.5 ns。另外，IDELAYE2 一旦使用，将引入固定的基础延迟 0.6 ns。

上述方法是通过调节数据通道的相位关系来解决信号抖动问题的。但在实际应用中，在保证硬件各信号通道严格等长的情况下，各数据通道相位相差不大，此时可调节串行时钟相位。因为发送端的时钟和数据相位关系如图 7 中的 tap1，而在接收端需要调节成 tap3。那么此时只需要将接收端的串行时钟通过 MMCM 延迟 90°，使跳边沿能采集到正确稳定的数据，避免亚稳态的产生。

进行 Byte 位对齐，首先需通过 ISERDESE2(专用解串器)把串行信号转成并行信号，重新组成 8 bit 的并行数据。

图 8 为 DDR 模式下的 Byte 位对齐过程。只要采集到的并行数据和测试数据不同，则继续拉高 Bitslip，并进行对齐失败计数。每次 Bitslip 拉高，都会对并行数据的 bit 顺序进行调整^[13]。如果连续 7 次对齐失败，则说明 bit 位对齐失败，返回 IDELAYE2。基于此原理，需经过多次调整，最终完成字节对齐。另外还需要为 ISERDESE2 提供并行时钟 PCLK_RX 和串行时钟 SCLK_RX。

待各通道 Byte 位均对齐成功后，将得到 4 路并行数据。最后进行通道对齐，不断调整 4 路 8bit 的数据顺序，将其拼接成 32 bit 的并行数据。如果此

数据和测试数据相同，则说明数据对齐成功。

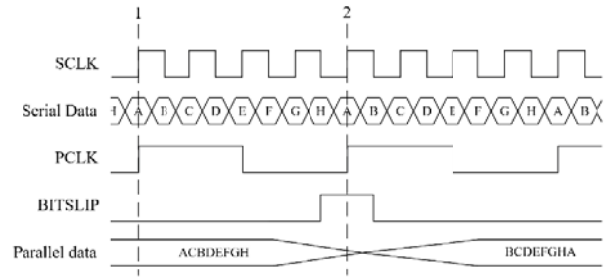


图 8 Byte 位对齐时序图

Fig.8 Timing diagram of Byte alignment

2.2.2 校验协议

基于上述原理，在常规的 LVDS 通信之前，需进行片间双向校验。校验流程如图 9 所示。

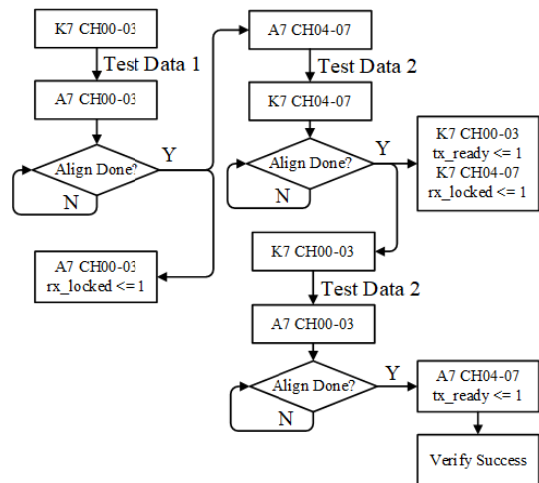


图 9 双向校验示意图

Fig.9 Schematic diagram of two-way verification

同步时钟后，两片 FPGA 的 8 个数据通道进行数据对齐。首先 K7 FPGA 的前 4 路会发送 32 bit 的 Test Data 1，A7 FPGA 的前 4 路接收并进行对齐。如果对齐失败，将继续进行数据对齐；如果对齐成功，则说明 A7 前 4 路接收数据正常，将前 4 路的 rx_locked 拉高。然后通过后 4 路发送 Test Data 2，K7 的后 4 路接收并对齐。

如果 K7 的后 4 路对齐失败，将继续进行数据对齐；如果对齐成功，则说明 K7 的前 4 路发送正常，后 4 路接收正常，将前 4 路的 tx_ready 和后 4 路的 rx_locked 拉高。然后通过前 4 路发送 Test Data 2，A7 的前 4 路接收并对齐。

此时可直接使用第一轮校验的对齐策略来对齐 Test Data 2。A7 接收到 Test Data 2 后，则说明其后 4 路发送正常，将其后 4 路的 tx_ready 拉高。校验完成。

通过上述 3 轮数据对齐，完成一轮闭环校验，如图 10 所示。该校验协议保证了 K7 端前 4 路发送正常，后 4 路接收正常，A7 端前 4 路接收正常，后

4 路发送正常。从而保证两个终端之间双向 8 路通信正常。进而确保后续稳定的数据通信，以达到降低误码率的目的。

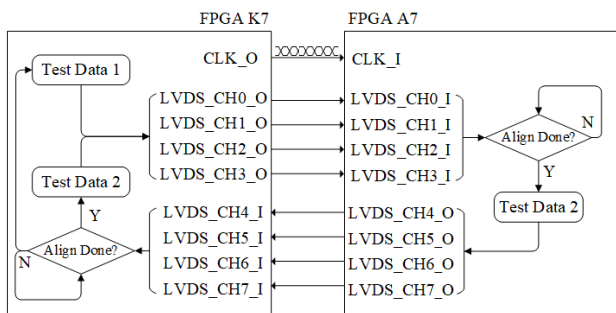


图 10 闭环校验示意图

Fig.10 Closed-loop verification diagram

2.3 数据通信测试误码率

经过校验后，K7 和 A7 两片 FPGA 的 tx_ready 和 rx_locked 都会拉高。随后进入数据通信阶段，8 路数据通道开始传输数据，误码率测试方案如图 11 所示。

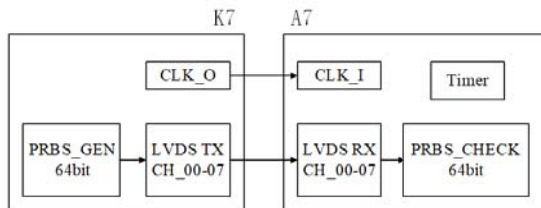


图 11 通信测试数据传输方案

Fig.11 Transmission plan of communication test data

PRBS (Pseudorandom binary sequence) 被称作伪随机码，常用于高速串行通信的误码率测试。其码型由多项式确定，周期性重复。本文将借助伪随机码来测试误码率。

设计使用 K7 产生 64 bit 的伪随机码，然后分成 8 路通过 LVDS 的方式发送出去。由 A7 的 8 个数据

通道接收并拼接数据，把拼接后的 64 bit 数据输入 PRBS 检测模块，该模块将输出误码累计个数。为了方便实验统计，还在 A7 端还加入了计时模块 Timer。

因为温度的变化会影响数据传输的稳定性，导致出现亚稳态，使 Byte 位对齐失败。所以基于此方案，对测试系统进行高低温试验，以检测温度变化对片间通信误码率的影响。

3 试验结果

本试验基于 Vivado 平台完成。串行时钟为 600 MHz，并行时钟为 150 MHz，板间同步时钟为 20 MHz^[14]。

为了直观地统计测试结果，在 A7 端利用 ChipScope 对 error_cnt 进行实时观察。图 12 给出了系统在 20℃ 环境下持续 1 h 的测试截图。

图 12 中 rx_locked 和 tx_ready 均已拉高，说明系统已经过校验。prbs_data_r 是 A7 端 8 个通道拼接而成的 64 bit 数据，把该数据输入到 PRBS 校验模块 PRBS_CHECK，此模块输出的误码个数为 error_cnt_r。hour_r、min_r、sec_r 分别为小时、分钟、秒。为利用 ChipScope 触发 hour_r 为 1 的时刻。实验持续测试 1 h，在 20℃ 环境下未出现误码。

本试验在 -30℃ ~ 50℃ 之间每隔 10℃ 进行一组测试，最终得到 9 组测试结果，如表 1 所示。结果表明，在各温度下测试该通信系统，均未出现误码。

因为并行时钟是 150 MHz，每检测一个并行数据需要 6.7 ns，所以 1 h 测试期间共检测 5.4×10^{11} 个数据。如果出现 1 个误码，经计算得出误码率为 1.9×10^{-12} 。因此可以推断，在不同温度条件下，经过校验的 FPGA 片间通信误码率低于 1.9×10^{-12} 。

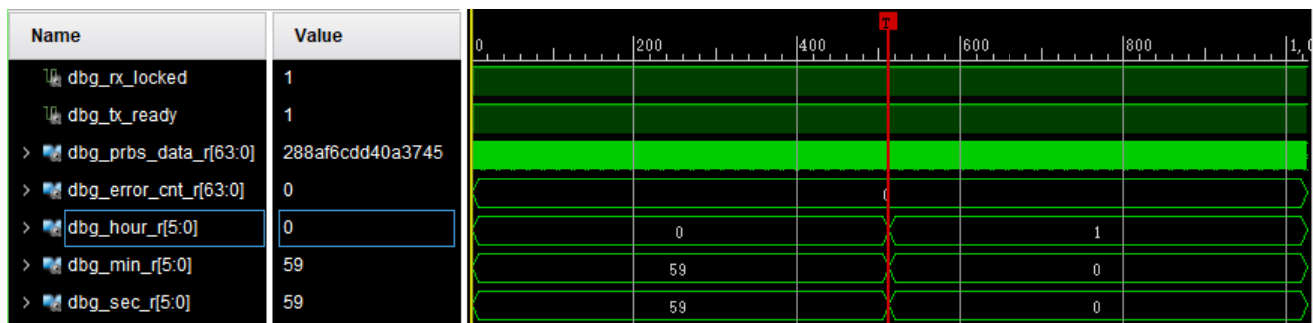


图 12 A7 端 ChipScope 在线测试图

Fig.12 ChipScope online test chart of A7

表1 不同温度下FPGA片间通信误码率测试结果

Table 1 Test results of bit error rate of FPGA inter-chip communication at different temperatures

Temperature/°C	-30	-20	-10	0	10	20	30	40	50
Bit error rate	0	0	0	0	0	0	0	0	0

4 结语

本文基于LVDS技术,设计了一种FPGA片间通信校验协议。在常规的LVDS通信之前,经过多通道多轮校验,完成多通道数据对齐,补偿由于PCB布线和其他外界因素所带来的各路间的延迟。该校验协议有效防止了亚稳态的产生和数据丢失,从而保证后续双向通信稳定进行。试验结果证明,该校验协议可以有效降低误码率,提高通信的稳定性。下一步可以完善校验协议,对影响片间通信稳定性的其他外界因素进行试验,进一步降低误码率。

参考文献:

- [1] FANG J, DAI S. Design of multi-channel intelligent transmitter based on HART protocol[J]. *Microcomputer & Its Applications*, 2011, **30**(20): 23-25.
- [2] HOU Q L, XU K J, FANG M, et al. A DSP-based signal processing method and system for CMF[J]. *Measurement Journal of the International Measurement Confederation*, 2013, **46**(7): 2184-2192.
- [3] 易敏, 苏淑靖. 基于LVDS的高可靠性数据传输设计[J]. *微电子学与计算机*, 2014(9): 131-134.
YI Min, SU Shujing. High Reliability of Data Transmission Design Based on LVDS[J]. *Microelectronics & Computer*, 2014(9): 131-134.
- [4] 冯晓东, 杨可. 一种基于LVDS接口的高速并行数据传输系统设计与实现[J]. *数字技术与应用*, 2013(6): 64-65.
FENG Xiaodong, YANG Ke. The Design and implementation of one high speed parallel data transfer system based on LVDS[J]. *Digital Technology & Application*, 2013(6): 64-65.
- [5] Alkafi A, Imran R, Islam M. Development of FSM based Running Disparity Controlled 8b/10b Encoder/Decoder with Fast Error Detection Mechanism[J]. *HCTL Open IJTIR*, 2013(2): 2321-1814.
- [6] Tseng S.H, Liao Y L. Monolithic power splitter for differential signal[P]. [2011-4-29]. U.S. Patent 13,097,072.
- [7] 袁文燕, 郑玥, 宋宇飞, 等. FPGA片间万兆可靠通信的设计与实现[J]. *电视技术*, 2014(1): 43-46.
YUAN Wenyang, ZHENG Yue, SONG Yufei, et al. Design and Implementation of 10-Gbit/s Reliable Intra-FPGA Communication[J]. *Video Engineering*, 2014(1): 43-46.
- [8] Xilinx. 7 Series FPGAs Select IO Resources User Guide[Z]. America: Xilinx Inc, 2018.
- [9] WONG A C, Borrelli C J, Jones L, et al. Transceiver for providing a clock signal[P]. [2013-8-8]. U.S. Patent 13,962,468.
- [10] 王建东. 基于FPGA的高速串行数据采集及恢复技术研究[D]. 成都: 电子科技大学, 2017.
WANG Jiandong. Research On High Speed Serial Data Acquisition And Recovery Technology Based On FPGA[D]. Chengdu: School of Microelectronics & Solid State Electronics, 2017.
- [11] Xilinx. 7 Series FPGAs GTX/GTH Transceivers User Guide [Z]. America: Xilinx Inc, 2018.
- [12] Wirthlin MJ, Takai H, Harding. A soft error rate estimations of the Kintex-7 FPGA within the ATLAS Liquid Argon (LAr) Calorimeter [J]. *Journal of Instrumentation*, 2014, **9**(1): 1-8.
- [13] Herrera-Alzu I, Lopez-Vallejo M. Design Techniques for Xilinx Virtex FPGA Configuration Memory Scrubbers[J]. *IEEE Transactions on Nuclear Science*, 2013, **60**(1): 376-385.
- [14] Xilinx. Vivado Design Suite 7 Series FPGA and Zynq-7000 All Programmable SoC Libraries Guide [Z]. America: Xilinx Inc, 2017.