

引用格式:朱鹏程,胡娜.基于APU+FPGA的机载视频和通讯总线处理系统设计[J].电光与控制,2021,28(5):98-102. ZHU P C, HU N. Design of an airborne video and communication bus processing system based on APU+FPGA[J]. Electronics Optics & Control, 2021, 28(5):98-102.

基于 APU + FPGA 的机载视频和通讯总线处理系统设计

朱鹏程, 胡娜

(中国航空无线电电子研究所, 上海 200233)

摘要: 针对目前航空电子系统中几种广泛应用的机载通讯总线,设计了一种基于 APU + FPGA 的机载视频和通讯总线处理系统。以 APU 主处理器和可编程逻辑器件 FPGA 为核心,实现了对输入的 1 路 ARINC818 视频与内部生成的字符进行叠加后,输出 1 路 ARINC818 视频至显示器显示的功能。同时,支持 7 路 RS-422 和 4 路 ARINC429 总线通讯。另外,系统还对 22 路输入离散量和 7 路输入模拟量进行了处理。该系统方案采用低功耗、高性能和高集成度的 APU 和 FPGA 器件作为核心处理器,极大地简化了硬件架构,降低了系统功耗,提高了可靠性。该设计已成功运用于某飞机显示控制管理系统。

关键词: 航空电子系统; APU 主处理器; FPGA; ARINC818 视频; RS-422 总线; ARINC429 总线

中图分类号: V243.6 **文献标志码:** A **doi:**10.3969/j.issn.1671-637X.2021.05.022

Design of an Airborne Video and Communication Bus Processing System Based on APU + FPGA

ZHU Pengcheng, HU Na

(China National Aeronautical Radio Electronics Research Institute, Shanghai 200233, China)

Abstract: An airborne video and communication bus processing system is designed based on APU + FPGA for several widely-used airborne communication buses in current avionics system. With APU main processor and the programmable logic device FPGA as the core, one channel of input ARINC818 video is superimposed with the internally generated characters, and the function of outputting one channel of ARINC818 video to the display is realized. At the same time, it can support 7-way RS-422 and 4-way ARINC429 bus communication. In addition, the 22-way input discrete data and 7-way input analog data are processed. The system adopts the low-power, high-performance and highly-integrated APU and FPGA as the core processor, which greatly simplifies the hardware architecture, reduces the power consumption of the system, and improves the reliability. The design has been successfully applied to the display control management system of a certain aircraft.

Key words: avionics system; APU main processor; FPGA; ARINC818 video; RS-422 bus; ARINC429 bus

0 引言

随着航空电子技术和工艺的飞速发展,各种总线技术已获成熟应用,航空机载系统不断朝着综合化、模块化、网络化、信息化和智能化方向发展。机载总线是现代航空电子设备的“中枢神经”,承载着如惯性导航、飞行控制、机电管理和任务计算机等各个子系统之间的数据通信连接^[1-2]工作。

RS-422 总线是在 RS-232 基础上发展而来的,它改

进了 RS-232 串行数据总线通信速率低、距离短等缺点,通信协议灵活、构造简单,且支持点对多的双向通信,在现代飞机设计中得到了广泛的应用^[3-4]。ARINC429 总线是航空电子系统中最常用的通信总线之一,具有数据资源丰富、数据精度高、结构简单、性能稳定、传输可靠、抗干扰能力强等优点,最高传输速率可达 100 Kbit/s^[5-6]。随着航空电子系统的发展,新一代航空电子数字视频总线(Avionics Digital Video Bus, ADVB)标准应运而生,简称 ARINC818。该标准统一了在飞机上各类设备间进行高带宽、低延时、无压缩视频传输的接口和协议规范,目前已广泛运用于世界范围内的各类民用和军用飞机的设计开发项目^[7-8]。

收稿日期:2020-03-13

修回日期:2021-04-19

作者简介:朱鹏程(1990—),男,江苏盐城人,硕士,工程师,研究方向为机载航空电子系统设计。

本文结合以上几种总线特点,设计了一种以 APU + FPGA 为核心架构的机载视频和通讯总线处理系统。该系统接收处理 1 路 ARINC818 视频,与内部生成的字符叠加后,转换成 ARINC818 视频输出至显示器显示,同时支持 7 路 RS-422 总线和 4 路 ARINC429 总线,用于与外部设备通讯。另外,系统还支持 22 路输入离散量和 7 路输

入模拟量的处理。以 APU + FPGA 处理器为核心,极大地简化了系统架构,从而降低了系统的功耗,提高了可靠性。

1 硬件架构和工作原理

基于 APU + FPGA 的机载视频和通讯总线处理系统的硬件架构如图 1 所示。

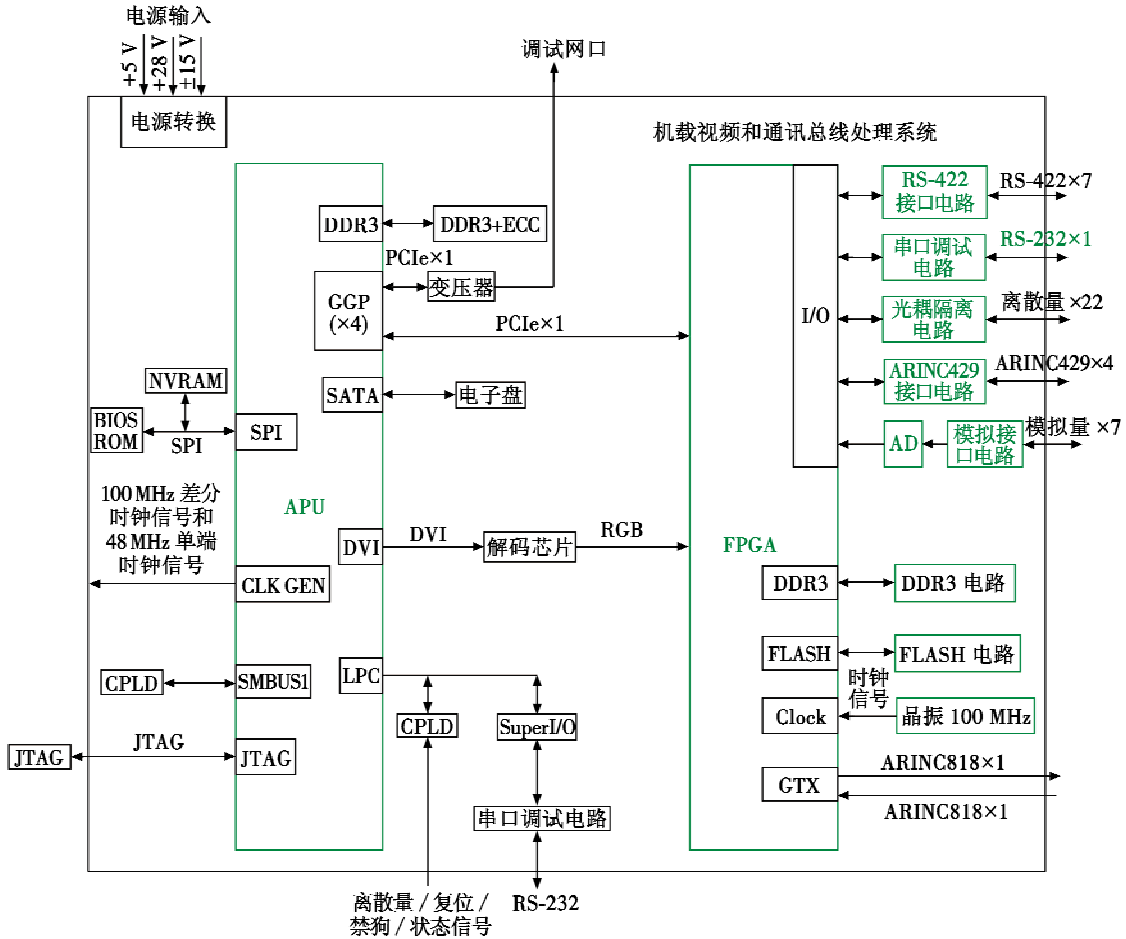


图 1 系统工作原理图

Fig. 1 Schematic diagram of the system

系统主要功能有:FPGA 接收处理 1 路 ARINC818 视频(分辨率为 1280 × 960@ 60 Hz),与 APU 主处理器生成的字符叠加后,输出 1 路 ARINC818 视频(分辨率为 1280 × 1024@ 60 Hz);具有 7 路 RS-422 通讯接口(全双工,波特率 115 200 bit/s,10 位)和 4 路 ARINC429 总线接口(收发各两路);处理 22 路输入离散量,以及 7 路单端输入模拟量(电压范围为 -7.5 ~ +7.5 V)。

为了降低系统功耗,本文采用 APU 主处理器 + FPGA 可编程逻辑器件的核心架构。APU(Application Processing Unit)是 AMD 公司推出的将 X86 架构的多核 CPU,NB(Northbridge)和外设 I/O 控制器 FCH(Fusion Controller Hub)集成于一体的 ROC 产品,把 CPU 擅长的

精密标量运算与传统上只有 GPU 才具备的大规模并行矢量运算结合起来,单片芯片可实现高性能通用处理、图形处理、异构计算和多种总线与外设接口能力。本文采用的是 APU-GX 系列,内含双核 CPU,最高 CPU 主频可达 1 GHz,GPU 主频可达 225 MHz。

FPGA 采用的是 Xilinx 公司生产的 Artix-7 系列 FPGA 芯片。该芯片内部逻辑资源丰富,最高工作频率可达 100 MHz,同时集成有传输速率最高为 6.6 Gibit/s 的高速串行收发模块 GTX。该 FPGA 采用 28 nm 工艺制造,与相似密度 40 nm 器件相比,功耗可降低一半。FPGA 利用其丰富的逻辑资源和 IP 核资源并配合以相应的外围辅助电路模块,构建出一个灵活、可重构的总

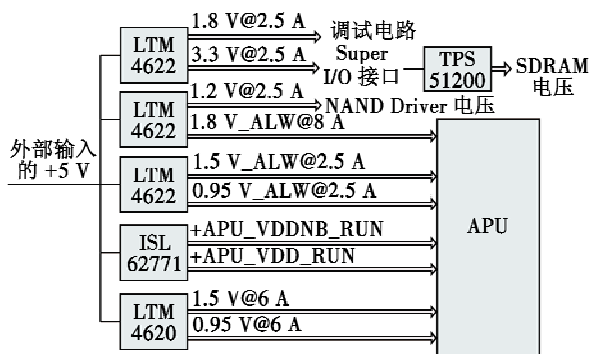
线接口处理系统^[9-10]。

2 系统硬件设计方案

根据图 1 所示,整个系统由电源转换电路、DDR3 内存电路、程序存储器电路、GTX 高速电路、RS-422 总线电路、ARINC429 总线电路、离散量处理电路、模拟量处理电路等主要部分组成。下面依次对每个主要部分进行说明。

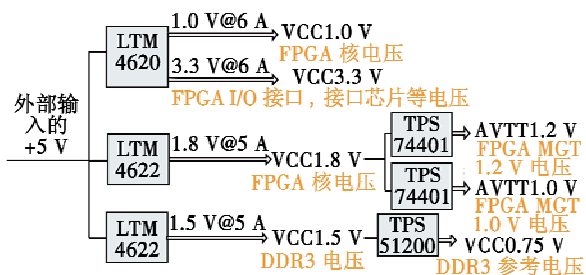
2.1 电源转换电路

电源转换电路主要包括 APU 电源转换电路和 FPGA 电源转换电路两部分。APU 电源转换电路将输入的 +5 V 电压转换为供内部使用的 +3.3 V, +1.8 V, +1.2 V, +1.5 V, +0.95 V, +APU_VDDNB_RUN, +APU_VDD_RUN 电压,主要提供给 APU 处理器的内核、I/O 接口、DDR3 接口以及外围配置电路。FPGA 电源转换电路将输入的 +5 V 电压转换成 +3.3 V, +1.8 V, +1.5 V, +1.2 V, +1.0 V, +0.75 V 电压,主要提供给 FPGA 内核、I/O 接口、DDR3 接口以及 GTX 接口。特别注意的是,整个系统上电顺序是 FPGA 先上电启动,APU 处理器再上电。具体的电源拓扑结构如图 2 所示。



上电顺序 3.3 V>1.2 V>1.8_ALW>1.5_ALW>0.95_ALW>1.5 V>0.95 V/1.8 V>+APU_VDDNB_RUN/+APU_VDD_RUN

(a) APU



上电顺序 VCC1.0 V>VCC1.8 V>VCC1.5 V/AVCC1.0 V/VCC3.3 V/VCC0.75 V/AVTT1.2 V

(b) FPGA

图 2 电源拓扑结构图

Fig. 2 The diagram of power topology

2.2 DDR3 内存电路

DDR3 内存电路包括 APU-DDR3 内存电路和 FP-

GA-DDR3 内存电路。APU-DDR3 内存电路支持 64 位 DDR3 SDRAM 内存管理模块,最大传输速率为 1066 MHz。本系统使用 5 片 16 位 DDR3 SDRAM 芯片,其中,4 片通过级联构成容量为 4 GiB 的 64 位动态存储器,为 CPU 提供系统内存,为 GPU 提供显存,另外 1 片实现 ECC 校验功能,内存器件型号为 MT41K512M 16HA-125;AIT。FPGA-DDR3 内存电路采用 2 片容量为 512 MiB 的 DDR3 芯片级联构成容量为 1 GiB 的 32 位动态存储器,用于视频数据缓存,最大传输速率 800 MHz,内存器件型号为 MT41K256M16HA-125;AIT。

2.3 程序存储器电路

本系统的程序存储器包括电子存储盘、SPI BIOS ROM 存储器、NOR FLASH 存储器 3 种。其中,电子存储盘型号为 GLS85LS1064B-M-I-FZJE,主要挂载在 APU 的 SATA 接口,存储容量为 64 GiB,主要用来存放系统的板级支持软件(BSP)和应用软件,同时要求具有软毁功能。SPI BIOS ROM 存储器型号为 MX25L6435EM 2I-10G,容量为 8 MiB,通过 SPI 接口与 APU 相连接,用来存放 BIOS 启动程序。另外,本文的 BIOS ROM 支持在线烧录功能,通过采用 Backup Boot Flash 接口方式,在 Backup Boot Flash 模块里预先存储 APU 的 BIOS,APU 在启动时可以通过开关选择从板载 BIOS 存储器启动或从 Backup Boot Flash 模块启动。

NOR FLASH 存储器主要存储 FPGA 的逻辑软件,存储器型号为 SM29LV256MC,存储器容量为 32 MiB,采用 3.3 V 供电,可以通过配置管脚实现 8 位数据总线或者 16 位数据总线工作。数据读取时间为 120 ns,擦写次数可达 100 000 次,本文采用 16 位数据总线工作,用来存储逻辑程序并保证掉电后程序不丢失。

2.4 GTX 高速电路

GTX 高速电路主要用于 PCIe 总线通讯和 ARINC818 视频的接收和发送,通过 FPGA 内部集成的高速串行接口 CTX 实现。CTX 支持 500 Mibit/s ~ 12.5 Gibit/s 的传输速率。根据 PCI Express 规范,发送端、时钟采用交流耦合,耦合电容容值为 0.1 μ F,端接的校准电阻阻值为 100 Ω 。PCIe 的参考时钟由外部时钟提供,时钟频率为 100 MHz。

2.5 RS-422 总线电路

系统采用国微电子公司生产的 SM3490 芯片实现系统与外部的 RS-422 通讯,该芯片主要功能是将电平信号转换为符合 EIA-RS-422 标准的电气特性信号。具体设计如下所述。

1) 通讯方式:异步全双工。

2) 数据格式:11 位的数据格式(其中 1 位起始位、8 位数据位、1 位偶校验位、1 位停止位)。

3) 电气特性:符合 EIA-RS-422 标准。

4) 接收端终端匹配电阻 120 Ω,接收端上接电阻和下接电阻为 1 kΩ。

2.6 ARINC429 总线电路

ARINC429 总线电路分成输入和输出两部分,其中,输入部分采用 HI-8448PQT 芯片,输出部分采用 HI-8596PSI 芯片。这两款芯片都是按照 ARINC429 总线协议来设计,将 ARINC429 信号转换成复合 FPGA 逻辑标准的信号,或者将 FPGA 逻辑标准的信号转换成 ARINC429 信号,并采用标准 3.3 V 电压供电。

2.7 离散量处理电路

离散量处理电路采用国微电子公司生产的 SM281-4 型低速光电耦合器来调节离散量的信号,离散量的电气特性是 28 V,具体的电路原理如图 3 所示。

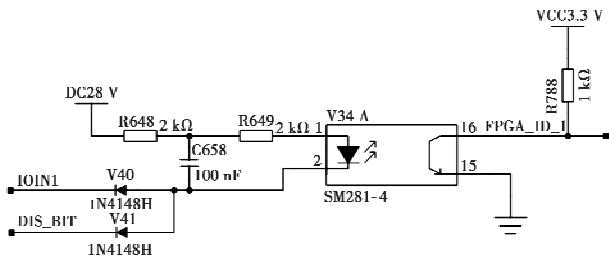


图3 离散量处理电路原理图

Fig.3 Schematic of discrete quantity processing circuit

从图3中看出:当离散量的电气特性为28V时,光耦不工作,输出的信号为高电平;当离散量的电气特性为地时,光耦工作,输出的信号与地导通为低电平。

2.8 模拟量处理电路

模拟量处理电路处理7路输入模拟量,模拟量范围为-7.5~+7.5V,输入模拟量首先经过电压跟随器隔离,接着通过CMOS模拟多路复用器芯片将多路输入信号进行选通切换,输出至AD芯片进行采样后转换成8位的数字信号之后,送入FPGA进行处理。具体的模拟量处理电路流程如图4所示。

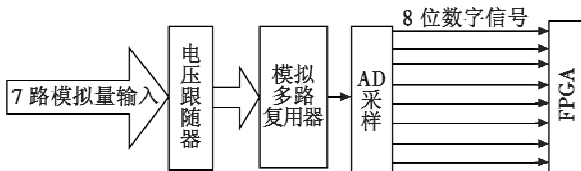


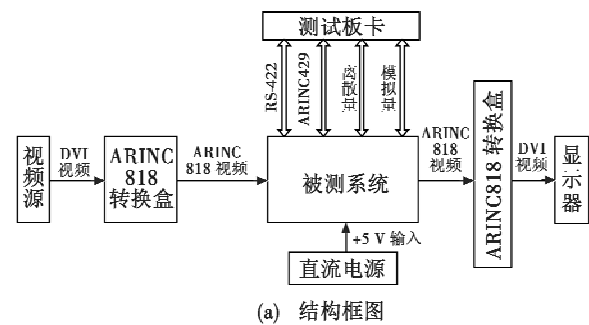
图4 模拟量处理电路流程框图

Fig.4 Flow diagram of analog quantity processing circuit

3 系统测试与验证

为了验证设计的正确性,本文搭建了硬件测试平台进行试验和验证。整个测试平台包括被测系统、直流电源、DVI视频源、ARINC818转换盒、测试板卡、显示

器、测试线缆等。试验测试时,通过直流电源产生+5V电压输入被测系统;通过DVI视频源产生1280×960@60Hz的视频源,再通过ARINC818转换盒转成ARINC818视频输入信号,对于输出的ARINC818视频信号,经过ARINC818转换盒转换成标准的DVI视频,再输出至显示器进行显示;对于RS-422和ARINC429总线通讯测试,测试板卡发送测试数据,再通过RS-422和ARINC429总线接收测试数据,比较两者是否一致;对于离散量/模拟量测试,测试板卡发送状态量或者电压值,再与接收的反馈值比较是否一致。整个测试平台的结构框图和测试结果如图5所示。



(a) 结构框图



(b) 测试结果图

图5 测试平台的结构框图和测试结果图

Fig.5 Structural block diagram and test result

从图5中可以看出,整个系统工作正常,输出的ARINC818视频信号显示清晰稳定,效果良好,各类总线通讯正常,离散量和模拟量测试正常,达到了设计预期目标。

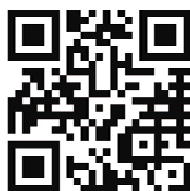
4 总结

本文提出了一种基于APU + FPGA的机载视频和通讯总线处理系统的设计。该设计以APU主处理器和可编程逻辑器件FPGA为核心,给出了系统的整体设计方案,再根据整体设计方案,对每一个具体的硬件部分设计进行了详细阐述,最后,搭建硬件测试系统进行测试和验证。测试和验证的结果表明,该系统可以实现对输入输出的ARINC818视频进行处理和显示、多路RS-422总线和ARINC429总线的通讯以及多路输入离散量和模拟量处理的功能,整个系统工作正常,视频信号清晰、稳定,总线通讯和离散量/模拟量处理正常,达到了预期目标。另外,采用以APU + FPGA为核心的高集成度、高性能的方案,大大简化了系统硬件

架构,从而降低了系统功耗,提高了可靠性。目前,该系统设计已成功运用于某飞机显示控制管理系统。

参 考 文 献

- [1] 江娟娟. 基于 DSP 系统的机载液晶显示器图形反走样研究[D]. 西安:西安科技大学,2007.
- [2] 谷士鹏,马亚平,陈新华,等. 一种机载 XGA 视频信息采集的设计与实现[J]. 硅谷,2015(4):43,38.
- [3] 邢达波,艾波. 机载 RS422 总线采集技术应用研究[J]. 中国科技信息,2016(21):73-74.
- [4] 刘语乔,覃杨森,郭世伟. KAM500 机载采集 RS422 总线数据处理技术研究[J]. 测控技术,2017,36(3):47-49.
- [5] 张森,严小双,晏恺晨,等. 机载总线技术应用综述及其对飞机性能的影响[J]. 电子世界,2019(21):37-38.
- [6] 曾锋,冯宇. 基于 FPGA 的 ARINC429 协议设计[J]. 现代电子技术,2015,38(18):92-94.
- [7] 乔霖,李永红,岳凤英. 基于 ARINC818 机载航图单元视频辅助传输方案设计[J]. 电光与控制,2019,26(2):93-96.
- [8] 温世杰,刘康,柳邦奇,等. 基于 ARINC818 的航空视频发送接收系统设计与实现[J]. 电光与控制,2015,22(8):90-92,114.
- [9] 袁春辉,周建江,董珊珊. 基于 FPGA 的机载视频显示系统的低功耗设计[J]. 现代电子技术,2015,38(12):89-91.
- [10] 蒋中荣,甘俊杰,欧伟明. 基于 FPGA 的 LED 点阵显示控制方法[J]. 现代电子技术,2019,42(24):16-19,24.
- (上接第 45 页)
- [9] 聂建平. 基于支持向量机的离心泵故障诊断方法研究[D]. 哈尔滨:哈尔滨工业大学,2017.
- [10] 李琦,杜晓东,张洪略,等. 基于移动窗的多核最小二乘支持向量机建模算法[J]. 大连理工大学学报,2017,57(5):511-516.
- [11] 顾德英,吴成赛,侯娇. 基于补偿模糊神经网络的 BLD-CM 伺服控制[J]. 东北大学学报(自然科学版),2013,34(1):13-16.
- [12] XU Q F, ZHANG J X, JIANG C X, et al. Weighted quantile regression via support vector machine [J]. Expert Systems with Applications, 2015, 42(13):5441-5451.
- (上接第 78 页)
- 国忠,译. 北京:人民邮电出版社,2016.
- [9] LIPPMAN S B, LAJOIE J, MOO B E. C ++ Primer 中文版[M]. 5 版. 王刚,杨巨峰,译. 北京:电子工业出版社,2019.
- [10] KULSHRESHTHA K, NARAYANAN S H K, BESSAC J, et al. Efficient computation of derivatives for solving optimization problems in R and Python using SWIG-generated interfaces to ADOL-C[J]. Optimization Methods and Software, 2018, 33(4-6):1173-1191.
- [11] 白勇,胡祝华. GNU Radio 软件无线电技术[M]. 北京:科学出版社,2017.
- [12] 杨豪,胡利军,楼成武. 基于 LINQ 和多线程技术的雷达远程监控系统[J]. 计算机系统应用,2020,9(4):92-96.
- [13] HASHMI J M, CHU C H, CHAKRABORTY S, et al. FALCON-X: zero-copy MPI derived datatype processing on modern CPU and GPU architectures [J]. Journal of Parallel and Distributed Computing, 2020, 144:1-13.



请扫描二维码关注我刊