

引用格式:王英英,薛涛,谭小虎.实时任务下的光纤通道协议芯片设计与实现[J].电光与控制,2019,26(2):84-88. WANG Y Y, XUE T, TAN X H. Design and implementation of FC protocol chip based on real-time task[J]. Electronics Optics & Control, 2019, 26(2):84-88.

实时任务下的光纤通道协议芯片设计与实现

王英英¹, 薛涛¹, 谭小虎²

(1. 西安工程大学计算机科学学院, 西安 710600; 2. 中国人民解放军 93920 部队, 陕西 汉中 723200)

摘要: 航电环境的复杂性使得传统数据总线不能满足实时消息的传输要求,借助光纤通道协议的优良性能,基于FPGA平台设计实现了光纤通道协议芯片,并针对其主要模块进行详细的逻辑设计,在Windows7 + Modelsim10.1c环境下的仿真以及开发板的测试结果表明,该芯片可以满足实时消息的传输要求,实现协议功能,满足航电系统应用需求。

关键词: 航空电子系统; 光纤通道; 实时消息; 协议芯片; 数据传输模块; FC IP核

中图分类号: TP202 **文献标志码:** A **doi:**10.3969/j.issn.1671-637X.2019.02.018

Design and Implementation of FC Protocol Chip Based on Real-Time Task

WANG Ying-ying¹, XUE Tao¹, TAN Xiao-hu²

(1. School of Computer Science, Xi'an Polytechnic University, Xi'an 710600, China;

2. No. 93920 Unit of PLA, Hanzhong 723200, China)

Abstract: The complexity of the avionics environment makes the traditional data bus unable to meet the transmission requirements of real-time messages. With the excellent performance of the FC protocol, an FC protocol chip is designed based on the FPGA platform, and a logic design is implemented in detail on the main modules. The results from simulations and development board tests in the Windows7 + Modelsim10.1c environment show that the chip can meet the transmission requirements of real-time messages, implement protocol functions, and meet the application requirements of the avionics system.

Key words: avionics system; fibre channel; real-time message; protocol chip; data transmission module; FC IP core

0 引言

伴随航电系统分立式、联合式、综合式以及先进综合式的发展历程^[1-2],每一代航空电子系统的性能和结构都进行着革新,由此推动了航电系统的不断发展。传统的航电总线以ARINC429^[3]和MIL-STD-1553B^[4]为代表,它们在数据传输速率、误码率以及网络带宽等方面已经不能满足当今多任务的数据传输要求。光纤通道(FC)协议^[5]凭借在数据传输速率、带宽以及错位率等方面的优势,已经成为新一代航电系统的互连标准^[6],为更好地支持协议应用于航空电子系统,美国国家标准协会(ANSI)专门成立航电环境下的FC协议分委会,研究并制定了一组协议草案,即光纤通道航空

电子环境(Fiber Channel Avionics Environment, FC-AE)。光纤通道-航空电子环境-匿名消息(FC-AE-ASM)作为FC-AE协议的子集,就是针对航电系统应用而提供的上层协议,用于航电系统各设备间安全、确定、低延迟的通信^[7]。

面对国外FC技术封锁的现状,国内对于FC协议的研究也很多,大多集中在对于协议的分析以及网络建模方面。文献[8]通过优化FC-AE-ASM协议,采用滑动窗口机制来保证无重复、无丢包的数据高速可靠传输;文献[9]通过对FC网络进行建模,分析了网络吞吐量以及延迟的性能状况;文献[10]通过对两种网络冗余结构分析,给出FC-AE-ASM网络可靠度的计算方法,通过对网络建模仿真,得出链路、节点以及冗余对网络可靠性的影响。

协议芯片作为实现协议功能的关键器件,其成功研制一方面可以缩短终端接口卡的开发周期,另一方面可以打破国外的技术垄断,实现技术国产化。基于

收稿日期:2018-02-26

修回日期:2018-03-20

基金项目:陕西省教育厅专项科研计划(15JK1317)

作者简介:王英英(1992—),女,陕西宝鸡人,硕士生,研究方向为大数据,云计算,自然语言处理。

以上分析,在 FC-AE-ASM 协议上,设计实现一款针对航电系统实时任务调度的终端协议芯片,实现协议在航电系统的应用。

1 终端接口实时性设计

与传统通讯网络不同的是,航电系统是一个对实时性要求较高的系统^[11],各种实时消息的无冲突无延迟到达,才能保证战机各种战术动作的准确执行,提升作战效能。

1.1 实时性任务

实时性任务的具体表现就是任务必须在规定的时间内完成的事件^[12],按照具体传输时延要求,实时性任务又分为硬实时和软实时两种。类似报警和实时传感器数据等周期和非周期数据就是硬实时任务,如果不能在所限定的时间内完成,将会对系统造成严重的影响;软实时任务就是对任务响应时间没有太严格的限定,其消息的适当延误,不会对系统造成影响,在航电系统中的一些数据文件的传输,就是软实时任务。

1.2 实时性任务调度设计

考虑到航电网络中的消息类型,决定采用优先级调度机制来保证消息传输的实时性,这样高优先级消息将最先得到服务。对航电系统中的消息进行管理和服务时,依据定义的高低优先级将其分别存入相应的发送队列,同一优先级发送队列中的多个消息按时间先后依次存入,调度时从高优先级队列最前端取出消息进行服务,当高优先级消息服务结束后再调度低优先级消息。

1.3 收发通道设计

光纤通道协议作为一种高速协议,数据传输通道的传输速率必须和底层逻辑相匹配,才能最大程度地发挥出链路传输能力。

1.3.1 发送通道设计

来自上层应用的数据消息首先向终端 PC 机申请存储空间,经允许后将报文消息存入对应空间;之后终端 PC 将报文消息的长度、地址等属性内容放入发送方向的存储空间中,同时将报文数值更新至终端接口卡;当终端接口卡检测到待发消息数值已经更新,就从终端 PC 的存储空间取出报文消息的长度和地址等属性内容,之后在 DMA 操作下将报文消息放入终端接口卡发送缓存区,在优先级调度策略的服务下将消息发送至 FC 网络中;当数据发送结束后,终端接口卡更新发送消息数值,释放已发消息所占用的存储空间。

为了实现对不同优先级消息的处理,防止消息间出现竞争,终端接口卡将根据消息类型维持高低两个优先级队列,分别存储高低优先级数据,发送通道中的发送控制模块将会根据链路状态从发送队列中取出数

据进行发送。

数据消息在终端 PC 和终端接口卡之间采用 DMA 传输方式,在传输过程中可能会发生中断淹没等问题,为了提升数据交互效率,减少处理中断的开销,通过描述符来对 DMA 操作实现控制和管理。终端接口卡的驱动初始化如图 1 所示,首先需要在终端 PC 的内存空间中建立长度固定的、由 N 个 DMA 描述符组成的队列。缓冲区描述符由数据报文的地址、长度以及相关控制信息等结构体构成,它表示在终端 PC 机的内存地址中划定了一块专门针对 DMA 操作的基地址以及循环队列的大小。另外,终端接口卡上的消息传输控制还提供多个包含缓冲区描述符的基地址、循环队列长度、下一个待读取缓存区描述符地址以及下一个空闲的缓冲区描述符地址等信息的配置寄存器来结合描述符队列使用。

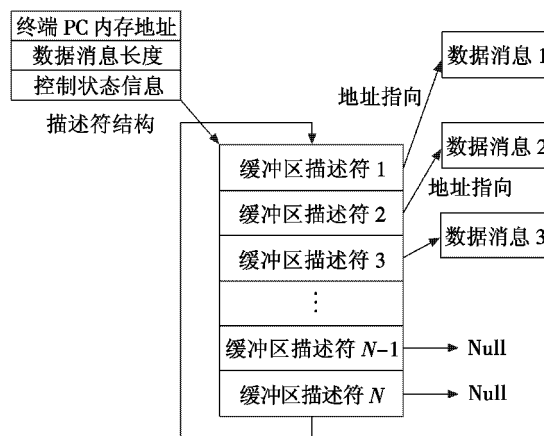


图 1 数据传输描述符结构

Fig.1 Structure of data transmission descriptor

在两者使用过程中,描述符队列首尾连接,构成一个循环。终端接口卡建立描述符队列后,将相关信息加载到 DMA 控制器的相关寄存器中。来自上层应用的数据消息在数据发送模块的处理下,确定是否有空闲缓冲区描述符可以使用:如果有,就将其数据包的长度以及地址等属性信息存入可用缓冲区描述符;否则将不再接收上层应用的数据消息。

实现数据包属性消息在缓冲区描述符的缓存后就启动 DMA 控制器完成数据包的发送。

一般来说,网络适配器完成一个数据消息的传输后会以中断的形式给终端 PC 反馈传输情况,表示可以继续数据接收,但是经常性的中断将会大大降低工作效率,所以在完成数据消息的传输后,终端接口卡不会发送中断去通知终端 PC,而只是更新发送缓存描述符头 TDH 的值(N_{TDH})。 N_{TDH} 表示数据消息的缓冲区描述符的索引值,在终端 PC 初始化时,对其赋值为 0,数据消息在发送过程中,终端接口卡每实现一个数

据消息的成功发送,就采用公式 $N_{TDH} = (N_{TDH} + 1) \% 128$ 对 N_{TDH} 进行更新;另外,发送缓存描述符尾 TDT 是由终端 PC 的驱动来管理的,它表示从当前索引值之后的缓冲区描述符不可用,它的值也是从 0 开始,终端 PC 每成功发送一个数据消息就通过公式 $N_{TDT} = (N_{TDT} + 1) \% 128$ 来更新 TDT 的值,如果 TDT 的值和 TDH 相等,表示没有存储空间可用。

1.3.2 接收通道设计

首先,主机驱动申请存储空间,作为对来自 FC 网络消息的缓存,同时将其存储地址和占用空间的大小告知终端接口卡;之后,来自 FC 网络中的消息首先存入终端接口卡的缓存中,然后询问终端 PC 是否有空间存储数据消息,如果有,就将接口卡缓存中的数据消息放入终端 PC 的缓存区中;主机驱动由来自终端接口卡的接收中断,实现对数据消息的中断处理,将其发送给上层应用,同时释放存储空间。

接收过程也采用 DMA 传输方式,和发送过程类似,终端 PC 在初始化时,也会创建一个长度为 L 的接收缓冲区描述符队列。队列中的终端 PC 的内存地址表示存储来自终端接口卡的数据消息所划分的地址;数据包长度表示接收数据消息的长度;控制状态信息用来表示当前缓冲区描述符是否被占用;错误指示用来反映数据消息是否在接收过程中发送错误,并向终端 PC 报告;需要说明的是在数据消息的接收过程中,不同类型的消息都是共享一个缓存队列。

与发送缓冲区描述符类似,其队列首尾相连,构成环状。同时终端接口卡中也具有多个保存接收缓冲区描述符的基地址、队列长度、下一个可用的缓冲区描述符以及下一个无效的缓冲区描述符信息的寄存器来配合 DMA 描述符队列使用。

接收缓存描述符头 RDH 在接口卡硬件的控制下进行移动,接收的数据消息经 DMA 操作传输到终端 PC 的内存后,RDH 将自动后移。相应接收缓存描述符尾 RDT 由软件进行控制,当上层应用从内存中读出一个数据消息后,将会重新分配一个存储空间来对应描述符,同时修改 RDT 地址指向。

2 协议芯片性能指标

协议芯片的主要功能就是完成协议所规定的功能,同时配合外围硬件设计,实现对航电网络中消息的处理。根据协议内容,明确所设计的协议芯片应具有的性能如下:

- 1) 支持 1.062 5 Gbit/s 以及 2.125 Gbit/s 两种可选择传输速率;
- 2) 支持 FC-AE-ASM 协议,同时满足 3 类服务;

3) 支持优先级下的分组调度策略。

3 FPGA 选型

FPGA 芯片作为完成协议功能的核心器件,它必须具有丰富的逻辑资源,同时也必须具有高的可靠性和稳定性来适应航电系统的高要求。根据设计要求,选择的 FPGA 必须拥有 6 个全双工高速串行收发器来满足和光纤网络以及 PCIE 接口间在 1.062 5 Gbit/s 以及 2.125 Gbit/s 两种数据传输速率下的设计要求,同时还必须具有 FC IP 核,实现 FC 协议 FC-1 和 FC-2 两层协议的部分功能。

考虑到航电环境的特殊性,选用 Xilinx 公司的 Virtex-5 系列的 XC5VSX50T-FFG665 FPGA 芯片来完成设计。该芯片集成度高、逻辑资源丰富,能够完成复杂时序及组合逻辑功能,采用 65 nm 封装工艺,拥有二代高级芯片组合模块 ASMBLTM 的列式架构,内置大量 IP 硬核,其主要包括数字时钟管理模块 DCM、锁相环、增强型时钟管理模块、增强型高速串行收发器以及 PCIE 端点 IP 核,方便设计。同时,该芯片具有 8160 个逻辑单元、高达 4752 Kibit 的缓存空间以及 12 个高速串行 GTP,可以很好地满足设计要求。

4 FPGA 设计

考虑到 FPGA 的设计是一个系统化过程,所以采用模块化设计思想,主要针对其中的数据传输控制模块、FC IP 核以及 PCIE 接口模块进行设计,其模块设计如图 2 所示。

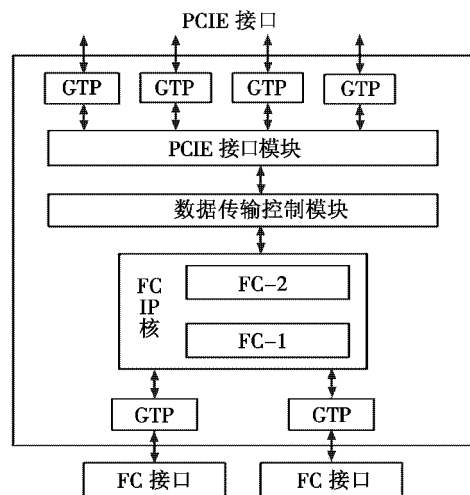


图 2 FPGA 总体设计

Fig.2 Overall design of FPGA

数据传输控制模块主要实现将上层应用数据经协议封装发送至 FC 网络以及接收来自 FC 网络中的数据消息,供上层应用使用处理。在发送时,PCIE 接口

通过 DMA 传输方式取出终端 PC 缓存中的数据,交由光口高速串行收发器发送至网络中;在接收时,将来自 FC 光网络中的数据同样经 DMA 操作写入终端 PC 的内存中,然后通过中断操作提示终端主机进行读取。

PCIE 接口模块采用 FPGA 内部提供的端点硬核进行设计,其符合 PCIE 协议标准,由 Xilinx ISE 14.7 的 CoreGen 生成、配置,主要由物理层、数据链路层、传输层和配置管理模块组成。它将 PCIE 端点、数据收发器、时钟和复位逻辑封装为一个标准的 64 位接口,主机可以通过 PCIE 接口以及配置管理模块实现数据帧的收发以及完成对端点 IP 核的配置管理。PCIE 接口支持 8×2.5 Gbit/s 的数据传输速率,同时采用 PCIE $\times 4$ 通道完成与终端 PC 的匹配。

FC IP 核主要完成数据的协议封装,提供航电网络中的 FC 消息交互接口。作为 FPGA 设计中的核心,采用 Xilinx 公司的 CoreGEN 工具生成 FC 协议逻辑 IP 核。如图 3 所示,它支持交换式和点对点的网络拓扑结构,可选择配置 1.062 5 Gbit/s 和 2.125 Gbit/s 数据传输速率。

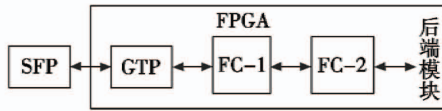


图 3 FC IP 核结构

Fig. 3 Structure of FC IP core

因为光纤通道协议是一种高速协议,网络中的数据交互速率可以达到每秒千兆比特,一般通过终端 PC 内的处理器完成对数据消息的读写的方式,会严重影响系统性能,一方面大量占用有限的内存资源,另一方面不能满足 FC 协议的高速要求,所以对 FPGA 设计采用图 4 所示结构,通过 DMA 操作完成数据交互,这样 CPU 只需对 DMA 控制器做适当控制,缓解 CPU 处理负担,提高工作效率。

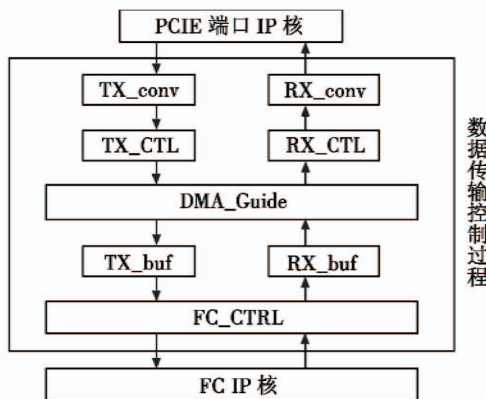


图 4 FPGA 实时性设计

Fig. 4 Design of real-time FPGA

5 仿真分析

为了验证芯片功能的正确性,采用基于 Verilog 硬件设计语言完成对各个逻辑模块的设计,利用 Windows7 + Modelsim10.1c 仿真平台分析逻辑功能设计的正确性。

1) 接收过程。

来自 FC 网络中的消息首先经 FC IP 核处理,然后通过 FC_CTRL 模块缓存至 RX_buf,同时向 DMA_Guide 提供数据存入指示。DMA_Guide 首先确定终端 PC 是否为接收数据分配有缓冲区描述符,如果有,就通过和 RX_CTL 的接口将接收的数据消息,根据其大小分为一个或多个 TLP 数据包依次传入 PCIE 端点 IP 核中,由其控制发送到终端 PC 内存空间中,并且将数据消息的长度、地址等属性消息存入 DMA 描述符,之后向终端发送中断。模块 RX_conv 实现来自 FC 网络的 32 位位宽数据转换为 PCIE 接口所支持的 64 位数据。终端 PC 获取中断后,首先从 DMA 描述符中解析出数据消息的地址和长度信息,然后从相应内存中取出数据,同时更新 DMA_Guide 中的数据接收值。其仿真结果如图 5 所示。

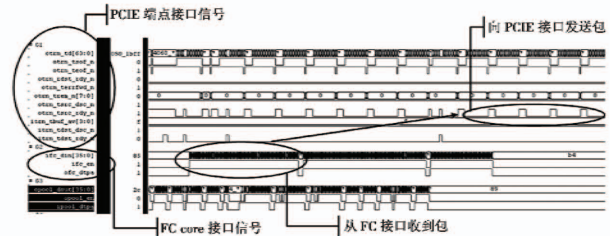


图 5 接收方向仿真

Fig. 5 Receiving direction simulation

其接口信号说明如表 1 所示。

表 1 接收接口信号

Table 1 Receiving interface signals

| 信号名称 | 传输方向 | 数据位宽/bit | 说明 |
|-----------------|--------|----------|---------------|
| otrn_td | output | 64 | 数据发送至 PCIE 接口 |
| otrn_trem_n | output | 8 | 数据有效位指示 |
| otrn_tsof_n | output | 1 | 帧开始标识 |
| otrn_teof_n | output | 1 | 帧结束标识 |
| otrn_tsrc_rdy_n | output | 1 | 接收准备信号标识 |
| itrm_tdst_rdy_n | input | 1 | 发送准备信号标识 |
| itrm_tdst_dsc_n | input | 1 | 发送端错包标识 |
| otrn_tsrc_dsc_n | output | 1 | 接收端错包标识 |
| itrm_tbuf_av | input | 1 | 接收缓存空余标识 |
| ipool_din | input | 36 | 接收缓存空间数据标识 |
| ipool_en | input | 1 | 接收缓存使能 |
| opool_dtpa | output | 1 | 接收缓存流量控制 |

2) 发送过程。

首先,来自上层应用的数据由终端 FC 缓存进申请的内存空间中,同时将数据消息的地址和长度等属性信息经 DMA 描述符传送至 DMA_Guide 模块,DMA_

Guide 根据数据消息的地址和长度从终端 PC 的内存中取出数据,由 TX_conv 实现两者数据位宽的匹配,即由上层应用的 64 位转化为适合 FC 网络中传输的 32 位。DMA_Guide 根据来自 TX_CTL 传输的数据接收消息将数据消息封装成完整的 FC 数据帧,并存储至 TX_buf 中,最后由 FC IP 核将其发送至 FC 网络中。其仿真结果如图 6 所示。

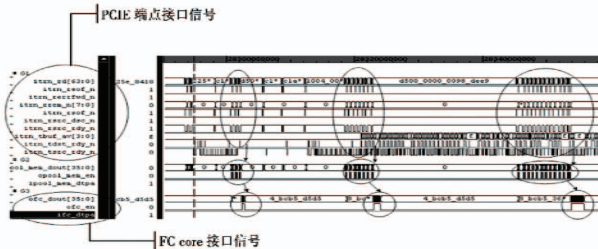


图 6 发送方向仿真

Fig.6 Transmission direction simulation

其接口信号说明如表 2 所示。

表 2 发送接口信号

Table 2 Sending interface signals

| 信号名称 | 传输方向 | 数据位宽/bit | 说明 |
|-----------------|--------|----------|---------------|
| itrn_rd | input | 64 | 由 PCIE 接口读取数据 |
| itrn_rrem_n | input | 8 | 数据有效位指示 |
| itrn_rsof_n | input | 1 | 帧开始标识 |
| itrn_reof_n | input | 1 | 帧结束标识 |
| itrn_src_rdy_n | input | 1 | 发送信号准备标识 |
| itrn_src_dsc_n | input | 1 | 接收出错标志 |
| otrn_rdst_rdy_n | output | 1 | 接收准备信号标志 |
| itrn_rbar_hit_n | input | 7 | 基地址中信号 |
| ofc_dout | output | 36 | FC 接口数据总线 |
| ofc_en | output | 1 | 总线字节使能 |
| ifc_dtpa | input | 1 | 流量控制 |
| opcie_mem_dout | output | 36 | 发送数据缓存 |
| opcie_mem_en | output | 1 | 发送缓存使能 |
| opcie_mem_dtpa | output | 1 | 发送缓存流量控制 |

为验证芯片对协议功能的实现情况,使用 Xilinx 公司的 Virtex-5 FPGA 开发板作为其硬件环境,通过软件配置相应参数,搭建自环绕测试方案,借助 Chip-Scope pro 对通信过程中的信号进行采集完成时序分析,验证芯片性能。测试结果如图 7 所示。

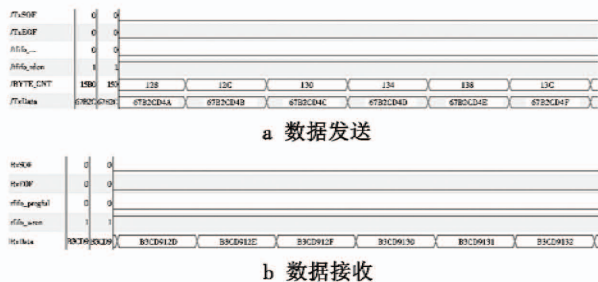


图 7 测试结果

Fig.7 Test results

其中,信号 TxSOF 和 TxEOF 表示发送帧的起始和结束,相应 RxSOF 和 RxEOF 表示接收帧的起始和结束,都是高电平有效,只有在刚刚检测到帧头才会显示为高电平,此时总线上正在传输数据,所以显示为低电平;TxData 表示正在传输的 32 位数据;BYTE_CNT 表示发送帧数量的统计;tfifo_rden 表示发送数据有效指示,在数据传输过程中至高;通过对比 TxData 和 RxData,两者数据相一致,表示协议芯片设计正确,可以很好地实现协议功能。

6 结论

在光纤通道协议良好性能的基础上,通过硬件设计语言,在 FPGA 平台上完成了数据传输控制模块、PCIE 接口模块以及 FC IP 核等模块的详细逻辑设计,Windows7 + Modelsim10.1c 仿真环境下的测试结果表明 DMA 功能实现情况良好,满足实时性传输要求,借助开发板的实测结果表明,收发消息时序图一致,满足协议功能。

参考文献

- [1] SPITZER C R. 数字航空电子技术[M]. 谢文涛,译. 北京:航空工业出版社,2010.
- [2] 熊华钢,王中华. 先进航空电子综合技术[M]. 北京:国防工业出版社,2009.
- [3] 曾锋,冯宇. 基于 FPGA 的 ARINC429 协议设计[J]. 现代电子技术,2015, 38(18):92-94.
- [4] 张建东,李意哲,刘洁凌. 基于多线程的惯导逻辑仿真器设计[J]. 计算机工程,2015, 41(4):277-283.
- [5] T11/02-041v1. Fibre channel-avionics environment[S]. Englewood:INCTIS, February, 2002.
- [6] 林强,熊华钢,张其善. 光纤通道综述[J]. 计算机应用研究,2006(2):9-13.
- [7] 谭小虎,王勇,褚文奎,等. FC-AE-ASM 协议芯片的设计与实现[J]. 光通信技术,2017, 41(3):39-42.
- [8] 李斌,季雷. 基于 FC-AE-ASM 的可靠传输协议[J]. 航空计算技术,2015, 45(3):123-126.
- [9] 周天然,宋丽茹,熊华钢,等. 航空电子环境下 FC 网络的建模与仿真[J]. 北京航空航天大学学报,2008, 34(10):1117-1120.
- [10] 易川,翟正军,羊昌燕. 基于蒙特卡罗法的 FC-AE-ASM 网络可靠性研究[J]. 计算机工程与应用,2014, 50(3):59-62.
- [11] 韩双利,赵尚宏,底翔. 新型战机综合航电系统及其高速光互连技术[J]. 激光与光电子学进展,2008, 45(3):50-55.
- [12] 刘静. 应用混合队列调度策略的 AFDX 实时性优化研究[J]. 计算机工程,2015, 41(11):135-141.