

引用格式:顾泽凌,孟令军,任楷飞.模拟低空环境下FPGA的SEU测试系统结果分析[J].电光与控制,2019,26(1):73-76. GU Z L, MEMG L J, REN K F. Analysis on test result for SEU of FPGA in simulated low-altitude environment[J]. Electronics Optics & Control, 2019, 26(1):73-76.

模拟低空环境下FPGA的SEU测试系统结果分析

顾泽凌, 孟令军, 任楷飞

(中北大学电子测试技术国防科技重点实验室,太原 030051)

摘要:为了探究在低空环境下SRAM型FPGA产生单粒子翻转事件与大气中高能粒子剂量的关系,设计了一种便携式测试系统。使用该系统在某地6个不同海拔的测试点对SRAM型FPGA进行单粒子翻转测试。某地平均海拔在3000~5000 m,可以很好地模拟低空飞行环境。通过测试试验,该系统获得了大量现场数据,使用Matlab对测试数据进行了分析。结合在某地的测试结果,从SRAM型FPGA的存储结构、单粒子翻转产生机理、测试系统的工作原理等方面入手,对该测试系统的科学性与实用性进行了验证分析。分析结果表明,该便携式测试系统科学有效,可为航空航天领域中SRAM型FPGA的选型与使用提供一种参考方式。

关键词:低空环境; SRAM型FPGA; 单粒子翻转; 测试系统; 结果分析

中图分类号: V11 文献标志码: A doi:10.3969/j.issn.1671-637X.2019.01.016

Analysis on Test Result for SEU of FPGA in Simulated Low-Altitude Environment

GU Ze-ling, MEMG Ling-jun, REN Kai-fei

(National Key Laboratory for Electronic Measurement Technology, North University of China, Taiyuan 030051, China)

Abstract: A portable test system was designed in order to investigate the relationship between the Single-Event-Upset (SEU) affairs of SRAM-based FPGAs and the dose of high-energy particle in low-altitude environment. By using the test system, SEU tests of SRAM-based FPGAs were conducted at six different altitude sites in a certain area. The average elevation of the area is from 3000 m to 5000 m, which is appropriate for simulation of low-altitude flight environment. In the tests, the system gained lots of field data, which was then analyzed by using Matlab. According to the test result, the scientificity and practicability of this test system were verified and analyzed from such aspects as the storage structure of the SRAM-based FPGA, the SEU generating mechanism, and the working principle of the test system. The analysis result shows that the portable test system is effective, which can serve as a reference for the selection and application of SRAM-based FPGAs in the aerospace field.

Key words: low-altitude environment; SRAM-based FPGA; single-event-upset; test system; result analysis

0 引言

由于FPGA具有容量大、频率高、速度快、稳定性好、并行数据处理能力强以及开发成本低、周期短的特点,被广泛应用于航空航天、船舶舰艇等领域的控制与信号处理等。尤其在航空航天领域,空间各类粒子(例如质子、中子、 α 粒子等)对FPGA产生辐射,很容易发

生单粒子翻转,从而使FPGA功能紊乱甚至失效,对飞行器造成不可预估的影响和损害。因此,国内外许多研究机构对FPGA单粒子翻转(SEU)效应进行测试分析。目前,常用的FPGA单粒子效应验证测试方法主要有分析模型法、故障注入法以及现场错误数据分析法^[1]。

本文所述的测试系统主要对低空飞行器机载FPGA进行SEU测试,采用的是现场错误数据分析法。文献[2]以及国内外许多研究机构将测试系统随卫星进入深空进行现场测试,这种方法主要针对深空航天器上的FPGA进行测试,虽然是在真实运行环境中试验,但该方式成本高,测试周期长,灵活性差,尤其对低空飞行器没

收稿日期:2017-12-06

修回日期:2018-10-26

基金项目:航空科学基金(20128067003)

作者简介:顾泽凌(1992—),男,江苏泰兴人,硕士生,研究方向为电子测试存储技术。

有参考意义。该试验选择某地进行地面测试,该地海拔 3000~5000 m,空气稀薄,空间辐射大,可以很好地模拟低空环境。该系统采用的测试方法具有灵活性好、成本低、算法复杂度小的特点。

1 试验测试原理

1.1 FPGA 单粒子效应内部原因

目前,SRAM 型 FPGA 是应用最广泛的 FPGA 架构^[3],是一种易失性存储器件。随着集成电路工艺达到了微米、纳米级别,SRAM 型 FPGA 核电压的降低、门数的剧增,单粒子翻转(Single Event Upset, SEU)、单粒子功能中断(Single Event Function Interrupt, SEFI)和单粒子瞬态脉冲(Single Event Transient, SET)等一系列单粒子效应发生的可能性大大增加^[4],引发的故障中最为典型的即为单粒子翻转(SEU)故障^[5]。

1.2 SRAM 存储单元工作原理

SRAM 型 FPGA 编程功能是依靠无数个 SRAM 存储单元存放的数值(“0”或“1”)^[6],本次测试的两款 FPGA 分别为某系列 II 代和 III 代产品(分别称为 EP2, EP3),均为 SRAM 型 FPGA。EP2 总的存储单元数为 16 万余个,EP3 总的存储单元数为 42 万余个。

图 1 所示为典型的 6T(6 管) SRAM 存储单元结构,其中, M_1, M_3, M_5, M_6 是 N 沟道增强型 CMOS 管^[7], M_2, M_4 是 P 沟道增强型 CMOS 管,如图 2 所示。图 2 中:G 为栅极;S 为源极;D 为漏极;B 为基板; N^+ 为 N 阱; P^+ 为 P 阱; SiO_2 为二氧化硅;Metal 为金属层;P 为 P 型衬底;N 为 N 型衬底。

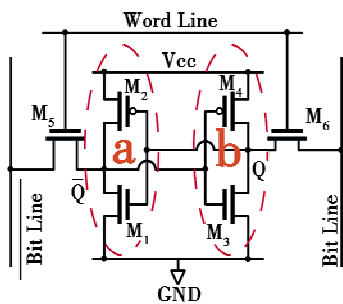


图 1 6T-SRAM 存储单元结构示意图
Fig.1 6T-SRAM storage unit structure

M_1 与 M_2 组成一个 CMOS 反相器 a,其中, M_1 的 G 与 M_2 的 G 连结为输入(input,与图 1 中的 Q 相连), M_1 的 S 接 GND, M_2 的 S 接 Vcc, M_1 的 D(漏极)与 M_2 的 D 连结作为输出(output,与图 1 中的 \bar{Q} 相连)。同理, M_3 与 M_4 组成一个 CMOS 反相器 b,由 CMOS 反相器 a, b 交叉耦合组成锁存器^[8]。Word Line 为字线, Bit Line 为位线,当访问 SRAM 时, Word Line 加高电平,让作为控制开关的 M_3 和 M_6 打通,使得 Bit Line 有效,这

样一方面可以从 Bit Line 读取存储的数据,另一方面,由于外部通过 Bit Line 的对锁存器的驱动能力远大于锁存器的寄存能力,所以在 Bit Line 和 \bar{Q} 同时驱动的情况下,可通过 Bit Line 向锁存器存数(Bit Line 与 \bar{Q} 同时驱动且互非),从而实现存储功能。

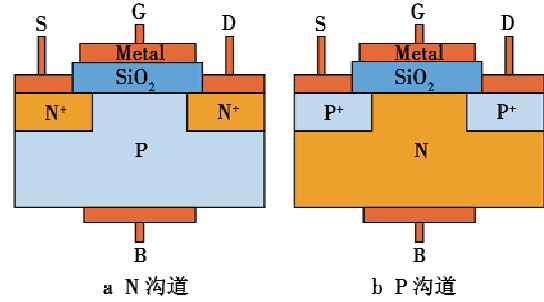


图 2 增强型 MOS 管结构剖面图

Fig.2 Cutaway diagram of enhanced MOS tube

1.3 SEU 效应机理分析

如图 1 所示, Q 为反相器 a 的输入, \bar{Q} 为反相器 b 的输入,此时根据 Q 来决定 M_1, M_2, M_3, M_4 的通断,见表 1。

表 1 M_1, M_2, M_3, M_4 的通断情况表

Table 1 The on and off of M_1, M_2, M_3, M_4

编号	类型	Q	通/断
M_1, M_3	NMOS	1	通
		0	断
M_2, M_4	PMOS	1	断
		0	通

当 SRAM 存储单元内容为“1”(即 Q 为“1”)时, M_1 (N 沟道)与 M_4 (P 沟道)导通, M_2 与 M_3 关断。此时 M_3 的 D 电势为 Vcc,所以 M_3 的漏极 PN 结处于反偏状态^[9](图 3 中虚线圈部分),当空间环境中具有一定能量的重粒子射入 M_3 的漏极 PN 结附近时,在该高能粒子入射轨迹周围的 P 型衬底(P Substrate)被电离化形成耗尽层(Depletion Region)^[10],由此产生正负电荷被反偏 PN 结收集,空穴(+)漂移进入 P 型衬底,电子(-)漂移进入漏区,因而从 M_4 的 S 到 M_3 的 D 形成一个瞬间脉冲电流 I_p 。然而在 M_4 的内部存在导通电阻 R,在瞬间脉冲电流 I_p 的作用下, M_4 的 S 到 D 之间形成一个压降 $U_c = I_p \times R$,使得 M_3 的 D 电势降低为 $U_D = V_{cc} - U_c$ 。

当 U_D 降低时,意味着 M_1 与 M_2 的 G 的电势 U_G 也会降低。如果环境中高能粒子剂量较高,不断入射到 FPGA 之中, I_p 不断增大就会使得 U_G 降到比 M_1 关断而 M_2 导通的临界值 U_{sb} 还要小,一旦 M_1 关断而 M_2 导通, M_1 与 M_2 的 D 的电势变为 Vcc,即 \bar{Q} 从“0”跳变为“1”,前面说过 SRAM 的驱动能力大于其锁存能力,因而 Q 从“1”跳变为“0”,发生了逻辑翻转,存储单元存储的内容从原来的“1”变为“0”^[11],即 SEU。

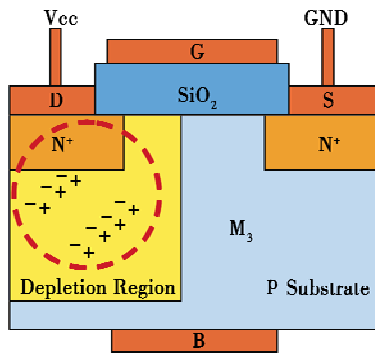


图 3 高能粒子对 NMOS 的影响示意图

Fig. 3 The effect of high-energy particles on NMOS

1.4 SEU 测试系统工作原理

该 SEU 测试系统以控制 FPGA 为主控,对被测 FPGA 进行测试,将测试数据通过低压差分信号 (LVDS) 接口送到树莓派 (Raspberry Pi) 上存储至 SD 卡以便后期分析,同时可在车载显示器上实时显示。被测 FPGA 完全暴露于日照之下,以保证其能接受最大的大气粒子辐射。

测试系统中的 GPS 模块实时获取测试点的经纬度信息、年月日时分秒信息,中子探测器则实时获取测试点大气中中子剂量,以此作为判断大气粒子实时剂量的参考值。系统测试原理如图 4 所示。

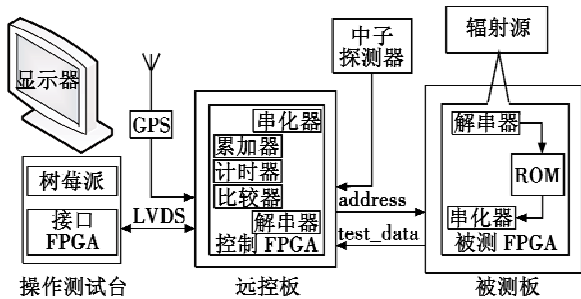


图 4 某地 SEU 测试系统示意图

Fig. 4 A SEU test system

控制 FPGA 根据 GPS 模块的秒脉冲 (PPS), 每 2 s 对被测 FPGA 发送地址并回读数据进行一次比较。由于控制 FPGA 与被测 FPGA 之间采用串行通信, 地址需在控制 FPGA 中串化发送到被测 FPGA 解串, 同样, 被测 FPGA 将 ROM 内部存储的数据读出串化发送给控制 FPGA。

控制 FPGA 的计时器进行计时, 在规定时间内未收到被测 FPGA 返回的数据则发送错误标志给树莓派; 否则将被测 FPGA 返回的数据与预定的数据进行比较, 如果相等则说明没有发生 SEU, 否则发送错误标志给树莓派。控制 FPGA 每发送一个地址, 地址加 1, 从 ROM 中读取的数据地址也加 1, 在被测 FPGA 的 ROM 中的 “.mif 文件” 其每一个地址上的数据与地址相等, 这样数

据就可以不断变化并且逐个比较。采用 LVDS 作为控制 FPGA 与接口 FPGA 的通信总线, 保证信号的远距离传输稳定, 方便测试者在荫蔽条件下作业, 避免长时间受到太阳辐射。为了提高测试的效果, 控制 FPGA 计时器计时的时长接近每帧测试数据传输时间的临界值。

此外, 为了测试被测 FPGA 的不同 BANK, 该系统根据被测 FPGA 不同 BANK 的引脚寻找对应的 ROM, 即 EP2 具有 4 个 BANK, 就分配 4 对不同 BANK 的引脚作为控制 FPGA 与被测 FPGA 的连接引脚, EP3 则为 8 对, 在控制 FPGA 主控程序中循环切换, 以此来保证将被测 FPGA 的被测存储单元达到最大可能。

2 单粒子翻转测试结果及分析

2.1 SEU 测试数据 Matlab 分析

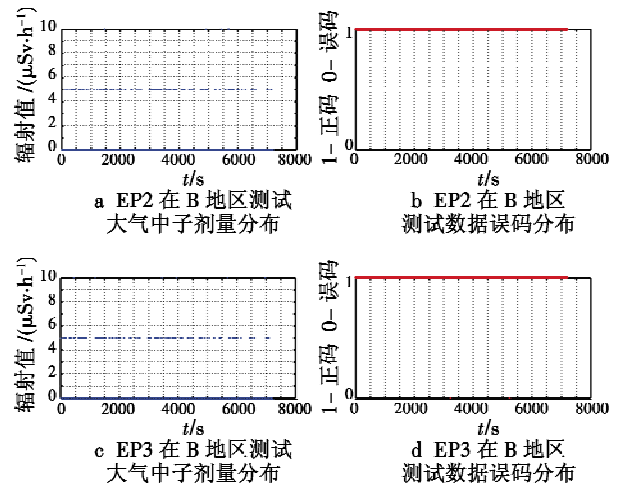
在某地测试共 8 天, 分 6 个点进行测试, 测试点海拔如表 2 所示。

表 2 某地测试点及其海拔分布表

Table 2 Test sites and their altitudes

编号	测试地点	海拔/m	编号	测试地点	海拔/m
1	A 地区	2261	4	D 地区	3658
2	B 地区	3196	5	E 地区	4441
3	C 地区	2780	6	F 地区	4718

将保存在 SD 卡的测试结果数据读出并使用 Matlab 软件进行分析, 图 5 是本试验在上述 6 个测试点的部分测试结果。本文显示的结果是从经过长时间测试获得的数据中提取的具有参考意义的部分, 其时间长度均为 2 h (即横轴时间为 7200 s); 中子辐射曲线是相对应的中子探测器获得的 2 h 的大气中子剂量值 (以 5 $\mu\text{Sv/h}$ 为刻度), 单位 $\mu\text{Sv/h}$; FPGA 误码分布曲线, “1” 代表正常, “0” 代表存在误码。大气中子剂量最大值以及总的 SEU 事件次数及其分析均在这 2 h 之中, 以保证 6 个测试点数据比较的有效性。在本文 Matlab 分析中, 被测 FPGA 的测试项均为 ROM。



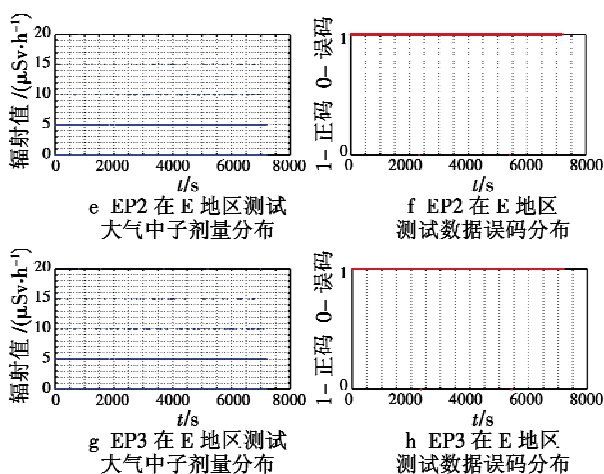


图5 被测FPGA在B,E地区测试的大气中子剂量和数据误码分布图

Fig.5 Atmospheric neutron dose and error code distribution of under-test FPGA in Site B and E

2.2 结果对比分析

根据2.1节的测试数据Matlab分析结果,可以直观分析出6个测试点大气中子剂量统计(表3)和SEU事件次数统计(表4)。将表3与表4统计结果与表1所示的测试点海拔位置结合分析可看出,随着海拔的升高,大气中子剂量值也就越高,发生SEU的概率也越大,可以得到测试点SEU事件发生次数与大气中子剂量的关系(图6)。同时可发现,具有42万余个存储单元的EP3发生SEU的频次大于只有16万余个存储单元的EP2。

表3 6个测试点大气中子剂量最大值及次数统计表

Table 3 Maximum value and its frequency of atmospheric neutron dose of the 6 test sites

测试地点	EP2 测试时段		EP3 测试时段	
	最大值/($\mu\text{Sv} \cdot \text{h}^{-1}$)	次数	最大值/($\mu\text{Sv} \cdot \text{h}^{-1}$)	次数
A地区	10	3	10	1
B地区	10	4	10	6
C地区	15	1	15	2
D地区	15	9	20	1
E地区	20	5	20	3
F地区	25	4	25	3

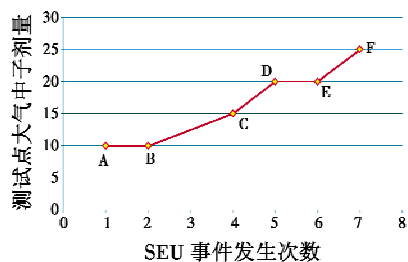


图6 测试点SEU事件发生次数与大气中子剂量关系

Fig.6 Relationship between the occurrence of SEU affair in the test sites and the dose of atmospheric neutrons

表4 6个测试点SEU事件次数统计表
Table 4 SEU affair statistics of the 6 test sites

测试地点	EP2	EP3	总数	测试地点	EP2	EP3	总数
A地区	0	1	1	D地区	2	3	5
B地区	0	2	2	E地区	2	4	6
C地区	1	3	4	F地区	2	5	7

3 结论

通过对两代FPGA在某地的SEU测试研究,获得该测试系统在低空(海拔3000~5000m)环境下的大量现场数据,根据数据分析结果验证大气高能粒子剂量与FPGA发生SEU的关系,证明该便携式测试系统的科学性与实用性。该测试系统可为包括民用飞机、战斗机在内的低空飞行设备电子器件出现异常的排查提供分析依据,也可为后续相关器件的选型与使用提供参考。

参考文献

- [1] 郑晓云,王绍举. SRAM型FPGA单粒子翻转模拟系统研究[J]. 红外与激光工程, 2014, 43(s1): 164-168.
- [2] 侯建文,张爱兵,郑香脂,等. FPGA单粒子翻转事件在轨探测研究[J]. 宇航学报, 2014, 35(4): 454-458.
- [3] 邱金娟,徐宏杰,潘雄,等. SRAM型FPGA单粒子翻转测试及加固技术研究[J]. 电光与控制, 2011, 18(8): 84-88.
- [4] 常克武,王海涛,张弓,等. 一种基于FPGA的抗辐射加固星载ASIC设计方法[J]. 航天器工程, 2016, 25(4): 74-80.
- [5] 薛茜男,张道阳,李颖,等. 航空高度FPGA单粒子翻转飞行实验及失效分析[J]. 强激光与粒子束, 2016, 28(12): 78-84.
- [6] 马寅,安军社,王连国,等. 基于Scrubbing的空间SRAM型FPGA抗单粒子翻转系统设计[J]. 空间科学学报, 2012, 32(2): 270-276.
- [7] CIANI L, CATELANI M. A fault tolerant architecture to avoid the effects of Single Event Upset (SEU) in avionics applications[J]. Measurement, 2014, 54(6): 256-263.
- [8] JAHANIRAD H, MOHAMMADI K. Reliable implementation on SRAM-based FPGA using evolutionary methods[J]. IETE Journal of Research, 2013, 59(5): 597-603.
- [9] KVAS M, VALACH S, FIEDLER P. Reliability and safety issues of FPGA based designs[J]. IFAC Proceedings Volumes, 2012, 45(7): 201-206.
- [10] AZAMBUJA J R, KASTENSMIDT F, BECKER J. Configuration bitstream fault injection experimental results [M]//AZAMBUJA J R, KASTENSMIDT F, BECKER J. Hybrid fault tolerance techniques to detect transient faults in embedded processors. Berlin: Springer International Publishing, 2014: 69-74.
- [11] 冯颖,刘忠健. 单粒子效应对飞行器的影响分析及防护技术[J]. 强度与环境, 2011, 38(1): 26-30.