

引用格式:牛强军,孙会超,张强.基于FPGA的扩跳频信号源的设计与实现[J].电光与控制,2018,25(10):108-111. NIU Q J, SUN H C, ZHANG Q. Design and implementation of DS/FH signal source based on FPGA[J]. Electronics Optics & Control, 2018, 25(10):108-111.

基于FPGA的扩跳频信号源的设计与实现

牛强军^{1,2}, 孙会超¹, 张强²

(1. 郑州大学, 郑州 450001; 2. 空军工程大学航空机务士官学校, 河南 信阳 464000)

摘要:针对传统的扩跳频信号源智能化程度低、携带不方便、效率低下等问题,设计了一种基于FPGA+AD9915的体积小、功耗低、精度高的扩跳频信号源。使用Verilog语言在Quartus II软件开发平台上编程实现系统软件设计,在FPGA芯片内完成基带信号处理、跳频码产生和中频调制,并通过FPGA实现对AD9915和数模转换芯片的控制,最后混频实现扩跳频信号的产生。测试结果表明系统有较好的性能,可以满足电台测试时对跳频速率、频率间隔等方面的要求。

关键词:快速检测;扩跳频信号源;FPGA;跳频速率

中图分类号: TN96 **文献标志码:** A **doi:**10.3969/j.issn.1671-637X.2018.10.022

Design and Implementation of DS/FH Signal Source Based on FPGA

NIU Qiang-jun^{1,2}, SUN Hui-chao¹, ZHANG Qiang²

(1. Zhengzhou University, Zhengzhou 450001, China;

2. Aviation Maintenance NCO Academy, Air Force Engineering University, Xinyang 464000, China)

Abstract: Aiming at the problems that the traditional DS/FH signal source is less intelligent, inconvenient to carry and inefficient, a DS/FH signal source with small volume, low power consumption and high precision was designed based on FPGA + AD9915. The system software was designed with Verilog language by using Quartus II software development platform. The FPGA chip was used to realize the baseband signal processing, frequency hopping code generating and intermediate frequency modulating, and the control of AD9915 and digital-analog conversion chip was also realized through FPGA. Finally, the DS/FH signal source was generated by mixing frequency. The test results show that the system has better performance and can meet the test requirements on frequency hopping rate and frequency interval.

Key words: fast detection; DS/FH signal source; FPGA; frequency hopping rate

0 引言

为满足部队开展基层级技术状态检查、中继级检修和基地级应急抢修时对扩跳频电台进行快速检测的需求,需要一种便携、性能可靠、使用方便和集成化的扩跳频信号源,为电台测试提供激励信号,以提高部队快速保障能力。传统的战术扩跳频电台信号源大多采用模拟电路合成,这种电路在信号合成、调制和功率控制的每个环节都会引入各种噪声,降低信号源的性能指标。为了解决该问题,国内学者提出了一些方案:文

献[1]提出了基于FPGA思想的跳频调制实现方案,系统结构较传统结构得到简化,性能得到增强^[1],但系统使用DDS+PLL结构,使得系统体积不利于设备小型化和规模化;文献[2]完成了跳频系统体系架构,结构化设计^[2],但同样存在设备体积大的问题;文献[3]在传统的跳频通信基础上提出了变速跳频机制,在抗干扰性能方面得到提升^[3],但跳速偏低,缺乏硬件实现验证。针对以上问题,结合电台测试的要求,提出了一种基于FPGA+AD9915的扩跳频信号源实现方案。

1 系统方案设计及硬件介绍

1.1 系统方案设计

根据信号源需求,结合扩跳频原理,构建系统总设计方案如图1所示。

收稿日期:2017-09-27

修回日期:2018-06-20

作者简介:牛强军(1969—),男,河南新乡人,硕士,教授,硕导,研究方向为机载综合航空电子系统应用与测试。

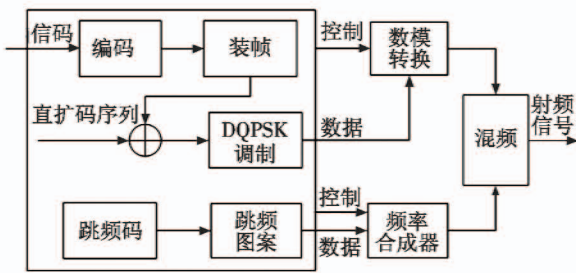


图 1 扩跳频系统方案图

Fig.1 Diagram of the DS/FH system scheme

FPGA 从主控单元接收含有数据信息的二进制信码,芯片内部进行卷积编码,编码后的信息输入到缓存器中,达到指定长度后与当前跳频同步信息组帧完成一个完整的跳频帧,再将这些数据进行扩频调制、串并转换后完成 $\pi/4$ -DQPSK 调制,控制数模转换芯片实现中频调制;同时,FPGA 通过跳频码实现对频率合成芯片的控制,产生跳频载波;将两路模拟信号混频实现扩跳频信号^[4]的产生。

依据方案将系统硬件分为基带数据信息处理模块、数模转换模块、频率合成模块、混频模块和电源模块共 5 个模块,本文主要介绍前 3 个模块的设计。

1.2 基带数据信息处理模块

方案选用的是美国 Altera 公司的 EP4CE6E22C8 高性能芯片,芯片内部集成了 24 624 个逻辑单元,内嵌 66 个乘法器,超过 600 kbd RAM 和内嵌了 4 个锁相电路,拥有 144 个用户 I/O 口,满足数字基带信号处理的要求。

该模块在 FPGA 中主要完成系统时钟的分频倍频、基带数字信息处理、扩频处理、DQPSK 调制、跳频图案的生成、AD9915 控制和数模芯片的控制。系统运行后,FPGA 首先进行初始化操作,随后将接收到的信息数据进行基带信息处理^[5]完成 DQPSK 调制,将信息数据调制到中频载波上,通过 12 位数据总线完成对数模转换芯片的控制,同时 FPGA 根据跳频图案生成控制指令,通过 32 位并行数据总线对 DDS 芯片进行控制。

1.3 数模转换模块

方案选用美国 Harris 公司的 HI5741 芯片,具有 14 位 D/A 数据转换接口,+5 V 和 -5.2 V 电源供电,最高转换速率可达 100 MHz,具有优良的频域性能。

FPGA 完成 DQPSK 调制,最后加法器输出的是 16 位数字信号,为了完成对 HI5741 的控制,就需要进行截断,选择输出的高 14 位作为控制信号,因此 FPGA 与 HI5741 之间具有 14 位数据总线。HI5741 的使用方法和接口时序比较简单。HI5741 芯片受时钟控制,只要在时钟的上升沿将 14 位数字数据输入到输入锁存

器中,芯片内的模拟数据就会立即更新。电路原理如图 2 所示。

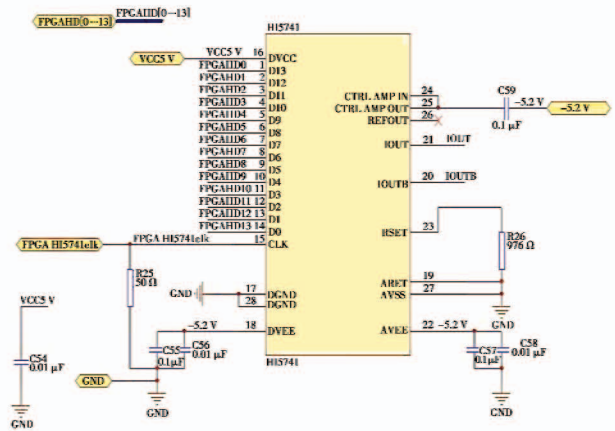


图 2 HI5741 连接图

Fig.2 Connection of HI5741

1.4 频率合成模块

频率合成选用直接数字合成法(DDS),这种方法简单可靠、控制方便,高性能芯片具有很短的频率转换时间和很高的频率分辨率,频率稳定度满足设计要求,很适合跳频信号源的设计^[6]。DDS 的原理如图 3 所示,包含相位累加器、波形存储器、数模转换器 3 个部分。

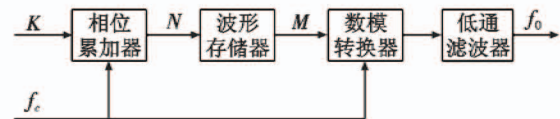


图 3 DDS 原理图

Fig.3 DDS schematic diagram

为得到输出为理想单频信号 $U(t) = A\sin(2\pi f_0 t)$ 的信号,用采样频率为 $f_c (T_c = 1/f_c)$ 的时钟信号进行采样,则相位增量 $\Delta\theta_1 = 2\pi f_0 T_c$ 。将一个理想正弦信号等分 $2N$ 份,量化为 16 进制数存放在波形存储器中,则相位增量为 $\Delta\theta_2 = 2\pi/2^N$ 。

如果两个相位增量相等,得到输出信号频率为 $f_0 = f_c/2^N$,此时输出的频率最小,作为 DDS 芯片的频率分辨率。如果控制两个相位增量的比例 $k = \Delta\theta_1/\Delta\theta_2$ (k 为频率控制字),就实现了对输出频率的控制,此时的输出频率 f_0 为

$$f_0 = \frac{k}{2^N} f_c = k \frac{f_c}{2^N} \quad (1)$$

这里可以看成输出频率是频率分辨率的 k 倍。

DDS 芯片选用的是美国 ADI 公司的 AD9915 高性能芯片,2.5 GHz 时钟速度,内部集成 12 位 DAC,具有 32 位并行数据接口,频率转换时间达到纳秒级。FPGA 与 AD9915 的硬件连接方法如图 4 所示。

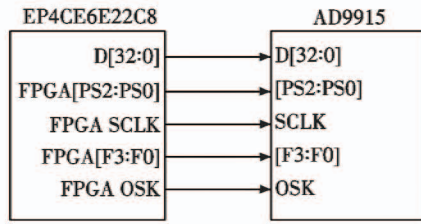


图4 FPGA与AD9915的硬件连接图

Fig.4 The hardware connection between FPGA and AD9915

FPGA输出控制指令,通过32位总线对芯片进行频率控制,同时在时钟频率的控制下完成对芯片的寄存器和指定功能的设置。芯片的运行有时需要参考时钟,这里通过REF_CLK/REF_CLK输入引脚提供多种产生内部系统时钟信号的方法。对于差分信号,REF_CLK/REF_CLK引脚有互补信号驱动,同时通过0.1 μF电容交流耦合,可以避免内部1.35 V的直流偏置电压^[7]。

2 软件设计

依据软件无线电的思想,通过软件控制硬件,只需要改变数据总线上的控制数据,即可控制芯片完成频率跳变,提高跳频速率,简化硬件结构的组成。

基于FPGA的模块化思想,软件编程是遵循先分调,再总调的思想。在Quartus II平台采用Verilog语言实现分模块的仿真,部分主要的分模块仿真结果会做具体介绍。仿真结果正确后将分模块移植到一起进行总体仿真,最后将程序下载到PCB板芯片上进行测试。

2.1 π/4-DQPSK调制

π/4-DQPSK调制是一种线性窄带数字调制技术,是在QPSK技术的基础上改进的,在非线性信道中可以获得比QPSK更高的频谱效率,具有频谱特性好、频谱利用率高等优点^[8]。π/4-DQPSK调制相位变化是π/4的整数倍,不会出现因相位突变导致的频谱偏移。

k-1时刻的载波传输信号 S_{k-1} 可表示为

$$S_{k-1}(t) = \cos(\omega t - \varphi_{k-1}) \quad (2)$$

式中, φ_{k-1} 为绝对相位。k时刻的绝对相位载波传输信号 S_k 为

$$S_k = \cos(\omega t - (\varphi_{k-1} + \Delta\varphi)) \quad (3)$$

式中, $\Delta\varphi$ 为相位变化, $\varphi_{k-1} + \Delta\varphi = \varphi_k$,将 S_k 展开得到

$$S_k = \cos(\varphi_{k-1} + \Delta\varphi) \cos \omega t + \sin(\varphi_{k-1} + \Delta\varphi) \sin \omega t = I_k \cos \omega t + Q_k \sin \omega t \quad (4)$$

式中:

$$I_k = \cos(\varphi_{k-1} + \Delta\varphi) = \cos \varphi_{k-1} \cos \Delta\varphi - \sin \varphi_{k-1} \sin \Delta\varphi = I_{k-1} \cos \Delta\varphi - Q_{k-1} \sin \Delta\varphi ; \quad (5)$$

$$Q_k = \sin(\varphi_{k-1} + \Delta\varphi) = \sin \varphi_{k-1} \cos \Delta\varphi + \cos \varphi_{k-1} \sin \Delta\varphi = \sin \varphi_{k-1} \cos \Delta\varphi + I_{k-1} \sin \Delta\varphi 。 \quad (6)$$

这是π/4-DQPSK调制的数学基础,式(5)、式(6)表明 I_k 和 Q_k 不仅和输入数据有关,而且与前一时刻 I_{k-1} 和 Q_{k-1} 有关^[9]。由式(4)构造如图5所示的DQPSK调制器。

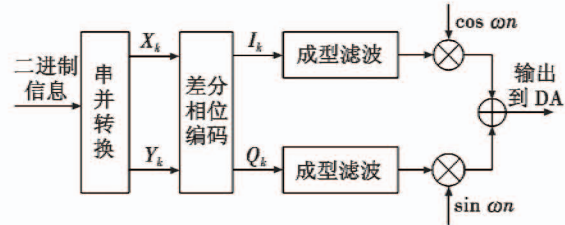


图5 DQPSK调制系统组成框图

Fig.5 Block diagram of DQPSK modulation system

在Quartus软件中编程实现调制的仿真如图6所示。图中可以看出第3个波形的相位为 $3\pi/2$,第4个波形的相位为 $3\pi/4$,两个波形之间的相位差为 $5\pi/4$,此时输入的两路数据为(0,0),与理论输入结果一致,说明仿真结果正确。

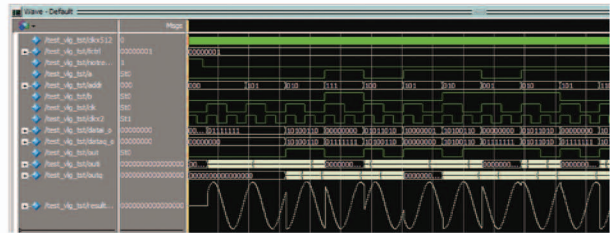


图6 π/4-DQPSK调制仿真结果图

Fig.6 π/4-DQPSK modulated simulation results

2.2 跳频码

跳频码的设计是一个跳频系统的关键核心,一个跳频码的设计好坏直接关系到这个跳频系统的抗干扰性能。根据跳频图案随机性好、产生电路简单等的抗干扰性能要求,采用对偶频带法和L-G模型,构造出一种宽间隔跳频图案。算法在FPGA中具体实现步骤如下。1) 基于m序列,利用非连续抽头模型,建立区间跳频序列,同时通过对偶频带的关系,建立对应的跳频序列,将跳频频带分成两个对偶的区间频带。2) 根据前一时刻生成跳频码的标志位,选择在对应区间频带内做比较,计算出前一时刻频点和当前时刻频点之间的距离。3) 如果频点间的距离满足要求,选择在同一区间频带内跳变;如果不满足跳变距离的要求,则改跳到对偶频带上,依次延续下去,保证前后两个频率点满足宽间隔要求。

依据以上思路,设计频率数目为 $q=16$ 、跳频间隔为 $d=3$ 的宽间隔跳频序列^[10]。采用本源多项式为 $x^9 + x^4 + 1$ 的m序列设计跳频序列。跳频序列仿真如图7所示。仿真输出的跳频码间隔大于3,满足设计要求,频率在16个跳频点之间跳变,仿真结果达到预期要求。

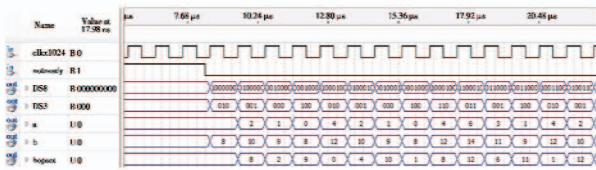


图 7 对偶宽间隔跳频序列仿真图

Fig. 7 A simulation diagram of frequency hopping sequences for dual width intervals

2.3 跳频控制模块

由于中频调制输出的频率为定值,所以系统频率的跳变主要通过 FPGA 对 AD 芯片的控制来完成。在时钟的控制下,FPGA 更新 AD9915 的频率控制字来变换频率输出。芯片控制流程如图 8 所示。

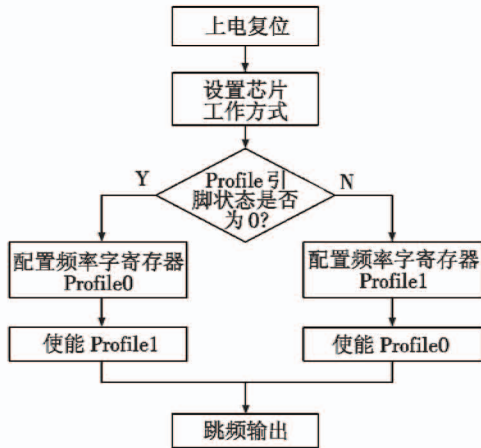


图 8 芯片控制流程图

Fig. 8 Flow chart of chip control

芯片上电后先进行主机复位,使芯片内部寄存器恢复至默认值。根据芯片特点,上电后还需将 DAC 校准使能位手动置 1,然后清零,这会启动内部校准程序,优化 DAC 时序建立时间。随后进行芯片的基础配置,配置[F3:F0]引脚,设置芯片的工作模式为 Profile 调制模式;利用外部引脚[PS2:PS0]选择指定的寄存器,采用乒乓操作^[11]配置寄存器的 DDS 数值,随后在 SYNC_CLK 时钟上升沿下使用指定的 Profile 寄存器中的参数更新数据,完成频率的切换。

3 系统调试

基于软件无线电的优势,只需改变开发平台上的设置数据,就可改变跳扩频系统的 m 序列、跳频点数、频率间隔等数据,进而控制跳频系统的参数。为了方便系统性能测试,选择在超短波 108 ~ 118.9 MHz 的带宽内测试,使用频谱仪观察输出信号频谱,如图 9 所示。根据跳频序列生成算法在带宽内分配了 16 个跳频点,频谱仪显示 16 个频谱清晰的尖峰,说明信号性能良好。中心频率显示为 113 MHz,频率间隔为 625

kHz,达到跳频信号源的频率间隔要求。

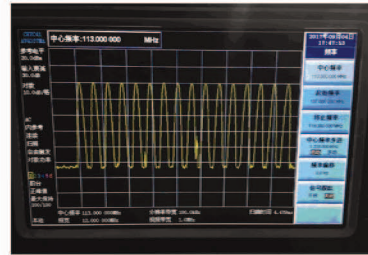


图 9 跳频频谱图

Fig. 9 Frequency hopping spectrogram

4 结论

针对目前扩跳频信号源携带不便和集成度低等问题,依据扩跳频通信信号的要求,构建了以 FPGA 和 DDS 为核心的扩跳频信号源。系统设计采用软件无线电技术和直接数字频率合成技术,具有体积小、重量轻、性价比高和集成度高的特点。实验结果表明,该跳频信号源能够在软件参数可控的条件下,稳定地输出携带数据的全频段跳频信号,系统整体发送数据速率 4.8 Kbit/s,跳频速度为 1000 hop/s,满足机载电台测试过程中对跳频信号源的性能要求。该信号源除了满足部队外场电台性能测试外,还可推广到航修厂、研究所和部队修理厂等单位,具有较高的推广应用价值。

参考文献

- [1] 魏鹏,李永超,陆锐敏.基于 FPGA 的 $\pi/4$ -DQPSK 跳频调制的设计与实现[J]. 电讯技术,2012,52(2):190-193.
- [2] 牛强军,杨朝斌.扩跳频信号产生器的研制[J]. 电子技术,2011,47(6):35-36.
- [3] 黄昌龙,赵利,蔡昆宏.基于 FPGA 的变速跳频通信处理器的设计与实现[J]. 计算机工程与设计,2012,33(12):20-25.
- [4] 乔天喜.基于 FPGA 的扩跳频信号产生器[D]. 郑州:郑州大学,2011.
- [5] 史治国,洪少华,陈抗生.基于 XILINX FPGA 的 OFDM 通信系统基带设计[M]. 杭州:浙江大学出版社,2009.
- [6] 孙海燕.基于 DDS 技术的通信信号产生技术研究[D]. 成都:电子科技大学,2003.
- [7] 赵腊,祁全,张俊.基于高速 DDS 芯片 AD9914 的信号产生方法[J]. 雷达与对抗,2015,33(4):29-32.
- [8] 李立,辛守庭,赵建周.三种 DQPSK 调制格式传输性能的对比较研究[J]. 光通信技术,2015,39(9):54-56.
- [9] 时灵军,田梦君.基于 FPGA 的 $\pi/4$ -DQPSK 调制设计[J]. 微处理机,2012,33(4):12-15.
- [10] 梅文华,王淑波,邱永红,等.跳频通信[M]. 北京:国防工业出版社,2005.
- [11] 王金明.数字系统设计与 Verilog HDL[M]. 北京:电子工业出版社,2011.