

引用格式:朱明达. SRAM型FPGA单粒子翻转故障定位注入研究[J]. 电光与控制, 2017, 24(8): 81-86. ZHU M D. Positioning fault injection of single event upset in SRAM-based FPGA[J]. Electronics Optics & Control, 2017, 24(8): 81-86.

## SRAM型FPGA单粒子翻转故障定位注入研究

朱明达

(中国石油大学(北京)地球物理与信息工程学院, 北京 102249)

**摘要:** 针对SRAM型FPGA用户设计电路可靠性评测问题,提出了一种基于FPGA配置资源位置的模拟FPGA单粒子翻转故障的定位注入方法。分别从SRAM型FPGA中的配置逻辑资源与用户逻辑资源两个方面对此方法进行了详细介绍,并且通过对LUT与BRAM两种资源的故障注入试验说明了此方法的有效性。对故障注入方法、故障注入系统、故障注入试验进行了介绍,说明了故障定位注入方法能够对用户设计电路中用到的关键资源进行测试,资源覆盖率高、耗时短,为针对大量配置逻辑资源进行故障定位注入,实施反复测试提供了时效前提,具有很强的实用性。

**关键词:** 故障注入; 单粒子翻转; FPGA

**中图分类号:** U666.1      **文献标志码:** A      **doi:** 10.3969/j.issn.1671-637X.2017.08.017

## Positioning Fault Injection of Single Event Upset in SRAM-Based FPGA

ZHU Ming-da

(College of Geophysics and Information Engineering, China University of Petroleum, Beijing 102249, China)

**Abstract:** Field Programmable Gate Arrays (FPGAs) based on Static Random Access Memory (SRAM) are extremely sensitive to Single Event Upset (SEU) induced by radiation particles. In order to evaluate the dependability of the user designed FPGA circuit, a positioning fault injection methodology based on locating the configuration memory position is proposed for simulating SEU. The fault injection methodology is described from two aspects of configuration bits and user bits respectively. Fault injection tests are made on LUT and BRAM to prove the validity of the methodology. In this paper, the fault injection method, fault injection system, and fault injection tests are discussed. It is indicated that the methodology can test the key resources used in the user designed circuit with high resource coverage fraction and very low time consuming, and the methodology has good practicability.

**Key words:** fault injection; single event upset; FPGA

### 0 引言

SRAM (Static Random Access Memory) 型 FPGA (Field Programmable Gate Array) 因其高密度和高性能,已经成为市场上最受欢迎的可编程器件之一,其支持的可配置门数范围从 40 k 到 8 M 不等<sup>[1]</sup>,因其低成本、高密度和可重配置的特性,已经在空间应用领域中得到了广泛的应用。

然而,SRAM型FPGA对空间中高能粒子非常敏感,易发生单粒子翻转(Single Event Upset, SEU),它能

产生潜在的严重后果,包括信息丢失和功能失效。当高能粒子击中SRAM型FPGA时,就可能发生SEU,进而导致FPGA存储单元的内容改变,发生计算结构错误、程序执行序列错误等故障<sup>[2]</sup>。因此,针对应用于空间环境的SRAM型FPGA必须进行容错设计,并对设计的有效性进行测试和评估。

目前,一般采用粒子辐射、故障注入等方式模拟空间中的SEU效应。辐射模拟即采用重离子或高能质子等模拟源来辐照器件,测试器件的辐射敏感参数,为器件选型和预估实际辐射环境中SEU情况提供依据,但此方法成本很高,注入位置难以控制,而且存在危险性。与之相比,故障注入方法则弥补了上述不足,成为了地面模拟单粒子翻转的重要手段。尤其是基于SRAM型FPGA的重配置特性的故障注入方法得到了广泛关注。

收稿日期:2016-09-01

修回日期:2016-09-21

基金项目:引进人才科研启动基金(2462014YJRC012)

作者简介:朱明达(1983—),男,山东东营人,博士,讲师,研究方向为数字电路分析与设计。

近些年国内在单粒子翻转故障注入领域已经展开了研究,如文献[3]中实现了动态重配置技术,但单粒子翻转模拟技术还不成熟,主要体现在未能对各种 FPGA 配置资源进行定位,无法实现故障定位注入。国外对 SRAM 型 FPGA 单粒子翻转故障注入技术的研究起步较早,已经取得了一些成果。如文献[4]中采用部分动态重配置的方法,对 FPGA 进行了随机故障注入;文献[5-6]中设计了一种故障注入平台 SLAAC1,但是由于测试对象只针对 Virtex 系列 FPGA,因此在测试方法设计时只考虑了 Virtex 系列芯片,对 Virtex-II 及以上系列并不支持。虽然国外在该领域进行了多年的研究,但是没有明确提出一种针对各种特定资源进行单粒子翻转故障定位注入的方法,大多数研究局限于模拟随机故障注入<sup>[7-8]</sup>。文献[9-11]针对 Virtex-II 系列 SRAM 型 FPGA 内部资源的结构给出了相关介绍与分析,但是没有进行详尽的解析,本文针对 FPGA 的单粒子效应也进行了大量研究<sup>[12-18]</sup>,在此基础上通过试验与分析,结合相关资料提出对各资源的定位解析公式,为单粒子翻转故障定位注入提供理论依据。文献[19]对单粒子翻转故障定位注入进行了一定程度的研究,但是没有给出系统的定位解析公式,并且没有针对 BRAM 资源的故障定位注入进行研究,本文将针对包括 BRAM 资源在内的 FPGA 内部资源进行故障定位注入研究,从而有效提高资源覆盖率。

本文以应用广泛的美国 Xilinx 公司 Virtex-II 系列 FPGA 作为对象,依次从故障注入方法介绍、故障注入系统设计、故障注入试验验证等方面,针对 SRAM 型 FPGA 单粒子翻转故障定位注入方法进行逐层阐述。

### 1 定位翻转故障注入方法

故障定位注入主要是针对用户设计中 FPGA 已用资源,有针对性地修改比特流配置文件中的对应配置位;通过部分重配置的方法,将故障注入 FPGA 中,查看电路各部分结构的防护效果。因此,分析用户设计电路中所用资源及其在比特流配置文件中的位置是故障定位注入的难点与关键。从 FPGA 设计电路的角度可以将 FPGA 的资源分为配置逻辑资源与用户逻辑资源两大类。因此,下面将依次针对配置文件分析、配置逻辑资源定位、用户逻辑资源定位等方面对翻转的故障定位注入方法进行阐述。

#### 1.1 FPGA 配置文件分析

SRAM 型 FPGA 下载配置的文件称为比特流文件,其包含了设计电路的所有配置数据信息。通过对 Virtex-II 系列 FPGA 比特流文件的分析,得到了如图 1 所示的比特流结构。其中,头文件中包括文件名称、芯

片型号、文件生成时间等信息。命令字由用户选择的配置选项决定,包括了配置帧地址、配置数据大小、是否采用 CRC 校验等 FPGA 的配置信息,这些命令字分为两部分,分别存放在文件头与文件尾。配置帧数据指的是实现用户设计的配置数据。比特流文件中还有一段重复的帧数据,这是由 FPGA 的配置选项决定的,重复帧数据之前的命令字表明了重复数据的帧地址及数据的大小。

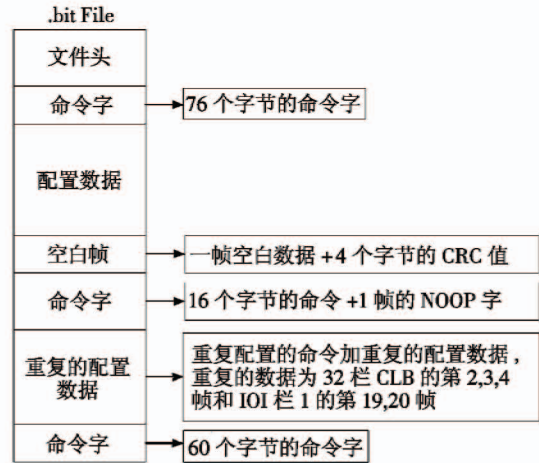


图 1 比特流文件结构

Fig.1 The structure of .bit file

FPGA 的配置存储单元与比特流中配置数据存在一一对应的关系。FPGA 中的配置存储单元分为 6 种类型:IOB,IOI,CLB,GCLK,BlockRAM (BRAM),BlockRAM Interconnect (BRAM Int)。为了方便寻址,配置数据的每一帧都有一个独一无二的 32 位比特地址,包含模块地址(BA)、主地址(MJA)、次地址(MNA)和一个字节数<sup>[9]</sup>。其中,字节数用户无法访问,必须设置为 0。如图 2 所示,模块 BA00 包括 GCLK,IOB,IOI 和 CLB 栏;BA01 包括所有的 BRAM 栏;BA10 包括所有的 BRAM Int 栏。主地址由模块中的栏数决定,次地址由每栏中的帧数决定。其中, $n$  是 FPGA 中 CLB 栏的数量, $m$  是 FPGA 中 BRAM/BRAM Int 栏的数量减 1。

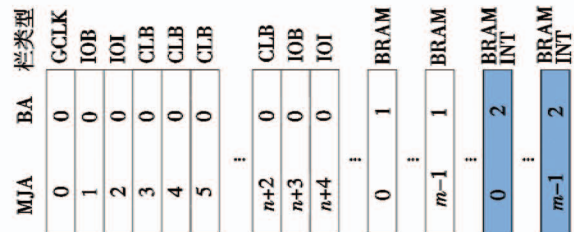


图 2 配置栏地址映射图

Fig.2 Column-level configuration memory map

为进一步研究 FPGA 中配置资源与比特流文件的对应关系,根据 SRAM 型 FPGA 比特流文件的生成过程,本文提出了一种对比试验方案,试验设计方案如图

3 所示。

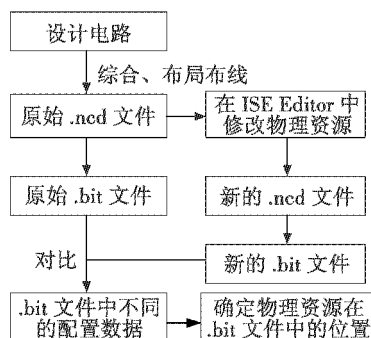


图 3 对比试验方案

Fig. 3 Contrast test scheme

通过对比试验进一步了解了 FPGA 各种资源在比特流文件中的分布规律,结合文献[9-11]给出的相关信息,推导出了如下定位解析方程,用于确定 CLB, BRAM, BRAM Int 每帧及每位在比特流文件中的位置。

CLB:

$$\begin{cases} MJA\_clb = CLB\_col + 2 \\ CLB_{fr} = 8 + [(MJA\_clb - 1) \times 22] + MNA \\ CLB_{bit} = CLB_{fr} \times Bpf + [(CLB\_rows - CLB\_row - 1) \times 80] + 96 \end{cases}$$

BRAM:

$$\begin{cases} MJA\_bram = RAM\_col - 1 \\ BRAM_{fr} = 12 + [(CLB\_cols + 2) \times 22] + [(MJA\_bram - 1) + MNA] \\ BRAM_{bit} = BRAM_{fr} \times Bpf + [(RAM\_rows - RAM\_row - 1) \times 320] + 96 \end{cases}$$

BRAM Int:

$$\begin{cases} MJA\_bram\_i = RAM\_i\_col - 1 \\ BRAM_{i\_fr} = 12 + (CLB\_cols + 2) \times 22 + RAM\_cols \times 64 + \\ (MJA\_bram\_i - 1) \times 22 + MNA \end{cases}$$

其中,  $MJA\_clb, MJA\_bram, MJA\_bram\_i$  分别代表 CLB, BRAM, BRAM Int 的栏地址。  $XXX_{fr}$  代表相应资源位于配置数据中的第几帧;  $XXX_{bit}$  代表相应资源位于配置数据中的第几位;  $XXX\_col$  代表相应类别的栏序号;  $XXX\_row$  代表相应类别的列序号;  $XXX\_cols$  代表相应类别的总栏数;  $XXX\_rows$  代表相应类别的总列数。  $Bpf$  代表每一帧的位数。

通过上述方程可以根据所求单元的列号和行号计算出其在比特流中的位置。更进一步, Slice 的序号与其所在 CLB 序号的对应关系如下所述。

当  $Slice\_col$  为偶数时:  $MNA\_CLB = 1, CLB\_row = Slice\_row/2, CLB\_col = Slice\_col/2$ 。当  $Slice\_col$  为奇数时:  $MNA\_CLB = 2, CLB\_row = (Slice\_row - 1)/2, CLB\_col = (Slice\_col - 1)/2$ 。

通过试验及分析得出,每个 Slice 在比特流文件中有 40 位配置数据。其中,前 16 位是相应 Slice 中 G LUT 真值表的值,中间 8 代表 Slice 中的触发器和 MUX 开关,后 16 代表 F LUT 真值表的值。据此,即可求出每个 LUT 真值表中的值在比特流文件中的具体位置。

通过对 FPGA 配置文件的解析,得到了 FPGA 中各主要资源在比特流文件中的定位,为下面通过部分重配置进行故障定位注入提供了基础。

### 1.2 配置逻辑资源故障定位注入

配置逻辑资源只由用户设计电路的功能决定,在程序运行时是保持不变的。因此,针对配置逻辑故障注入可以直接采用部分动态重配置的方法实现。

SRAM 型 FPGA 中运算函数的实现主要是通过 LUT 实现的; LUT 作为配置逻辑资源是设计电路功能实现的重要组成部分;因此,以 LUT 故障定位注入为例,对配置逻辑资源故障定位注入展开介绍。

针对一个与门电路中使用的 LUT 进行故障注入,首先在 Xilinx FPGA 设计环境 ISE 下,通过在 Tcl 语言环境中输入命令 `% netgen-ofmt { verilog } and. ncd and. v` 生成 `and. v` 文件。从此文件中可以分析出用户设计电路中所用到的 LUT 资源,结合 1.1 节中提出的方程可以对 LUT 资源在比特流文件中的位置进行定位。

结合 LUT 的故障模式可进行如下 2 种故障注入。

1) LUT 真值表故障:根据对 LUT 在比特流文件中的定位,对 LUT 真值表配置数据的某一位或几位进行翻转。将翻转位所在的帧,通过部分动态重配置的方法配置入 FPGA 中,即实现了故障定位注入。

2) LUT 端口故障:针对 LUT 某一端口的故障注入,可以通过将此端口关联的真值表改为全 0 或全 1,从而模拟此端口固定 0 或 1 的故障。将更改数据所在的帧,通过部分动态重配置的方法配置入 FPGA 中,即可实现故障定位注入。

对于其他配置逻辑资源的故障定位注入方法相同,故障注入流程如图 4a 所示。



图 4 故障定位注入流程图

Fig. 4 Flow chart of positioning fault injection

### 1.3 用户逻辑资源故障定位注入

在 SRAM 型 FPGA 中, 触发器、BRAM 及配置为 RAM 或移位寄存器的 LUT 都属于用户逻辑资源。因此, 对用户逻辑资源的分析相对于配置逻辑资源要复杂些。

在使用 Xilinx FPGA 设计环境 ISE 生成比特流文件时, 通过选择相应的命令项可以同时生成一个 .ll 文件, .ll 文件中包含了电路中用到的触发器、BRAM 及配置成移位寄存器或 RAM 的 LUT 等全部用户逻辑资源; 并提供了相应资源在比特流文件中的位置; 电路中用到了 SLICE\_X46Y58 中的一个触发器。此触发器对应的配置位在回读文件中的 1 829 246 位, 减去回读文件中开头的一帧空白数据, 在比特流文件配置数据中的位置是第 1 825 855 位。对应帧地址为 0x00340400, CLB 第 23 栏第 2 帧。通过 1.1 节中提出的方程, 可以计算出相同的结果, 与 .ll 文件相结合可以将位置精确到此帧内的第 958 位。通过此方法可以对设计电路用到的所有用户资源进行定位。

用户逻辑资源与配置逻辑资源在故障注入过程中也存在一定的差异。在程序运行过程中, 由于配置控制寄存器需要不断对用户逻辑资源进行访问, 而且用户逻辑资源中存储的数据随着程序的运行有可能不断变化, 所以用户逻辑资源进行动态重配置或回读都有可能引起访问通道的竞争, 引发 FPGA 功能失效。因此, 对用户逻辑资源进行故障注入之前, 需要先将电路的功能暂停; 采用的具体方法是将 FPGA 的系统时钟暂停, 待回读与重配置结束后, 再恢复系统时钟, 程序继续运行。除此之外, 对触发器进行故障注入还存在一个问题, 触发器中存储的信息有可能是在不断变化的, 但只能回读其初始值 (INIT 值)。为了将当前触发器中的值读取出来并重配置进去, 需要在回读与重配置的命令字中分别加入 GCAPTURE, GRESTORE 两条命令。对用户逻辑资源故障定位注入流程如图 4b 所示。

## 2 故障注入系统设计

### 2.1 系统硬件设计

故障注入系统硬件结构如图 5 所示, 主要包括测试电路板、数据通信系统与上位机 3 部分。测试电路板主要包括主控 FPGA、被测 FPGA 及各自的 PROM。主控 FPGA 实现的功能主要包括: 对被测 FPGA 进行初始配置、数据回读、重配置; 控制被测 FPGA 的系统时钟。数据通信系统实现了上位机对主控 FPGA 的命令下达; 向上位机上传主控 FPGA 从被测 FPGA 回读的数据。

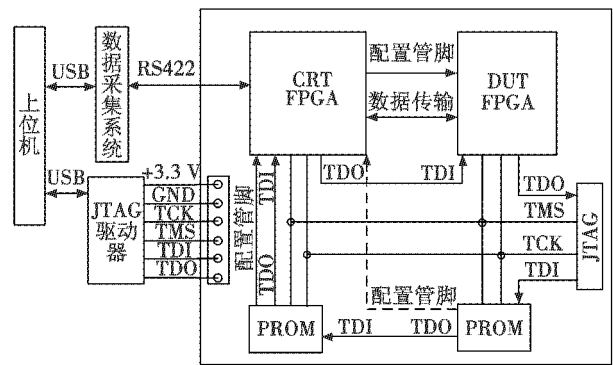


图 5 故障注入系统框图

Fig. 5 Fault injection system

### 2.2 主控 FPGA 软件设计

主控 FPGA 软件结构如图 6 所示, 主要包括 6 个功能模块: 被测 FPGA 初始配置模块、与上位机通信模块、上位机下达命令判断模块、被测 FPGA 重配置模块、被测 FPGA 回读模块、被测 FPGA 系统时钟控制模块; 还有两个信息存储模块: 重配置命令字与重配置数据存储模块、回读命令字存储模块。

系统上电后, 主控 FPGA 首先对被测 FPGA 进行初始配置, 将被测原始程序配置入被测 FPGA; 通信模块用于接收上位机的命令; 当接收到命令后, 进入命令判断模块; 如果接收到的是重配置命令, 重配置模块调用重配置命令字与数据, 开始对被测 FPGA 进行重配置; 如果接收到的是回读命令, 回读模块调用回读命令字控制被测 FPGA, 并将回读数据发送给通信模块, 上传至上位机。当对用户逻辑资源进行故障定位注入时, 通过时钟控制模块对被测 FPGA 的系统时钟进行控制。

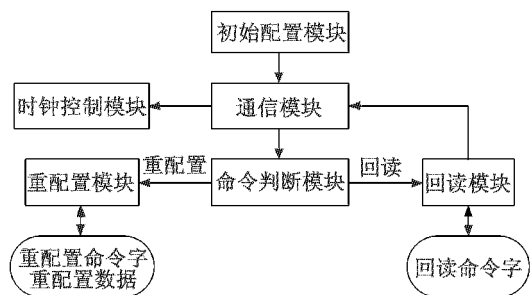


图 6 控制 FPGA 软件设计框图

Fig. 6 Diagram of host FPGA soft design

## 3 故障注入试验

SRAM 型 FPGA 中运算函数主要通过 LUT 实现, LUT 作为配置逻辑资源是电路功能实现的重要组成部分; 而 BRAM 作为 FPGA 中的重要用户逻辑资源, 用于数据存储或作为先入先出寄存器 (First In First Output, FIFO) 使用。因此, 为了验证故障定位注入方法及故障注入系统的有效性, 分别针对 LUT 与 BRAM 进行故

障定位注入试验。

### 3.1 LUT 故障定位注入试验

采用本文设计的故障注入系统,针对一个与门电路中使用的LUT进行故障注入,整个测试系统在20 MHz的晶振下驱动。首先在Xilinx FPGA设计环境ISE下,通过在Tcl语言环境中输入命令`% netgen-ofmt {verilog} and.ncd and.v`生成`and.v`文件。可以看出,电路中用到了Slice\_X1Y56中的G LUT,功能是实现两个输入信号相与。根据1.1节中提出的定位解析方程计算可得,此LUT的真值表位于CLB栏的第1栏第3帧的第1016~第1055位。与门在比特流文件中反映为77 77 00 FF FF。具体试验步骤如下:

1) 将初始配置比特流配置入被测FPGA;

2) 通过部分动态重配置,对与门LUT真值表进行故障注入,将与门重配置为或门,或门在比特流文件中反映为11 11 00 FF FF;

3) 回读被测FPGA故障注入位置所在帧配置数据。

试验中,对被测FPGA输入1,0。故障注入前,被测FPGA输出0;故障注入后,输出信号变为1。试验结果说明对LUT的故障定位注入成功。在重配置频率为2 MHz的情况下,重配置耗时650  $\mu$ s;在回读速率250 kHz的情况下,回读一次耗时5.2 ms。所以整个故障注入过程耗时极少,为针对大量配置逻辑资源进行故障定位注入,实施反复测试提供了时效前提。由此验证了对配置逻辑资源进行故障定位注入是完全可行的。

### 3.2 BRAM 故障定位注入试验

被测FPGA程序设计如下:将BRAM配置成宽度 $\times$ 深度为 $4 \times 32$ 的FIFO,在时钟信号`clk_2M = 2 MHz`的驱动下进行数据传送。当FIFO存满后开始向外读数,将FIFO的输出作为被测FPGA的输出,使用示波器从输出管脚监测。FIFO输入的数据始终为4位1,那么故障注入前输出信号也应为4位1。

从生成的.il文件可以看出,程序所用的BRAM资源是RAM\_X0Y8,配置在RAM中的bit0至bit127位, $4 \times 32$ 共128位。通过定位分析可知,bit124至bit127位于RAM\_X0Y8第1栏第1帧中。具体试验步骤如下:

1) 初始配置被测FPGA,通过示波器监测四路输出管脚的输出值;

2) 待四路输出值稳定为1后,暂停被测FPGA系统时钟;

3) 第1次回读RAM\_X0Y8第1栏第1帧的配置数据;

4) 通过部分重配置,将RAM\_X0Y8的bit127, bit126, bit125, bit124更改为0,进行故障定位注入;

5) 第2次回读RAM\_X0Y8第1栏第1帧的配置

数据;

6) 重新恢复被测FPGA系统时钟,通过示波器监测4个输出管脚输出值。

通过2次回读数据的对比看出,RAM\_X0Y8的bit127, bit126, bit125, bit124四位已经变为0,说明故障已经通过重配置注入到了指定位置。同时,如图7所示,通过示波器同样可以看出,由于故障注入成功,输出4位数据出现了一个0.5  $\mu$ s的0,又一次证明了试验中对BRAM故障定位注入成功。在重配置频率为2 MHz的情况下,重配置耗时650  $\mu$ s;在回读速率250 kHz的情况下,回读两次耗时10.4 ms。所以整个故障注入过程耗时极少,为针对大量用户逻辑资源进行故障定位注入,实施反复测试提供了时效前提。由此验证了对用户逻辑资源进行故障定位注入是完全可行的。

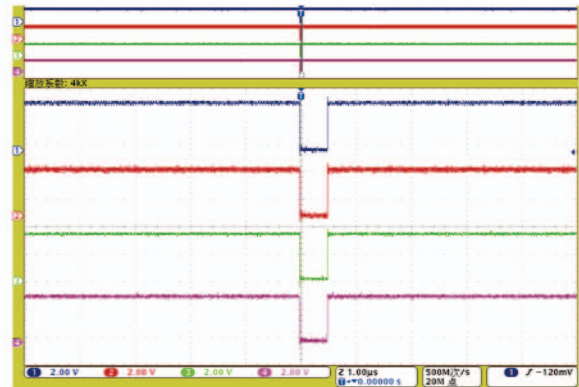


图7 被测FPGA输出

Fig.7 FPGA under test outputs

## 4 结束语

本文研究的单粒子翻转故障定位注入方法,提出了一套分析SRAM型FPGA各种资源在比特流文件中的定位方案;通过试验与分析相结合的方法,结合相关资料提出了对各资源的定位解析公式,为单粒子翻转故障定位注入提供了理论依据。分别研究了配置逻辑资源与用户逻辑资源的故障定位注入方法,实现了对CLB, BRAM等SRAM型FPGA核心资源的单粒子翻转故障定位注入,有效提高了资源覆盖率。并通过设计、搭建故障注入平台,分别针对LUT, BRAM进行了故障定位注入,验证了故障定位注入方法的实用性。通过对故障注入时间的评估,说明了采用SRAM型FPGA单粒子翻转故障定位注入方法进行故障定位注入所消耗的时间是微秒毫秒量级的,为针对大量资源进行故障定位注入,实施反复测试提供了时效前提。

## 参考文献

[1] 费尔南达. 基于SRAM的FPGA容错技术[M]. 杨孟

- 非, 龚健, 文亮, 等译. 北京: 中国宇航出版社, 2009.
- [2] PHILIPPE A, GREG A. Assessing and mitigation radiation effects in Xilinx FPGAs [R]. Jet Propulsion Laboratory, California Institute of Technology, 2008.
- [3] 齐鑫, 冯文全. 基于动态重配置的 SEU 故障检测与修复系统的设计 [C]//中国通信学会第六届学术年会, 2009:82-87.
- [4] LEVEUGLE R, ANTONI L, FEHER B. Dependability analysis: a new application for run-time reconfiguration [C]//Proceedings of the International Parallel and Distributed Processing Symposium (IPDPS), 2003:345-351.
- [5] JOHNSON E, CAFFREY M P, GRAHAM P S, et al. Accelerator validation of an FPGA SEU simulator [J]. IEEE Transactions on Nuclear Science, 2003, 50(6):2147-2157.
- [6] MORGAN K S, MCMURTREY D L, PRATT S H, et al. A comparison of TMR with alternative fault-tolerant design techniques for FPGAs [J]. IEEE Transactions on Nuclear Science, 2007, 54(6):2065-2072.
- [7] CIESLEWSKI G G, GEORGE A D, JACOBS A. Acceleration of FPGA fault injection through multi-bit testing [C]//International Conference on Engineering of Reconfiguration Systems and Algorithms, 2010:1-7.
- [8] VELAZCO R, FOUCARD G, PERONNARD P. Combining results of accelerated radiation tests and fault injection to predict the error rate of an application implemented in SRAM-based FPGAs [J]. IEEE Transactions on Nuclear Science, 2010, 57(6):3500-3505.
- [9] Xilinx Corp. Virtex II platform FPGA user guider [Z]. [http://www.xilinx.com/support/documentation/data\\_sheets/ds031.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds031.pdf), 2007-11-5/2010-11-8.
- [10] Xilinx Corp. Correcting single-event upsets in virtex II platform FPGA configuration memory [Z]. [http://www.xilinx.com/support/documentation/data\\_sheets/xapp779.pdf](http://www.xilinx.com/support/documentation/data_sheets/xapp779.pdf), 2007-11-19.
- [11] UPEGUI A, SANCHEZ E. Evolving hardware by dynamically reconfiguring Xilinx FPGAs [J]. Evolvable Systems: Form Biology to Hardware, LNCS, 2005, 3637:56-65.
- [12] 邱金娟, 徐宏杰, 朱明达. SRAM 型 FPGA 单粒子翻转测试及加固技术研究 [J]. 电光与控制, 2011, 18(8):84-88.
- [13] 宋凝芳, 朱明达, 潘雄. SRAM 型 FPGA 单粒子效应试验研究 [J]. 宇航学报, 2012, 33(6):836-842.
- [14] 朱明达, 宋凝芳, 潘雄, 等. 太空单粒子效应光纤陀螺输出地面模拟分析 [J]. 中国惯性技术学报, 2013, 21(1):120-124.
- [15] 潘雄, 张家铭, 朱明达, 等. 基于可编程互联点的 FPGA 布线故障注入方法 [J]. 中国惯性技术学报, 2013, 21(1):131-135.
- [16] 张硕, 伊小素, 朱明达, 等. SRAM 型 FPGA 抗多位翻转布线算法 [J]. 实验技术与管理, 2013, 30(7):24-32.
- [17] 宋凝芳, 秦姣梅, 潘雄, 等. SRAM 型 FPGA 单粒子效应逐位翻转故障注入方法 [J]. 北京航空航天大学学报, 2012, 38(10):1285-1289.
- [18] 伊小素, 邓燕, 潘雄, 等. 表决器对分层三模冗余系统可靠性影响分析 [J]. 中国惯性技术学报, 2011, 19(4):494-498.
- [19] ALDERIGHI M, ANGELO S, MANCINI M, et al. A fault injection tool for SRAM-based FPGAs [C]//Proceedings of 9th IEEE International on-Line Testing Symposium, 2003:129-133.

(上接第 80 页)

- [3] 张天序, 王岳环, 钟胜. 飞行器光学寻的制导信息处理技术 [M]. 北京: 国防工业出版社, 2014.
- [4] DUDZIK M C. The infrared & electro-optical systems handbook volume 4: electro-optical systems design, analysis, and testing [M]. Bellingham: SPIE Optical Engineering Press, 1993.
- [5] MICHAEL S. Model 3D [DB/OL]. (2005-09-19) [2016-08-29]. <http://www.mathworks.com/matlabcentral/fileexchange/7940-model3d>, 2005.
- [6] FOX C S. The infrared & electro-optical systems handbook Volume 6: active electro-optical systems [M]. Bellingham: SPIE Optical Engineering Press, 1993.



请扫描二维码关注我刊