

数据集中器同步客户端设计与实现

刘学斌, 李峭, 王彤, 熊华钢

(北京航空航天大学, 北京 100191)

摘要: 远程数据集中器(RDC)将分布在飞机上各部分的低速数字信号汇集到核心处理机架。首先给出一种利用HI-3593芯片实现的ARINC 429总线数据与AFDX网络数据转换的解决方案,该芯片具有SPI总线接口,便于与FPGA芯片集成。基于此方案,并结合以太网MAC层控制器IP核,采用Verilog硬件描述语言进行SPI协议收发和AFDX组帧逻辑开发,实现数据集中与转换功能。随后,提出在AFDX接入部分增加同步客户端(SC)功能,能够根据接收到的协议控制帧(PCF)获得同步,使得该数据集中器能够在完全兼容AFDX协议的前提下,具备接入时间触发以太网(TTE)的扩展能力。

关键词: 航空电子; ARINC 429; AFDX; 远程数据集中器; 串行外设接口

中图分类号: V243 **文献标志码:** A **文章编号:** 1671-637X(2017)05-0060-05

Design and Implementation of Data Concentrator with Synchronization Client Enhancement

LIU Xue-bin, LI Qiao, WANG Tong, XIONG Hua-gang

(Beihang University, Beijing 100191, China)

Abstract: Remote Data Concentrator (RDC) is used to collect the distributed digital signals over the aircraft to the core processing machine. First of all, a solution is put forward to achieve the transformation between ARINC 429 bus data and AFDX network data through HI-3593 chip. HI-3593 has the SPI bus interface to facilitate with the FPGA chip integration. Based on this, the HI-3593 is combined with controller IP core of Ethernet MAC layer, Verilog is used to implement receive-send of SPI protocol and AFDX framing logic development, and eventually to achieve data centralization and conversion. Subsequently, the access to Synchronization Client (SC) in AFDX is proposed, which can achieve synchronization according to the received Protocol Control Frame (PCF), so that RDC can access to the Time Triggered Ethernet (TTE) with the prerequisite of complete compatibility with AFDX.

Key words: avionics; ARINC 429; AFDX; remote data concentrator; serial peripheral interface

0 引言

当前航空电子技术正朝着开放式结构和统一网络互连的方向发展,综合式模块化是航空电子系统发展的趋势;需要从实际情况出发,采用一种能够满足信息综合化和实时性,又能够兼顾多代既有的航电设备,还能够稳步过渡到先进的航空电子体系结构的开放式网络互连技术,航空电子全双工交换式以太网(AFDX)

就是这种应用条件下成功的典范^[1]。然而,出于保护投资的目的,要求将既有的大量ARINC 429总线^[2]数据转换为AFDX网络数据,需要采用数据集中器充当网关进行转换。数据集中器(Data Concentrator)起到将远程设备信号采集、转换,并接入到综合化系统的职能,也被称为远程数据集中器(Remote Data Concentrator, RDC)。然而,考虑到ARINC 429总线信号广泛应用和规范化定义,需开发具有将ARINC 429总线消息与ARINC 664 Part 7 AFDX帧之间的格式转换和转发功能的数据集中器,使其具有可以配置的转换逻辑,并具备一定的通用性。

本文所介绍的工作即是利用高集成度的HI-3593芯片和可编程逻辑芯片设计并实现一种可配制的ARINC

收稿日期:2016-04-29

修回日期:2017-02-16

基金项目:国家自然科学基金(61301086);教育部基本科研业务基金(YWF-15-GJSYS-055);航空科学基金(20111951015)

作者简介:刘学斌(1991—),男,山东潍坊人,硕士生,研究方向为航空电子与总线通信。

429/AFDX 数据集中器,可对各个端系统的数据进行收集并实现帧格式转换的目的,且提高了集中器的转换效率。不仅如此,还设计实现了同步客户端(Synchronization Client,SC)的功能,可以根据测量协议控制帧(Protocol Control Frame,PCF)的本地到达时间和 PCF 帧中的透明时钟,调整本地数据采集的时间偏移量,实现同步数据采集与转换。具有 SC 功能的数据集中器适用于将 AFDX 网络升级为时间触发以太网(Time Triggered Ethernet,TTE)的需求。

最后通过可编程模块的功能仿真、调试实现和实际的数据转换实验,证明数据集中器同步客户端各项功能满足设计要求。

1 数据集中器设计方案与功能实现

1.1 系统整体结构

数据集中器的功能之一是实现 ARINC 429 消息与 ARINC 664 Part 7 AFDX 帧之间的格式转换和转发。特别是可以根据配置信息将多路 ARINC 429 消息所承载的数据集中并封装于给定的 AFDX 虚拟链路(VL)数据载荷中^[3],在 BAG 的约束下,通过相位控制,周期性地定时发送到 AFDX 网络。

为了实现上述功能特点,采用以大规模可编程门阵列 FPGA 为核心器件,辅助 ARINC 429 专用接口芯片以及必要的参数配置的逻辑,构成高集成度的嵌入式专用数据集中器,其体系结构如图 1 所示^[3]。

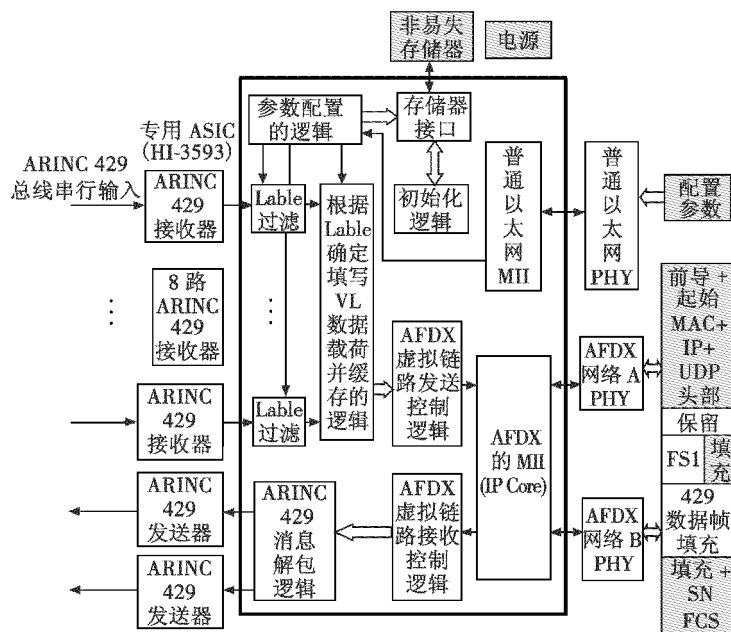


图 1 专用数据集中器总体设计方案

Fig.1 Overall design scheme for data concentrator

其中,系统结构的左右两侧分别为 ARINC 429 端口与 AFDX 以太网物理端口,根据需要,ARINC 429 端口采

用 HI-3593 芯片为接口进行设计,分为 8 路接收器与 2 路发送器,通过 RDC 内部的逻辑控制进行消息帧的重新封装,AFDX 端口支持码速率为 100 Mbit/s 的以太网物理层协议^[4]。AFDX 设有 A,B 双冗余网络,但也可以同时单独使用。

1.2 数据转换逻辑

ARINC 429 消息的类型由 8-bit 编码的数据帧标号(Label)识别。

图 2 展示的是常见的 BNR 类型的 ARINC 429 消息。其中:配有 2-bit 的符号状态矩阵(SSM)表示数据有效性^[2];Label 为标号;SDI 为源目的标识符;P 为校验位;lsb 为最低有效位;msb 为最高有效位。



图 2 ARINC 429 消息格式

Fig.2 BNR format of ARINC 429 message

AFDX 网络帧中的 MAC 目的地址、IP 目的地址由 16-bit 的虚拟链路标识符(VL_ID)所对应的路径信息决定,VL_ID 在设备初始化时配置;对于输出的 AFDX 帧,UDP 头部中的端口号由系统集成者或用户指定,并可以在初始化时配置;其他参数根据 ARINC 664 Part 7 规范进行了设置^[5]。

如图 3 所示,AFDX 数据帧的载荷中封装了 ARINC 429 消息,其中,前 4 个字节为保留域,第 5~第 8 字节为功能状态集(FSS)域,用来标识当前消息的有效性,从第 9 个字节起,每 4 个字节填充 1 个 ARINC 429 消息,根据配置,每种类型的消息在 AFDX 数据帧中的位置是指定的,当本轮采样周期没有新消息到达时,将该消息位置中的 SSM 设置为“无数据”,如果所有消息都没有更新,则在设置各个 SSM 的同时将 FSS 域也设置为“无数据”。

RDC 进行相关的配置与转发的内部模块关系如图 4 所示^[6]。

数据管理模块负责整合 AFDX 与 ARINC 429 数据消息,配合配置管理模块设置数据的发送、接收速率,VL 链路,ARINC 429 的 Label 以及发送 BAG 等;数据转发模块的主要功能为将两种数据格式对应转换并转发;状态监

控模块能够随时监视数据集中器的运行状况,实时监控数据传送的各参数^[7]。

8 字 节	14 字 节	20 字 节	8 字 节	每 4 个字节 填充一个 429 消息帧	3 字 节	1 字 节	4 字 节
前 导 字	MAC	IP	UDP	429 数据载荷	填 充	SN	帧校 验 序 列

图3 AFDX网络的帧结构

Fig.3 Frame format of AFDX network

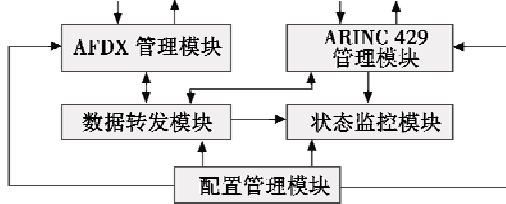


图4 RDC内部模块结构图

Fig.4 The internal module structure of RDC

1.3 SPI接口的设计与仿真调试

硬件实现方面,接收前端采用 ARINC 429 专用接口芯片 HI-3593^[8],它的发送端可直接驱动 ARINC 429 总线,码速率可以配置为 12.5 kbit/s 或 100 kbit/s;另一端具有一个串行外设集成电路接口(Serial Peripheral Interface, SPI),用于向嵌入式逻辑核心传送收发数据。

用 FPGA 设计的系统框架如图 5 所示。

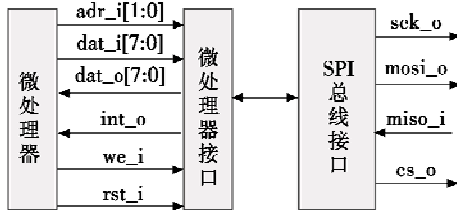


图5 SPI的FPGA设计系统框架

Fig.5 FPGA design system framework of SPI

图5中,微处理器通过相应接口连接了SPI总线接口,依据主、从两种传输模式设计实现 ARINC 429 数据的收发。同时,本次 SPI 设计一共支持 12 种速率,其为系统时钟的 2 的 N 次分频^[9]。

使用 Xilinx ISE 下的 Isim 进行仿真测试, Xilinx ISE 的集成环境可以完成整个 FPGA 的开发过程,具有简洁流畅的界面风格,适应本测试的全部要求。利用编写好的 SPI 接口程序进行了数据传输的前仿真,速率设置为四分频时发送接收数据的仿真结果如图 6 所示。

可以看到其结果与预期一致,输入数据为 11001110,输出部分实现了四分频,并且在每个上升沿触发,最终输出也为 11001110。完成软件仿真之后,在开发板上进行了仿真验证,结果与上述情况一致。

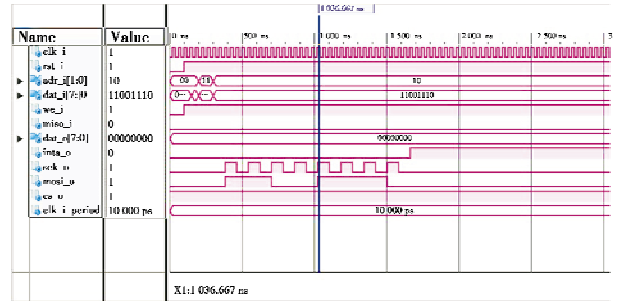


图6 四分频SPI的仿真波形

Fig.6 Simulation waveforms of four frequency division SPI

2 同步客户端功能扩展

2.1 时间触发以太网

时间触发以太网(TTE)在兼容 AFDX 的 VL 流量的基础上,提供一种更高优先级的时间触发通信服务。TTE 网络中包含同步主控器(SM),压缩主控器(CM)和同步客户端(SC) 3 种角色,它们之间通过传递协议控制帧(PCF)进行同步。其中,在每个集成周期(Integration Cycle)开始的时候,SC 不发送 PCF,而是通过接收 CM 发出的 PCF 帧进行对时。所以,集中器如果集成同步客户端功能,可以适应扩展接入 TTE 网络的需求。

2.2 根据 PCF 帧同步

除了能够接收 AFDX 帧之外,集中器的 AFDX 网络端口处还设计接收 PCF,这是具有特定类型域 0x891d 的以太网帧。PCF 帧的内部格式如图 7 所示,其中具有一个 64 比特位的透明时钟域(Transparent Clock),利用 MAC 层接收 PCF 帧的时刻(设为 t_{PCF})以及透明时钟域中的值(设为 T_{tc}),调整综合循环的相位^[9]。

如图 7 所示,在 PCF 帧的透明时钟域中, T_{tc} 的最低有效位代表 2^{-16} ns,则截取其第 47~第 16 位的 32 位比特,最大可以表示约 4.3 ms,设 2^n 不会达到毫秒量级,则只需利用这 32 位^[10]。

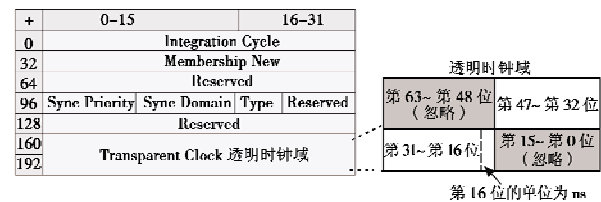


图7 PCF帧的以太网载荷的格式

Fig.7 Ethernet load format of PCF frame

调整相位的原理如图 8 所示,其中, Δ_{PCF} 为从集中器物理端口接到 PCF 的时刻到 t_{PCF} 时刻所经过的时间,是集中器设计实现者掌握的固定值。如图 8 所示,收到有效的 PCF 帧后,下一次综合循环开始时刻 t_{next_IC} 的计算式为 $t_{next_IC} = t_{PCF} + p_{IC} - \Delta_{PCF} - T_{tc} - D_{max} - D_{CM}$,其中要求满足 $p_{IC} > 2 \times D_{max} + D_{CM}$, $T_{tc} < D_{max}$ 。

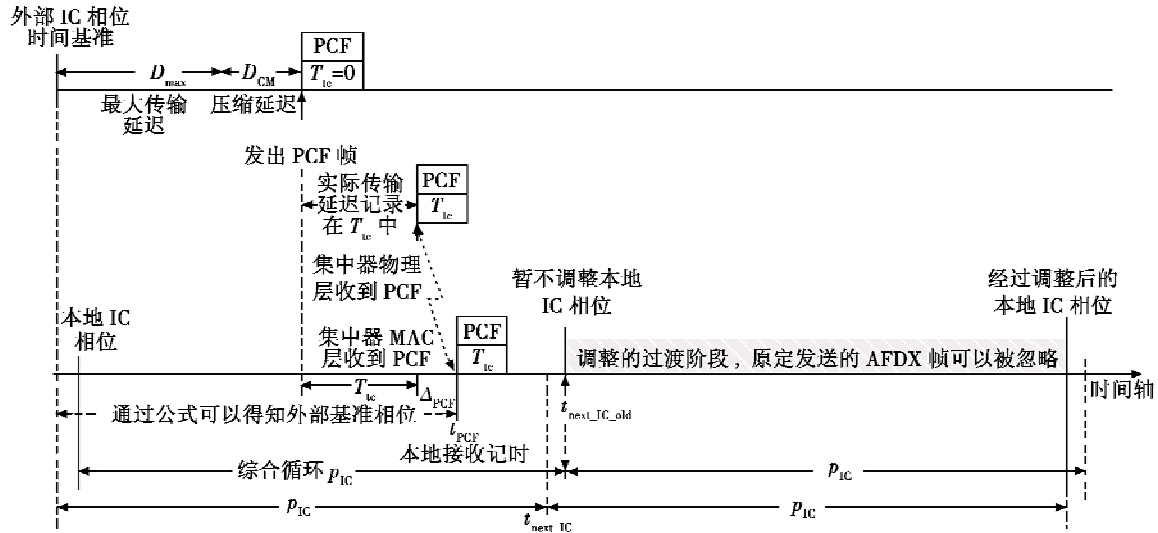


图 8 调整综合循环相位的原理

Fig. 8 Principle of adjusting the integrated cycle phase

为使相位调整在所有情况下都易于实现,规定真正调整的是下次综合循环的相位,即 $t_{n,n_IC} = t_{next_IC} + P_{IC}^{[11]}$ 。

设未经调整的下次综合循环开始时刻为 $t_{next_IC_old}$ 。如果由于相位调整,使时间段 $t_{n,n_IC} - t_{next_IC_old}$ 长度有可能不足以承载该时间段中的 AFDX 帧,则该时间段内的 AFDX 帧可以被忽略。

3 功能测试实验

3.1 数据发送与状态监控

实验器材:PC 2 台,数据集中器 1 台,商用 ARINC 429 发生器板卡 1 个。

实验方案如下:

1) 利用 PC1 驱动商用 ARINC 429 发生器板卡产生 ARINC 429 消息,例如发送高度、空速等参数,并通过 API 编程使它们的数据动态变化;

2) PC1 与集中器连接,将板卡产生的数据发送到数据集中器的 ARINC 429 接收端口,经过采集和转换,通过以太网网线接口将转换后的网络数据帧传送到 PC2 主机上;

3) 在 PC2 上开发监控软件并使用抓包工具 Wireshark 进行检测,对结果进行分析比对。

在同一时间检测到 ARINC 429 板卡发送的数据(VS2010 的命令窗监测)与 RDC 上监测到的数据(PC1 端开发监控软件实时监测)以及 PC2 上所获得的 AFDX 数据(Wireshark 抓包监测)内容一致,表明数据采集和转换功能正常,且同一时段的 Label 号所对应的数据包发送与接收数据一致。

3.2 同步客户端测试

主要测试数据集中器根据 PCF 帧的到达时间以及

PCF 帧中的透明时钟域调整本地定时,进而调整本地下下个 AFDX 数据帧的发送间隔。

调整 MAC 帧的发送间隔:在实现普通 MAC 帧收发的基础上进一步实现根据接收到的 PCF 帧来调整 MAC 帧的发送间隔。大致逻辑为,首先在每次发送 MAC 帧之前检测是否收到 PCF 帧,当通过以太网端口接收到类型为 0x891d 的 PCF 帧之后,取消下个 MAC 帧的发送,同时记录下 PCF 帧的到达时刻,并读出其中的透明时钟域,根据这 2 个时间来设置下下个 MAC 帧的发送时间。其次,当数据和间隔被调整之后,再将下下个 MAC 帧定时发出。最后,当下下个 MAC 帧发出之后,将定时发送 MAC 帧的时间间隔恢复原值,然后重复上述过程。

此外,单播或复播地址由开关来实现切换。图 9 所示为调整本地数据采集周期受到 PCF 帧调整的效果。

实际调试中,使用 XCAP 作为数据发送工具模拟随机发出 PCF 帧,使用 Wireshark 作为抓包工具检测发送出的 MAC 帧与接收到的 PCF 帧,观察发送时间与数据内容,检验是否正常实现了调整。

测试结果如下所述。

1) 普通 MAC 帧的定时发送:以 40 ms 为周期定时发送 MAC 帧,有效数据载荷(Payload)中有写入要求的部分被更新为写入数据,其他数据在被读出之后即被清空。按下开关后单播、复播地址可实现切换。如表 1 所示。其中,第 3.2 s 时刻切换单播与组播地址。

2) 接收 PCF 帧并调整 MAC 帧的发送间隔:以 40 ms 为周期定时发送 MAC 帧,同时用 XCAP 模拟发送 PCF 帧,在接收到 PCF 帧后,下下个帧的发送时间间隔得到了相应调整,之后的发送周期又恢复到 40 ms。随

机发送3次PCF帧,调整结果均为正常,按下开关后也可实现切换单播、组播地址,如表2所示。其中,1.27 s收到PCF帧后下个帧的接收时间调整到了1.35 s,之后的周期又恢复到40 ms。

表1 普通MAC帧的定时发送

Table 1 Sending a general MAC frame

时刻	源地址	目的地址	帧类型	信息
3.079915	10.1.33.40	10.2.33.8	UDP	Port 16465 to 20561
3.119908	10.1.33.40	10.2.33.8	UDP	Port 16465 to 20561
3.159907	10.1.33.40	10.2.33.8	UDP	Port 16465 to 20561
3.199906	10.1.33.40	224.224.0.81	UDP	Port 16465 to 20561
3.239904	10.1.33.40	224.224.0.81	UDP	Port 16465 to 20561
3.279910	10.1.33.40	224.224.0.81	UDP	Port 16465 to 20561
3.319916	10.1.33.40	224.224.0.81	UDP	Port 16465 to 20561
3.359913	10.1.33.40	224.224.0.81	UDP	Port 16465 to 20561

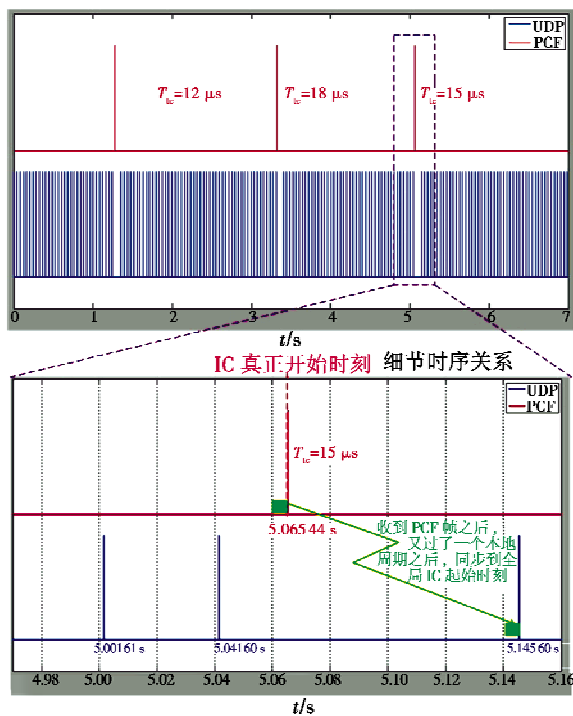


图9 数据集中器的本地周期受到PCF的调整

Fig.9 Local cycle of data concentrator under PCF adjustment

表2 接收PCF帧并调整MAC帧的发送间隔

Table 2 Receiving PCF frame and adjusting the MAC frame transmission interval

时刻	源地址	目的地址	帧类型	信息
1.159965	10.1.33.40	10.2.33.8	UDP	Port 16465 to 20561
1.199972	10.1.33.40	10.2.33.8	UDP	Port 16465 to 20561
1.239967	10.1.33.40	10.2.33.8	UDP	Port 16465 to 20561
1.273533	50:00:00:00:00:03	02:00:00:01:21:20	TTE	Bogus TTEthernet Frame
1.353698	10.1.33.40	10.2.33.8	UDP	Port 16465 to 20561
1.393692	10.1.33.40	10.2.33.8	UDP	Port 16465 to 20561
1.433696	10.1.33.40	10.2.33.8	UDP	Port 16465 to 20561

4 结束语

本文给出了一种具有一定通用性的可配置数据集中器的整体设计方案,并将SPI接口协议进行了改进,从而支持多种速率选择,此外,提出了数据集中器的同步客户端功能并加以实现,使之具有适应未来时间触发以太网升级扩展的能力,针对实物的测试验证表明,该设计方案不仅可行,而且可以用主要包含以太网PHY,FPGA和ARINC 429接口芯片的单板来实现,提升了集成度和转换效率。对同步客户端进行了调整MAC帧发送的测试,结果证明,可以通过PCF帧进行发送时间间隔的调整,验证了同步客户端功能的实现,从而使系统具备了接入TTE的扩展能力。此设计的创新性为将来设计与改进同步客户端提供了一定的理论依据。

参考文献

- [1] 周强,熊华钢.新一代民机航空电子互连技术发展[J].电光与控制,2009,16(4):1-6.
- [2] ARINC 429. MARK 33 Digital Information Transfer System (DITS) [S]. ARINC Specification 429 Part 1-17, 2004.
- [3] Atmel. 2-wire serial EEPROM AT24C02 [EB/OL]. [2005-01-01]. <http://www.alldatasheet.com/datasheet-pdf/pdf/56063/ATMEL/AT24C02.html>.
- [4] 郝梅,于学禹,贾建收,等. Cadence 电路设计技术 [M]. 北京:机械工业出版社,2010.
- [5] 易娟,何锋,王彤. AFDX 实时流量的时间确定性中间件接入模型研究[J]. 电光与控制,2013,20(7):62-66.
- [6] ARINC 664 P7. Avionics Full-Duplex Switched Ethernet (AFDX) networks [S]. ARINC Specification 664 Aircraft Data Network Part 7, 2005.
- [7] 许俊,徐塞虹. 基于 Vitesse 交换芯片的千兆以太网二层交换机设计 [EB/OL]. [2007-09-27]. <http://www.paper.edu.cn/releasepaper/content/200709-559>.
- [8] SAE AS6802. Time-Triggered Ethernet [S]. SAE Aerospace Standard, 2011.
- [9] 熊华钢,周贵荣,李峭. 机载总线网络及其发展[J]. 航空学报,2006,27(6):1135-1144.
- [10] TTTech. TTEthernet specification v. 0. 9. 1 [Z]. D-INT-S-10-002, TTTechComputertechnik AG, 2008.
- [11] 兰杰,熊华钢,李峭. 时间触发以太网时钟同步的容错方法分析[J]. 计算机工程与设计,2015,36(1):11-16.