

基于 T1040 的 VxWorks 中断亲和力研究

李世锐^{1,2}, 温永强³, 高海峰², 齐亚磊²

(1. 光电控制技术重点实验室, 河南 洛阳 471000; 2. 中国航空工业集团公司洛阳电光设备研究所, 河南 洛阳 471000;
3. 中国人民解放军驻六一三所军事代表室, 河南 洛阳 471000)

摘要: 通过研究 VxWorks 中断亲和力, 提出一种以均衡中断负载为目标的中断动态路由方法, 提高多核处理器 T1040 系统的中断响应实时性。从硬件上分析 T1040 特有的多核可编程中断控制器的结构特点, 再从软件上分析 VxWorks 内核下中断亲和力的实现方法, 表明可利用中断亲和力实现多核环境下中断的静态路由和动态路由, 并提出了一种基于负载均衡的中断动态路由方法。实验结果验证该方法可以有效地均衡多核处理器的中断负载, 缩短中断响应时间, 从而提高系统的实时性。

关键词: 多核可编程中断控制器; 航空综合核心处理器; T1040; VxWorks 中断亲和力; 中断路由
中图分类号: TP316.2 **文献标志码:** A **文章编号:** 1671-637X(2017)01-0091-05

Research on VxWorks Interrupt Affinity Based on T1040

LI Shi-rui^{1,2}, WEN Yong-qiang³, GAO Hai-feng², QI Ya-lei²

(1. Science and Technology on Electro-Optic Control Laboratory, Luoyang 471000, China; 3. Luoyang Institute of Electro-Optic Equipment, AVIC, Luoyang 471000, China; 2. Military Representative Office of PLA in No. 613 Institute, Luoyang 471000, China)

Abstract: The VxWorks interrupt affinity is studied, and an interrupt dynamic routing method is proposed based on load balancing for improving the interrupt response rate of the multi-core processor, T1040. Analysis is made to the architecture of the multi-core programmable interrupt controller of T1040 and its working principle. And then, research is carried out on how to implement interrupt affinity in VxWorks kernel of SMP architecture based on the controller. It shows that the interrupt can be bound to specific processors to obtain the best execution performance by static and dynamic routing under multi-core environment. And an interrupt dynamic routing method is proposed based on interrupt load balancing. The experimental results on the T1040 hardware platform indicate that: The method is effective for balancing the routing interrupts across multiple cores, makes full use of processor resources and improves timeliness of system.

Key words: multi-core programmable interrupt controller; airborne integrated core processor; T1040; VxWorks interrupt affinity; interrupt routing

0 引言

中断处理是嵌入式实时操作系统的重要组成部分, 尤其是在航空综合核心处理机中^[1]。其承担着交联雷达、导航、电子战、红外搜索等设备的功能, 对实时性有着较高的要求, 大多采用中断的工作模式进行数据响应^[2]。为了更好地处理大量中断请求, 提升综合

核心处理机系统的实时性, 本文对 VxWorks 中断亲和力进行研究与分析。VxWorks 中断亲和力是指在 VxWorks 多核操作系统下, 将到来的中断分配给特定的处理器核去处理, 目的在于分散各个处理器核上的中断负载, 提高系统的中断并发处理能力, 缩短中断处理的响应时间, 进而提升整个系统的实时性^[3]。

1 基于 T1040 的 VxWorks 中断亲和力工作原理

VxWorks 中断亲和力的实现依赖于硬件与软件的配合。硬件上选择典型的 PowerPC 架构的 T1040 多核处理器为研究对象, 软件上以 VxWorks 内核级操作为实

收稿日期: 2016-06-01 修回日期: 2016-10-28

基金项目: 国家自然科学基金(61273075)

作者简介: 李世锐(1993—), 女, 河南新安人, 硕士生, 研究方向为嵌入式实时操作系统。

现手段,对 VxWorks 中断亲和力进行详细分析与研究。

1.1 硬件上 MPIC 的工作原理

T1040 多核处理器采用多核可编程中断控制器 (MPIC) 处理中断。MPIC 负责接收来自不同中断源的中断信号,并将其分发给合适的目的 CPU 去服务,给多核中断的并发处理提供了可实行性^[3]。MPIC 将中断按照一定的逻辑和次序,向各个处理器核的管脚提交中断信号。MPIC 管理的中断,包括外部中断 EXTINT、核间中断 IPI、消息中断 MSI、MPIC 定时器中断等^[4],本文仅针对外部设备使用到的 EXTINT 外部中断进行研究。MPIC 会将所有外部中断 IRQ[0:11] 送到处理器的 #int 引脚。T1040 处理器核与 MPIC 的连接如图 1 所示。

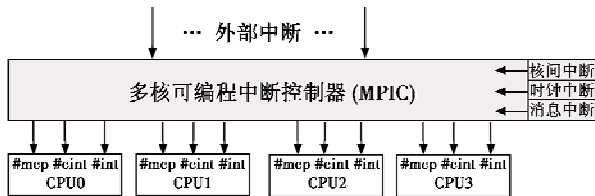


图 1 处理器核与 MPIC 的连接

Fig.1 Connection diagram of CPU and MPIC

在 MPIC 中,每一个中断请求不仅拥有一个唯一的 中断向量号和可配置的优先级,还拥有一个可配置的目的 CPU 号,目的 CPU 号决定了中断由哪个处理器核处理。目的 CPU 号存储于中断目的寄存器中,每一个中断的中断目的寄存器构成一个中断目的 CPU 列表^[5]。中断目的列表描述了当中断请求到达时,系统会将中断分配到哪一个处理器核去执行。本文只考虑了外部中断,每一个外部中断对应一个外部中断目的寄存器。在 T1040 中共有 12 个外部中断目的寄存器,每一个寄存器有 32 位,如图 2 所示。

前 28 位保留,后 4 位的每一位代表一个处理器核,它们的值表示处理器核是否接收这个中断。该位置“1”表示对应处理器核接收,“0”表示不接收。例如,当 P3 置“1”,其他位全部置“0”,即此目的寄存器值为 8 时,表示 CPU3 接收该中断并处理其服务程序。需注意的是,同时只能有一位被置“1”。在初始状态时,P0 置“1”,其他位全部置“0”,则表明在系统默认情况下,所有外部中断交由处理器核 0 处理。

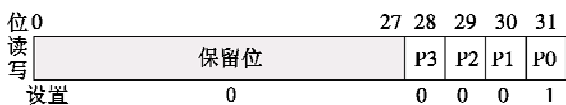


图 2 中断目的寄存器

Fig.2 Interrupt destination register

中断目的处理器核寄存器列表与中断亲和力紧密相关,是中断亲和力实现的硬件基础。VxWorks 内核通过软件编程修改 T1040 的 MPIC 里 EIDR 中断目的

寄存器的配置项,从而达到这种绑定的功能。

1.2 VxWorks 中断亲和力的内核实现及工作原理

首先,VxWorks 多核操作系统中提供了一个结构体 intrCtrlCpu,作为实现中断亲和力的硬件接口。结构体 intrCtrlCpu 只能在 VxWorks 的 SMP 架构下使用,用来表示中断控制器控制中断路由到给哪个 CPU 引脚,可以实现一个中断路由到具体的物理处理器核上。

```

struct intrCtrlCpu
{
    int  inputPin;
    int  cpuNum;
};

```

VxWorks 多核操作系统在启动时,会调用 mpicIntCtrlInstInit() 函数对 T1040 的中断控制器进行初始化:通过写中断目的寄存器绑定所有中断到当前处理器核上运行,该 CPU 通常为系统里的第一个逻辑处理器核,即 CPU0^[6];同时,相应设置中断掩码寄存器掩码位为“0”,表示系统不屏蔽任何类型的中断,愿意处理中断程序。

VxWorks 多核操作系统提供 mpicIntCtrlIntReroute() 函数负责把设备中断路由到一个指定的处理器核上。特别需要注意的是,mpicIntCtrlIntReroute() 函数只能在 VxWorks SMP 架构下使用,必须先将 _WRS_CONFIG_SMP 置“1”才有效。调用 mpicIntCtrlIntReroute() 函数,先将外围的硬件设备号 pDev 与中断编号 index 绑定,再将中断编号 index 与目的处理器核的 destCpu 绑定,完成中断亲和力的配置。mpicIntCtrlIntReroute() 函数的第一步就是判断 destCpu 是否合法,在 T1040 处理器中只有 4 个处理器核,当 destCpu 大于 4 时为非法的,即无效;再将逻辑上的处理器核地址转为物理上的处理器核地址,即 physCpu = CPU_LOGICAL_TO_PHYS(destCpu);然后调用 mpicIntCtrlDevIntEnable(pDev, index),唤醒中断使能,通过中断向量表将中断编号对应的中断服务程序入口地址传送给处理器核引脚, pPin = vxbIntCtrlPinEntryGet(isrHandle, index);最后进行寄存器写操作 MPIC_REG_WRITE,将中断亲和力、优先级、索引号等信息写入指定的处理器核的物理地址。而系统的操作对应到硬件上的整个流程是先配置 destCpu 的参数,已经指定了某个处理器核处理中断,当中断到来时,中断编号 N 到中断目的寄存器列表查找对应中断目的寄存器 EIDRn,得到指定处理该中断的处理器核,整个过程如图 3 所示,图中,n 为中断目的寄存器编号。

中断亲和力的设置在下一次中断发生时生效,需要注意的是,对于 PowerPC 平台,设置过程中,系统总是从中断目的寄存器中选择第一个有效的处理器核进

行设置,即使在中断目的寄存器中有多个有效处理器核,最终能够处理中断的只有一个。当该 CPU 不能正常使用时,系统会默认将中断任务路由分配给第一个 CPU 执行。

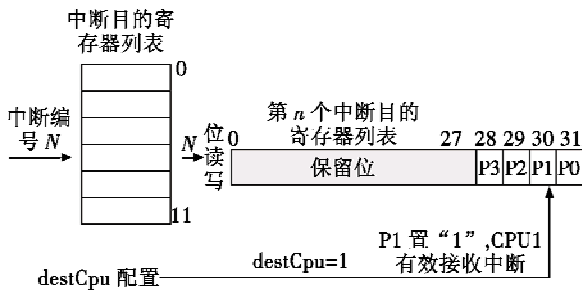


图 3 中断亲和力配置

Fig. 3 Assignment of interrupt affinity

2 中断动态路由方法

在 VxWorks 多核操作系统 SMP 架构中,默认将系统中所有中断都交由第一个逻辑处理器核 (CPU0) 处理,这样的工作方式与单核处理器类似,系统中同时处理中断的处理器核只有一个,没有充分发挥多核处理器的性能优势^[7]。VxWorks 中断亲和力可以使一个或多个中断信号绑定在固定的处理器核上,减轻 CPU0 的中断负载,均衡多核处理器之间的中断负载,充分利用多核处理器资源,有效地提高系统性能。因此,利用中断亲和力提出一种中断动态路由方法。中断动态路由是指没有预先在各个处理器核之间分配好中断,而是在中断到来时,系统根据当前处理器核的中断负载情况,进行动态路由^[8]。中断动态路由模型如图 4 所示。中断动态路由需要一个动态分配规则,决定中断到来时,中断控制器根据此规则进行仲裁,将中断分配给到此时中断负载最轻的处理器核上^[9]。本文给出针对 T1040 多核处理器的中断负载均衡方法。

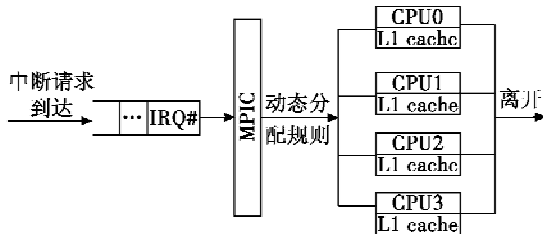


图 4 中断动态路由

Fig. 4 Interrupt dynamic routing

中断动态路由方法的基本思路:在系统中,创建一个内核线程监控每个处理器核的中断负载情况来负责系统中断动态路由的仲裁,量化计算比较每个处理器核的中断负载情况,将中断路由分配给中断负载最轻的核^[10]。首先,对 T 时间间隔内所有中断出现的频次进行记录;其次,统计每个处理器核上处理中断负载的

情况;然后,按照各个中断出现的频次高低将其绑定到不同的处理器核上。分配原则为:出现频次最高的中断路由到中断负载最轻的处理器核,出现频次次高的中断路由到中断负载次轻的处理器核,依次类推,直至系统中所有的中断全部路由完毕;动态路由的过程通过修改对应的 `destCpu` 完成。

方法中选取时间 T 间隔内在单个 CPU 上发生的中断次数,并把中断对应的优先级作为权重,二者相乘作为衡量一个处理器核中断负载的量化值,统计这个处理器核上的所有的中断负载,相加作为这个处理器核中断负载轻重的衡量依据。设定中断 r 的优先级为 P_r ,到第 nT 时刻发生在系统第 i 个处理器核上的总次数记为 $N(nT)_{ri}$,则在第 n 个时间间隔 T 内,第 i 个处理器核上的中断负载和第 r 个中断在所有 CPU 上出现的次数分别为

$$L_i = \sum_{r=0}^{Num_IRQ} \{N(nT)_{ri} - N[(n-1)T]_{ri}\} \cdot P_r \quad (1)$$

$$M_r = \sum_{i=0}^{Num_Core} N(nT)_{ri} - N[(n-1)T]_{ri} \quad (2)$$

式中: Num_IRQ 为中断请求的总个数,记为 m ; Num_Core 为处理器核的总个数,记为 l 。将 $\max M_r$ 分配给 $\min L_i$,依次类推,将对应频数 M_r 的中断分配给中断负载 L_i 的处理器核。运行该方法的系统时间开销与中断请求总个数和处理器核数有关,方法的时间复杂度为 $O(ml)$ 。工程实践中,时间 T 的选取也至关重要。 T 过小会造成系统频繁计算处理器核的中断负载; T 过大会造成方法的效率不明显。在航空综合核心处理机上,典型的系统任务运行频率为 60 次/s。 T 选为 100 ms,系统执行方法的频率为 10 次/s,不会被频繁打断处理正常任务,且外部中断响应时间小于 1 ms 的较少,因此选 100 ms 为时间间隔 T 是比较合适的。

3 实验结果与分析

硬件上使用恩智浦 QorIQ T1040 开发板,该开发板配备主频为 1.5 GHz 的 T1040 处理器,此处理器拥有丰富的 I/O 接口,包括 4 个 PCIe2.0 插槽,2 个 USB2.0 插槽等;软件上采用针对 T1040 平台移植和 6.9 版本的 Vx-Works SMP 模式下的内核进行实验验证。

3.1 中断负载均衡测试

在系统内核中添加中断动态路由方法,引入大量外部中断激励到系统中。在系统运行一定时间后,对每个 CPU 处理的上述中断的次数进行输出打印,并在相同情况下,对默认系统进行相同的外部中断激励,二者进行比较。

各个中断在系统默认和中断动态路由方法下的处理器核分布情况如图 5 所示。

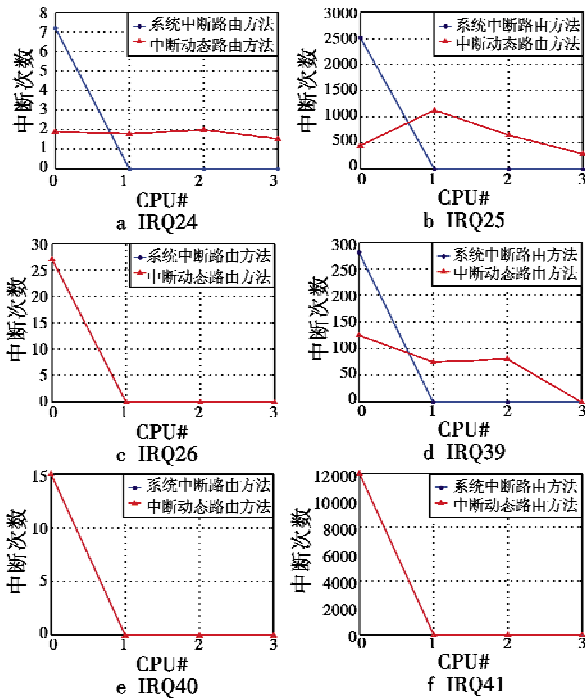


图 5 IRQ 在各个处理器核的分布

Fig. 5 Assignment of IRQs on specific CPU

根据图 5 可知,中断请求越频繁的中断在动态路由方法下曲线越趋于水平线,表明在该方法下,发生次数越大的中断越能更好地达到中断负载均衡。

3.2 中断实时性能测试

在上述负载均衡实验的基础上,分别测量这 6 种中断在原默认系统和中断动态路由方法下的中断响应时间,结果如图 6 所示。

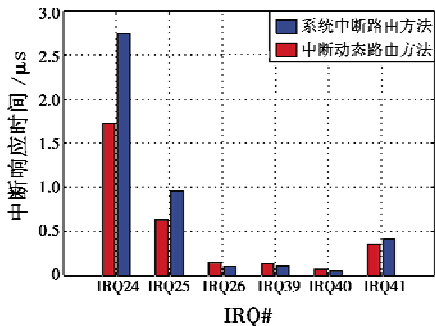


图 6 IRQ 中断响应时间

Fig. 6 Interrupt response time of IRQs

由图 6 可以知道,在中断动态路由方法下,IRQ24, IRQ25,IRQ41 大大缩短了中断响应时间;而 IRQ26, IRQ39,IRQ40 的中断响应时间没有明显缩短,甚至与原系统相比中断响应延迟。

这是因为该方法需要创建一个内核线程,增加了系统的时间开销。为测量该方法的时间开销,在系统内连续运行中断动态路由方法 1000000 次,测得运行时间为 899 ms,因此该方法执行一次造成的系统开销

为 0.900 μs。系统每隔 100 ms 执行一次中断动态路由方法,这意味着系统运行 1 s,该方法的时间开销为 9 μs。当处理万次级别的中断请求时,该方法的时间开销不明显,几乎可忽略不计;但处理百次级别的中断请求时,该方法的时间开销增加了处理中断响应的的时间。因此,中断动态路由方法适用于中断请求在万次数量级的系统,能更好地缩短系统中断响应时间。

进一步对系统的实时性能进行测试,分别对原系统默认情况与添加中断动态路由方法的优化系统进行相同的十万次中断激励,统计结果如表 1 所示。

表 1 中断响应时间统计

Table 1 Statistics of interrupt response μs

	最大响应时间	最小响应时间	平均响应时间
系统中断路由方法	3.855	3.209	3.795
中断动态路由方法	3.600	2.715	3.489

原系统与优化系统十万次中断响应正态分布如图 7 所示。

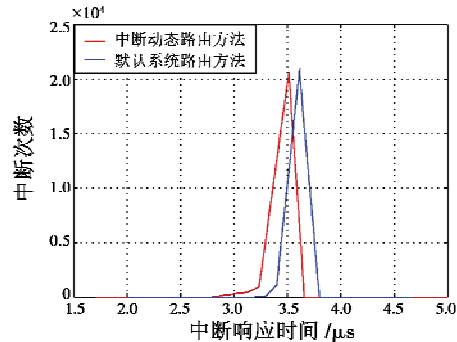


图 7 默认系统与引入方法的系统中断正态分布

Fig. 7 Normal distribution of system on default and optimized system

根据表 1 和图 7 可知,在处理万次级别的外部中断时,添加中断动态路由方法后的优化系统与原系统相比较,中断的最大响应时间缩短了 6%,最小响应时间缩短了 15%,平均响应时间缩短了 10%,证明在该方法下,整体上缩短了中断响应时间,提高了系统的实时性。

4 结束语

合理地利用中断亲和力,能够保证在系统硬件结构不发生变化的情况下,更加充分发挥 T1040 多核的性能。本文仅考虑外部中断的情况,只对外部中断如何设置中断亲和力进行分析与研究。事实上,在 VxWorks 多核操作系统中,中断还包括内部中断、定时器中断等,在未来的研究当中,可以将其他中断亲和力综合考虑,进一步挖掘多核处理器资源的利用效率,最大限度地发挥 T1040 多核处理器的性能,特别是在综合核心处理机方

面的表现。

参考文献

- [1] 何翔,任晓瑞. 支持多核的嵌入式操作系统关键技术研究[J]. 航空计算技术,2013,43(4):86-90.
- [2] PAULITSCH M, NOWOTSCH J. Leveraging multi-core computing architectures in avionics [C]//The Ninth European Dependable Computing Conference, 2012:132-143.
- [3] 虞保忠,张灯,徐晓光,等. 嵌入式多核系统中断负载均衡研究[J]. 电子技术,2014(3):27-30.
- [4] RAS J, CHENG A M K. An evaluation of the dynamic and static multiprocessor priority ceiling protocol and the multiprocessor stack resource policy in an SMP system [C]//The 15th IEEE Real-Time and Embedded Technology and Applications Symposium, 2009:13-22.
- [5] 孔帅帅. 基于嵌入式多核处理器的通信及中断问题的研究[D]. 成都:电子科技大学,2011.
- [6] 王世涛,张激,李健,等. 嵌入式多核操作系统负载均衡研究[J]. 计算机工程,2015,41(7):86-90.
- [7] ORTIZ A, ORTEGA J, DIAZ A F, et al. Affinity-based network interfaces for efficient communication on multicore architectures[J]. Journal of Computer Science & Technology, 2013, 28(3):508-524.
- [8] COSTA D, DE AGUIAR P. On the virtualization of multiprocessed embedded systems[D]. Porto Alegre: Pontifical Catholic University, 2014.
- [9] YAN J N, HE J Z, CHEN W G, et al. ASLOP: a field-access affinity-based structure data layout optimizer [J]. Science China Information Sciences, 2011, 54(9):1769-1783.
- [10] FUNG J, NEWELL D, LRELAN P, et al. Architectural characterization of processor affinity in network processing[C]//IEEE International Symposium on Performance Analysis of Systems and Software, 2005:207-218.
- (上接第26页)
- [5] LUO Y H, SONG H J, WANG R. An accurate and efficient extended scene simulator for FMCW SAR with static and moving targets [J]. IEEE Geoscience and Remote Sensing Letter, 2014, 11(10):1159-1164.
- [6] 洪文. 圆迹 SAR 成像技术研究进展[J]. 雷达学报, 2012,1(2):124-135.
- [7] SOUMEKH M. Reconnaissance with slant plane circular SAR imaging[J]. IEEE Transactions on Image Processing, 1996, 8(5):1252-1265.
- [8] DALLINGER A, SCHELKSHORN S, DETLEFSEN J. Efficient ω - k -algorithm for circular SAR and cylindrical reconstruction areas [J]. Advances in Radio Science, 2006, 4(8):85-91.
- [9] KOU L L, WANG X Q, CHONG J S, et al. Circular SAR processing using an improved omega- k -type algorithm[J]. Journal of Systems Engineering and Electronics, 2010, 21(4):572-579.
- [10] 张祥坤. 高分辨圆迹合成孔径雷达成像机理及方法研究[D]. 北京:中国科学院空间科学与应用研究中心,2007.
- [11] 田甲申. 圆周 SAR 成像算法及相关技术[D]. 成都:电子科技大学,2013.
- (上接第40页)
- tispoofing techniques[J]. International Journal of Navigation & Observation, 2012(9):1-13.
- [6] 葛大江,周光彬,胥大川,等. GPS 接收机的一种空时零陷抗欺骗式干扰方法[J]. 四川兵工学报,2015,36(8):41-45.
- [7] BROUMANDAN A, JAFARNIA-JAHROMI A, DEGHANIAN V, et al. GNSS spoofing detection in handheld receivers based on signal spatial correlation[C]//Position Location and Navigation Symposium (PLANS), IEEE/ION, 2012:479-487.
- [8] LI M, DEMPSTER A G, BALAEI A T, et al. Switchable beam steering/null steering algorithm for CW interference mitigation in GPS C/A code receivers[J]. IEEE Transactions on Aerospace and Electronic Systems, 2011, 47(3):1564-1579.
- [9] TSUI J B Y. Fundamentals of global positioning system receivers; a software approach[M]. 2nd ed. New York: Wiley & Sons, 2005:129-185.
- [10] MAGIERA J, KATULSKI R. Accuracy of differential phase delay estimation for GPS spoofing detection[C]//The 36th International Conference on Telecommunications and Signal Processing(TSP), 2013:695-699.