

基于 NAND Flash 的高速大容量存储系统的设计

赵亚慧^{1,2}, 金龙旭¹, 陶宏江¹, 韩双丽¹, 张敏^{1,2}

(1. 中国科学院长春光学精密机械与物理研究所, 长春 130033; 2. 中国科学院大学, 北京 100049)

摘要: 针对空间相机地面检测设备数据信息量大、存储速度快的特点, 采用性能优良的 NAND 型 Flash 为存储介质, FPGA 为控制核心, 实现了高速大容量存储系统的设计。针对数据存储速度的提升, 引入双 plane 操作、并行及流水线的方式控制 Flash 阵列。通过对 Flash 芯片中坏块特点的研究, 引入了坏块管理部分。实验结果表明, 该系统能够完成空间相机大量原始数据的高速记录工作, 保证了数据记录的实时性及可靠性。

关键词: 航空电子; 空间相机; 地面检测设备; 存储系统; NAND Flash; 并行技术

中图分类号: TP391 **文献标志码:** A **文章编号:** 1671-637X(2016)05-0071-05

Design of a High-Speed Large Capacity Storage System Based on NAND Flash

ZHAO Ya-hui^{1,2}, JIN Long-xu¹, TAO Hong-jiang¹, HAN Shuang-li¹, ZHANG Min^{1,2}

(1. Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China;

2. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: Considering that the ground test equipment for space cameras has the characteristics of large amount of data and rapid storing velocity, the design of a high-speed large capacity storage system is implemented by using FPGA as the control core and the solid NAND Flash with excellent performance as a storage medium. To improve the storing velocity of the system, the Flash array is controlled by using two-plane operation, parallel technology and pipeline technology. The system uses bad block management after analyzing bad block feature of Flash. Experimental results show that the system can accomplish the record of a large number of high-speed original data from space camera, which ensures the real-time performance and reliability of data recording.

Key words: avionics; space camera; ground test equipment; storage system; NAND Flash; parallel technology

0 引言

随着我国航空电子技术发展的日趋成熟, 空间相机的数据采样率大幅度提升^[1], 为了实时、稳定地存储原始数据, 空间相机数据存储系统的容量越来越大、存储速度也越来越快。而地面检测设备负责接收并存储相应数据便于后续分析处理, 其存储速度必然要与空间相机数据存储系统的传输速度相匹配。为了保证记录数据的有效性, 就对地面检测设备的性能提出了更高的要求。地面检测设备不但要将空间相机所记录的海量原始数据全部存储, 还要做到实时连续快速存储,

并且要保证数据的正确性。

高速大容量数据存储技术的发展主要由存储介质的构成。虽然传统的磁存储技术存储成本低, 但其机械特性使得设备体积大、功耗高、易损坏^[2], 而地面检测设备需要经常在外场进行维护, 磁存储技术显然不能满足设备携带方便和抗振动的要求。固态存储技术是以半导体芯片作为存储介质的数字存储技术, 其设备不存在任何机械部件, 环境适应能力强, 已成为高速大容量数据存储系统设计方案的首选。

传统的高速大容量存储设备为了提高存储速度, 在系统中增加存储芯片的使用数量, 虽然操作简便, 但是增加了设计成本; 同时由于半导体芯片 Flash 存在无效块等存储特性, 影响了系统的可靠性。

针对以上问题, 本文以 FPGA 为中央控制核心, NAND 型 Flash 为存储介质, 并引入双 plane 操作、并行

操作及流水线操作等存储关键技术,在满足系统设计指标要求的前提下减少 Flash 芯片使用数量,同时对 Flash 芯片建立坏块处理机制,提高系统可靠性,解决地面检测设备中的数据存储问题,完成数据高速海量存储。

1 系统总体结构设计

本系统针对空间相机地面检测设备,旨在解决系统中高速大容量的数据存储问题。系统具体的技术指标主要体现在:1) 存储速度快,能实时连续记录高速原始数据,存储速度大于 500 MB/s;2) 存储容量大,能够存储海量数据,容量不低于 600 GB;3) 系统的可靠性高,误码率小。

基于以上几个方面,本设计采用以 FPGA 为控制核心、Flash 芯片为存储介质的方案。系统主要由 FPGA 控制模块、Flash 存储阵列、坏块管理模块、串行通信接口电路和 USB 控制模块几部分组成,见图 1。

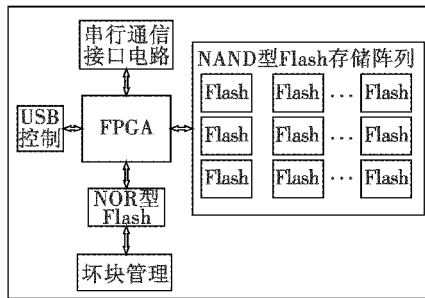


图 1 系统结构框图

Fig. 1 The structure diagram of the system

主控芯片是存储系统的核心器件,主要负责完成的任务有:产生 Flash 控制阵列时序、管理 Flash 坏块信息、实现通信接口等。这就要求相应的 FPGA 拥有足够的 I/O 数量用于数据传输,并有丰富的 RAM 资源便于缓存。综合考虑设计成本、系统功耗、适用范围等因素,主控芯片选择美国 Xilinx 公司高性能 Spartan-6 系列的 XC6SLX100T^[3],该芯片含有 101 261 个逻辑单元,内置 RAM 容量多达 4.71 MB,为系统的逻辑设计提供了足够的缓存空间。

存储阵列模块主要负责完成系统的高速数据读写。Flash 存储芯片作为半导体存储芯片具有密度高、容量大、抗震性能好等特点^[4],成为本次存储系统中存储芯片的不二之选。

坏块管理模块是针对 Flash 芯片的坏块进行处理屏蔽,并将坏块信息写入非易失零出错的 NOR 型 Flash 芯片中进行保存,保证坏块信息的正确存储,降低系统的误码率。

串行通信接口电路用于数据传输,主要负责将空间相机的数据通过接口电路传送到地面检测设备。接

口电路选用 RS422^[5]标准,支持点对多的双向通信,抗干扰能力强。

USB 接口模块的主要任务是方便与 USB 接口的外设进行通信。空间相机的数据传送到地面检测设备进行存储后,若 PC 机或其他带有 USB 接口的设备需要对数据进行后续分析处理,可以通过 USB 接口模块进行数据的高速传输。该模块接口芯片选用美国 Cypress 公司的 CY7C68013^[6],此款芯片满足 USB2.0 通信协议,功耗低、兼容性强。

2 系统关键技术

2.1 Flash 阵列控制

根据 Flash 芯片采用的技术架构的不同,主要将其分为 NOR 型和 NAND 型。其中:NOR 型 Flash 作为存储介质,可靠性高、随机读取性强,适合编程和擦除操作较少的代码存储;NAND 型 Flash 存储密度高、读写擦除速度快,更适用于大量的数据存储的场合。

本设计主要针对地面检测设备的数据存储,需要将空间相机产生的大量数据传输并存储到地面检测设备中,因此选用 NAND 型 Flash 作为存储介质。美国镁光公司是著名的闪存生产公司,拥有 SLC, TLC, MLC 3 种结构的闪存芯片^[7],其中:SLC 型的 Flash 可靠性好,但是价格高、密度低;TLC 型的 Flash 价格低,但使用寿命短,性价比低。根据本设计的技术要求,综合考虑芯片的密度、价格、使用寿命等因素,最终选取 MLC 型的 NAND Flash 作为本次设计的存储芯片,具体型号为 MT29F512G08CUCAB^[8]。芯片数据宽度为 8 bit,单片存储容量达到 512 Gbit,共包含 8 个逻辑单元,每个逻辑单元包含 2 个 plane,它们共用一套总线。每个 plane 由 2048 个块组成,每个块有 256 页,每页可以存储 8192 字节。该芯片能够完成复位、配置、编程、读以及擦除等多种操作类型,本设计主要用到编程操作以及读操作,此芯片完全能够胜任。

2.1.1 页编程操作

NAND 型 Flash 的编程操作以页为单位进行。传统的页编程方式为单 plane 页编程操作:首先将写指令 80H 和地址写入相应寄存器,等待一段时间后将一页的数据发出,之后再发送确认存储指令 10H。发送操作完成之后,Flash 开始自动编程,进入等待状态。芯片编程完毕后发送读状态指令,最后查看写操作是否成功。根据芯片的数据手册,同时为了保证数据读取的正确性,在同步工作模式下取 CLK 平均周期 $t_{CK} = 10$ ns,最大页编程操作时间 $t_{PROG} = 2600 \mu\text{s}$ 。在这种情况下,单片 Flash 页编程速度为 3.1 MB/s。

本系统选用的 Flash 芯片每个逻辑单元都含有 2

个 plane, 因此为了提高单片 Flash 的页编程速度, 本设计采用双 plane 编程的操作模式, 先将第 1 个 plane 的写指令和地址写入寄存器, 并将数据写入其对应的缓存中, 然后将第 2 个 plane 重复之前的操作, 最后将缓存中的数据一起写入到数据存储区。在双 plane 页编程下, 2 个 plane 操作之间的最短等待时间 $t_{\text{DBSY}} = 0.5 \mu\text{s}$, 此时页编程速度约为 5.4 MB/s。双 plane 编程速度相对于普通的编程速度, 提高了将近一倍, 由此可以看出, 本设计的双 plane 编程模式优于普通编程模式。

2.1.2 页读取操作

读取操作同样以页为单位进行。普通的单 plane 页读取操作先向命令寄存器写入 00H, 然后输入 5 个周期的地址数据, 最后写入读指令 30H 确认数据读出。FPGA 通过监测 R/B# 管脚的输出状态判断读操作是否结束。根据芯片数据手册, 在同步工作模式下取 $t_{\text{CK}} = 10 \text{ ns}$, 读一页工作时间 $t_{\text{R}} = 75 \mu\text{s}$ 。单 plane 操作模式下, 读取速度约为 27.9 MB/s。

针对本次设计, 采用双 plane 的读取结构, 先读取第 1 个 plane 的控制命令及地址写入寄存器, 等状态指示信号 R/B# 变高以后再读取同一逻辑单元上第 2 个 plane 的命令使之进入读操作, 最后将所有数据依次读出。在双 plane 读取的操作模式下, $t_{\text{DBSY}} = 0.5 \mu\text{s}$, $t_{\text{CK}} = 10 \text{ ns}$, $t_{\text{R}} = 75 \mu\text{s}$, 此时读取速度约为 31.5 MB/s。相对于普通读操作而言, 本设计的双 plane 读操作模式同样提高了读取速度。

2.2 Flash 并行技术

针对地面检测设备高速大容量的设计, 在 Flash 控制逻辑中通过双 plane 操作将页编程速度提高为 5.4 MB/s, 读取速度约为 31.5 MB/s。虽然每片 Flash 包含 8 个逻辑单元, 但是每 4 个逻辑单元共用一套数据总线, 整体速度只能增加 4 倍, 由此看来, 仅通过双 plane 操作模式并没有大幅度提高数据的读写速度, 不能满足系统的要求。

为了解决该问题, 引入并行总线技术来提高系统的读写速度。并行总线技术是通过扩展带宽的方式有效地提高数据的读写速度^[9]。在系统中, 引入模块化思想, 将 N 片 Flash 并行连接在数据总线上, 它们的片选、控制、读写等信号均相连。并行的这组 Flash 进行相同的操作, 存储容量是单片 Flash 的 N 倍, 理论上读写速度也是单片 Flash 的 N 倍。

根据本系统功能要求, 存储速度不低于 500 MB/s, 而每片 Flash 的写入速度约为 21.6 MB/s, 在该情况下, 至少需要 24 片 Flash 并行操作才能满足系统存储速度的要求。但 24 片 Flash 的存储容量达到 1.5 GB, 超出了系统预期指标太多, 从而造成浪费, 增加了设计

成本。

2.3 Flash 流水线技术

单纯地对 Flash 芯片组采用并行操作虽然可以提高本系统的读写速度, 但也增加了设计成本, 因此在并行设计的基础上, 考虑在减少芯片数量的情况下能够满足系统功能要求的设计方案。

本设计中采用的 Flash 单个逻辑单元单页编程时间为 2600 μs , 而向芯片写入命令、地址时间 $t_{\text{CAD}} = 25 \text{ ns}$, 写入数据时间 $t_{\text{DQSS}} = 7.5 \text{ ns}$, 这些时间相对编程时间都很短, 并且在芯片编程时间内不能对其进行其他的读写操作。因此, 充分利用芯片内部编程时间可以大幅度提高数据的写入速度。

因此, 针对本次存储系统, 采用流水线设计, 当一组 Flash 芯片编程, 不能进行其他操作时, 对另外一组芯片进行操作。本设计中 NAND 型 Flash 芯片的一个编程周期由数据加载和编程两个阶段组成。一页数据加载时间约为 43 μs , 最大编程时间为 2600 μs , 假设将 Flash 分成 N 组, 加载时间为 T_1 , 编程时间为 T_2 , 当满足式 (1) 时, 达到最大编程速度, 即

$$T_2 \leq (N-1) * T_1 \quad (1)$$

对应的流水线操作时序如图 2 所示。

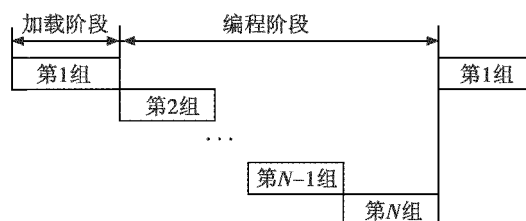


图 2 NAND 型 Flash 芯片流水线操作原理图

Fig. 2 Schematic diagram of chip's pipeline operation

采用双 plane 编程模式时, 加载时间约为 86 μs , 此时若令系统达到最大速度最高可采用 30 级流水操作, 速度最大可达到 3 GB/s。在本设计中, 编程速度达到 500 MB/s 即可满足系统功能要求, 通过分析, 系统采用 12 片 Flash 芯片, 芯片分成 2 组, 每组 6 片并行操作。由于每片 Flash 含有 4 个 Target, 流水级数可达到 8 级。当采用双 plane 编程模式时, 系统编程速度为: (并联个数 * 流水级数 * 页大小 * 页个数) / (加载时间 + 编程时间) = (12 * 8 * 8192 * 2) Byte / (86 + 2600) μs = 585.6 MB/s。

通过以上分析, 本系统共采用 12 片 NAND 型 Flash 芯片, 总存储容量为 768 GB, 理论最高写入速度达到 585.6 MB/s。由此可见, 采用流水操作控制 Flash 阵列时, 相对于仅采用并行操作技术, 节约了一半的芯片数量, 但大大提高了编程速度, 同时也完全满足本存储系统的技术指标。

2.4 Flash 坏块管理

本设计中采用的 NAND 型 Flash 芯片,虽然读写速度快,但由于它本身包含坏块,并且在使用过程中也会出现新的坏块,这些坏块中的一位或多位均不能正常翻转^[10-11],因此它们会严重影响数据的存储和读写操作的可靠性。为了提高数据存储系统的可靠性,必须在对 Flash 的操作过程中屏蔽这些坏块。本设计采用的方法为:对 Flash 进行读写操作前,首先建立初始坏块列表,记录坏块信息,并且如果在使用过程中出现了新的坏块,及时更新坏块列表信息,避免使用坏块。

在系统结构设计中主控芯片选择 XC6SLX100T,该芯片内置丰富的 RAM,坏块列表可以存储在这些 RAM 中,但同时存在掉电后无法获取坏块列表信息的问题,而坏块列表作为保存坏块信息的关键,必须保证其正确存储。与 NAND 型 Flash 不同,NOR 型 Flash 虽然不如前者读写速度快,但其可靠性高,芯片中不含坏块,可以保证数据写入的正确性。因此,本设计将坏块列表存储在 NOR 型 Flash 中,方便实现更优的坏块管理机制,同时等待上电之后再列表读入 FPGA 内置的 RAM 中,方便对 Flash 坏块列表信息的调用。

2.4.1 初始坏块列表的建立

对于芯片中的初始坏块,厂商会在芯片出厂时作相应的标记。本设计中选用的 Flash 芯片,其每块第一页的第 8192 个字节是该块的出厂坏块标志,如果该字节为 00H,表示此块为坏块^[12]。针对本设计建立的单片 Flash 坏块信息列表流程如图 3 所示。

由于 NAND 型 Flash 的坏块是随机分布的,所以每片 Flash 的坏块列表都不相同。在本设计中,如果让每片 Flash 都基于不同的坏块列表进行操作,会占用系统大量的资源,并让系统操作变得复杂。本次设计将 12 片 Flash 分成 2 组,每组 6 片并行操作,这 6 片芯片的操作相同,因此将每组内的 6 片 Flash 的坏块列表合并,由此建立新的坏块列表。系统采用了并行操作技术,每组 6 片 Flash 的读写操作相同。但每片 Flash 的坏块地址不可能完全相同,因此只要组内的某片 Flash 的某一块是坏块,就将组内其他 Flash 的该块都认为是坏块,这样的操作方案会对系统容量造成一部分损失。但本系统选用的 NAND 型 Flash 芯片的坏块率最大不超过 100/4096,若按照最大的坏块率计算,组内每片 Flash 都有 800 个坏块,且位置各不相同,则每组 Flash 被视为存在 28 800 个坏块,每块容量为 2 MB。整个系统将 Flash 芯片分成两组,理论上,在最坏的情况下一共会损失 112.5 GB 的容量,但实际中,每片 Flash 的实际坏块数量不会超过 50 个,所以整个系统的容量损失不会超过 7.04 GB,这在本设计的存储系统中是可以接受的。

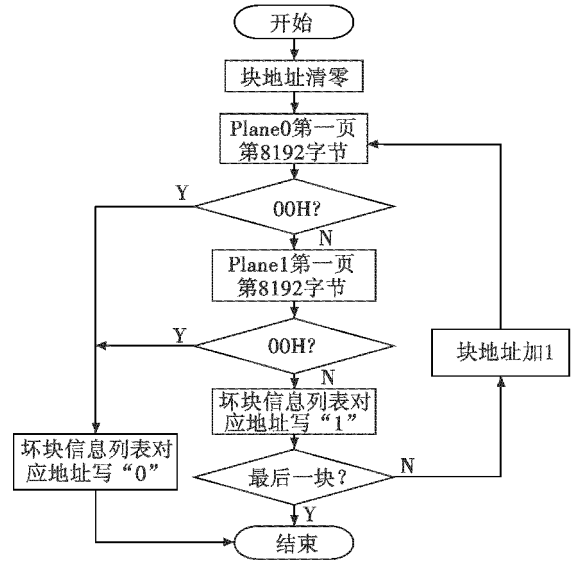


图3 建立单片 Flash 坏块信息列表的流程图

Fig.3 Flow chart of bad block list establishing for single Flash

2.4.2 块列表的更新

在 NAND 型 Flash 芯片使用过程中,如果产生新的坏块,要及时更新坏块列表信息。对 Flash 进行编程操作以后读取相应状态寄存器,如果其最低位为“1”^[13],则说明编程失败,要将此块标记为坏块。

在 Flash 出现新的坏块以后,及时更新暂时存放在 RAM 中的坏块信息,待 Flash 操作结束之后,将更新的坏块列表写入 NOR 型 Flash 中。更新坏块信息列表流程如图 4 所示。

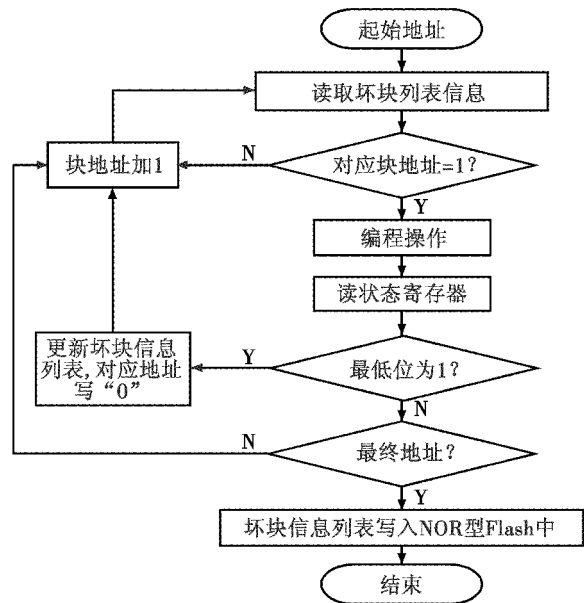


图4 坏块列表更新流程图

Fig.4 The flow chart of bad block list update

3 系统验证与分析

本设计采用 Verilog HDL 硬件描述语言进行编程,

并在 Modelsim 环境下进行时序仿真。其中,双 plane 页编程时序以及页读取时序分别如图 5、图 6 所示。

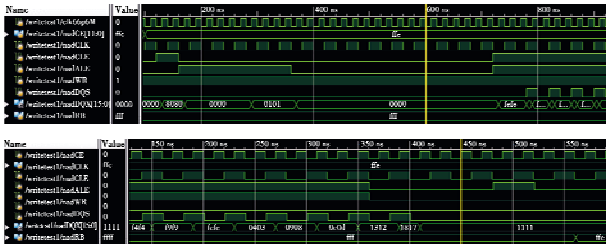


图 5 编程操作时序

Fig.5 The timing simulation diagram of programming operation

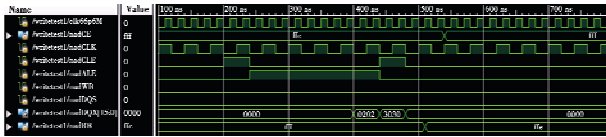


图 6 读取操作验证时序

Fig.6 The timing simulation diagram of read operation

将系统连接到地面测试台中,令测试台以 500 MB/s 的速度发送脉冲信号,信号送入存储设备进行实时存储,通过 USB2.0 接口将数据读出到上位机,其中 A/D 变换分辨率 16 位。经过多次测试,测试数据量高达 4.3 TByte(1 TByte = 1024 GByte),数据传输速率最高达到 550 MB/s,且每次存储的数据均无误码,很好地实现了系统的性能指标。

本系统通过采用新型高存储容量 NAND 型 Flash 芯片作为存储介质,与以往的空间相机地面存储系统相比,针对系统容量与读写速度的提升,引入了多 plane 操作、并行及流水线技术等控制 Flash 存储阵列,在采用存储芯片数量一定的情况下大大提高了系统的读写速度,本系统与未使用以上关键技术的设计参数对比见表 1。

表 1 主要技术参数对比

Table 1 Comparison of main technical parameters

	编程速度/ (MB · s ⁻¹)	读取速度/ (MB · s ⁻¹)	容量/CB
单片 Flash	12.4	111.60	64
双 plane 操作 单片 Flash	21.6	126.00	64
仅并行操作	148.8	1320.9	768
本设计方案	550	1515.6	768

以上实验与分析表明,本系统设计方案完全能够满足系统的技术指标。本文对系统引入的坏块管理机制可以在 Flash 芯片使用过程中有效地屏蔽坏块,大大增加了系统的可靠性。在提出的坏块管理方案中,针对并行的 Flash 组内的一片 Flash 出现坏块的情况,将该组每片 Flash 的该块都做了屏蔽处理,在一定程度上简化了操作方法,但损失了存储系统一部分的存储容量,针对该问题,今后可以考虑更加有效的坏块管理方法。

4 结束语

本文在对地面检测设备数据存储设计要求进行分析的基础上,完成了系统总体方案的设计,通过采用 NAND 型 Flash 芯片作为存储介质,并引入系统存储的关键技术,包括对 Flash 芯片的双 plane 操作、并行操作、流水线技术等,大大提高了系统的存储容量及读写速度。在实际硬件平台上验证了系统的各项功能机制,结果表明,该系统工作稳定可靠,存储容量达到 768 GByte,存储速度最高达到 550 MB/s,满足系统设计任务的要求。目前,该系统已成功应用于数据存储任务。

参考文献

- [1] DAVIS W M, MASTROVITO D M, BUSH C E, et al. Storage and analysis techniques for fast 2D camera data on NSTX[J]. Fusion Engineering and Design, 2006, 81(15): 1975-1979.
- [2] 周代忠,张安,史志富. 微电子技术在航空电子系统中的应用[J]. 电光与控制, 2005, 12(4): 40-43. (ZHOU D Z, ZHANG A, SHI Z F. Application of microelectronics in avionic system[J]. Electronics Optics & Control, 2005, 12(4): 40-43.)
- [3] Xilinx. Spartan-6 family overview[Z]. 2011: 187-189.
- [4] 刘志轩,高枫,李宝,等. 回收式高速存储器技术与应用[J]. 导弹与航天运载术, 2014(4): 32-35. (LIU Z X, GAO F, LI B, et al. Technology and application of the rccoverry high-speed recorder[J]. Missiles and Space Vehicles, 2014(4): 32-35.)
- [5] 李晓建,余维荣,张霞,等. 高速 RS-422 串行通信接口板设计[J]. 微型机与应用, 2012, 31(6): 54-56. (LI X J, YU W R, ZHANG X, et al. Design of high speed RS-422 serial communication interface board[J]. Microcomputer and its Applications, 2012, 31(6): 54-56.)
- [6] Cypress. CY7C68013A_14A_15A_16A datasheet[Z]. 2015: 31-37.
- [7] SRINIVASAN J, CANON R S. Evaluation of a flash storage filesystem on the cray XE-6[J]. Procedia Computer Science, 2013, 9(11): 186-195.
- [8] Micron. L74A_64Gb_128Gb_256Gb_512Gb_AsyncSync NAND datasheet[Z]. 2009: 74-78.
- [9] 倪芸,姚晓东. 高速并行总线信号完整性分析设计[J]. 电子测量技术, 2013, 36(4): 106-110. (NI Y, YAO X D. Signal integrity analysis in parallel bus designing[J]. Electronic Measurement Technology, 2013, 36(4): 106-110.)
- [10] BU K, CHEN Y R, XU H, et al. NAND Flash service life-

(下转第 79 页)

频率测量精度,本文提出一种基于 GEP 预测的 LMD 改进方法。为更好地证明该方法的有效性,通过与其他3种传统的改进方法作对比,仿真分析表明:该方法在分解信号后,分量两端发散程度最小,对端点效应抑制效果最好,能更精确地测量非平稳信号的瞬时频率,证实了该改进方法的可行性,为 LMD 更加有效、精确地处理信号提供可靠地技术手段。

参考文献

- [1] 刘立君,王奇,杨克己,等. 基于 EMD 和频谱校正的故障诊断方法[J]. 仪器仪表学报,2011,32(6):1278-1283. (LIU L J, WANG Q, YANG K J, et al. EMD and spectrum correction-based fault diagnosis method [J]. Chinese Journal of Scientific Instrument, 2011, 32(6):1278-1283.)
- [2] 张贤达,保铮. 非平稳信号分析与处理[M]. 北京:国防工业出版社,1998. (ZHANG X D, BAO Z. Non-stationary signal analysis and processing [M]. Beijing: National Defense Industrial Press, 1998.)
- [3] HUANG N E, ZHENG S, LONG S R, et al. The empirical mode decomposition and the Hilbert spectrum for nonlinear and non-stationary time series analysis [J]. Proc. R. Soc. Lond, 1998, 454:903-995.
- [4] HUANG N E, WU M L C, LONG S R, et al. A confidence limit for the empirical mode decomposition and Hilbert spectral analysis [J]. Proc. R. Soc. Lond, 2003, 459:2317-2345.
- [5] SMITH J S. The local mean decomposition and its application to EEG perception data [J]. Journal of the Royal Society Interface, 2005, 2(5):443-454.
- [6] 程军圣,张亢,杨宇,等. 局部均值分解与经验模式分解的对比研究[J]. 振动与冲击,2009,28(5):13-16. (CHENG J S, ZHANG K, YANG Y, et al. Comparison between the local mean decomposition and decomposition [J]. Journal of Vibration and Shock, 2009, 28(5):13-16.)
- [7] 张淑清,孙国秀,李亮,等. 基于 LMD 近似熵和 FCM 聚类的机械故障诊断研究[J]. 仪器仪表学报,2013,34(3):714-720. (ZHANG S Q, SUN G X, LI L, et al. Study on mechanical fault diagnosis method based on LMD approximate entropy and fuzzy C-means clustering [J]. Chinese Journal of Scientific Instrument, 2013, 34(3):714-720.)
- [8] 刘慧婷,张旻,程家兴. 基于多项式拟合算法的 EMD 端点问题的处理[J]. 计算机工程与应用,2004,40(16):82-86. (LIU H T, ZHANG M, CHENG J X. Dealing with the end issue of EMD based on polynomial fitting algorithm [J]. Computer Engineering and Applications, 2004, 40(16):82-86.)
- [9] 方琨,王渝,马利兵,等. 基于 RO-SBM 的 Hilbert-Huang 变换端点效应抑制方法[J]. 振动、测试与诊断,2013,33(2):319-324. (FANG K, WANG Y, MA L B, et al. The suppression method of end effect of Hilbert-Huang transform based on RO-SBM [J]. Journal of Vibration, Measurement and Diagnosis, 2013, 33(2):319-324.)
- [10] ZHAO J P, HUANG D J. Mirror extending and circular spline function for empirical mode decomposition method [J]. Journal of Zhejiang University: Science, 2001, 2(3):247-252.
- [11] FERREIRA C. Gene expression programming: a new adaptive algorithm for solving problems [J]. Complex Systems, 2001, 13(2):87-129.
- [12] ZUO J, TANG C J, LI C, et al. Time series prediction based on gene expression programming [C]//Processing of the 5th International Conference for Web Information Age 2004, LNCS 3129, Berlin:Springer-Verlag,2004:55-64.
- [13] 唐常杰,张天庆,左劼,等. 基于基因表达式编程的知识发现[J]. 计算机应用,2004,24(10):7-10. (TANG C J, ZHANG T Q, ZUO J, et al. Knowledge discovery based on gene expression programming [J]. Computer Applications, 2004, 24(10):7-10.)
- (上接第75页)
- time estimate with recovery effect and retention time relaxation [J]. Journal of Central South University, 2014, 21(8):3205-3214.
- [11] ST Microelectronics. Bad block management in NAND Flash memories [Z]. EE Times-India, 2004:3-5.
- [12] 徐玉杰. 高速大容量存储系统的设计与实现[D]. 西安:西安电子科技大学,2014. (XU Y J. Design and implementation of high-speed and huge-capacity storage system [D]. Xi'an: Xidian University, 2014.)
- [13] TAKEUCHI K. Novel co-design of NAND Flash memory and NAND Flash controller circuits for sub-30nm low-power high-speed solid-state drives [J]. IEEE Journal of Solid-State Circuits, 2009, 44(4):1227-1234.