

新型机载多路音视频记录系统的设计与实现

张盛林, 易本顺, 陈欣, 方华猛, 黄太奇
(武汉大学电子信息学院, 武汉 430072)

摘要: 针对机载多路音视频记录系统的高分辨率、大数据量和高实时性要求, 提出一种基于嵌入式平台的实时多路音视频采集、编码和存储系统。该系统采用达芬奇硬件平台实现音视频采集控制及编码, 同时采用 FPGA 完成数据缓存和传输控制, 从而实现四路 XGA(1024×768@60 帧/s) 视频、一路 PAL(720×576@25 帧/s) 视频和两路音频的高效实时存储。测试结果表明, 该系统稳定可靠, 可实现多路音视频的采集、存储功能, 图像清晰度高, 实时性好, 在机载音视频记录领域里可以得到广泛的应用。

关键词: 机载音视频记录系统; 多路音视频; 达芬奇技术; FPGA; 数据存储

中图分类号: V271; TP391 **文献标志码:** A **文章编号:** 1671-637X(2015)08-0080-07

Design and Implementation of a New Type of Airborne Multi-channel Audio/Video Recording System

ZHANG Sheng-lin, YI Ben-shun, CHEN Xin, FANG Hua-meng, HUANG Tai-qi
(School of Electronic Information, Wuhan University, Wuhan 430072, China)

Abstract: Aiming at the requirements of high resolution, mass of data and high real-time performance for airborne multi-channel audio/video recording systems, a real-time multi-channel audio/video recording system was proposed based on embedded platform. Davinci video processors from Texas Instruments Incorporated (TI) were adopted to control the efficient real-time digitizing, coding and storage for four-channel XGA (1024×768@60 frames/s) videos, one channel PAL (720×576@25 frames/s) video, and two-channel audios. Cyclone devices were exploited to transmit the compressed multimedia data. The testing results show that the system can implement recording and storage of multi-channel audio and video signal with high image resolution and good real-time performance. The system can find wide applications in the field of airborne recorders.

Key words: airborne audio/video recording system; multi-channel audio and video; Davinci technology; FPGA; data storage

0 引言

机载音视频记录系统主要用于记录飞行员在操控飞机过程中舱内场景、舱间语音通话以及舱内各种仪表盘画面等多路音视频信息^[1-2]。

目前国外机载数字音视频记录系统比较成熟, 该类设备图像分辨率高、音质好、记录时间长、抗干扰性强并采用固态硬盘同时记录多路音视频信息, 但是国内相关技术研究较为滞后, 因此早期国内机载音视频记录系统主要依靠进口。近年来, 部分高校和科研单

位才开始相关课题的研究, 目前国内研发的机载音视频记录系统较落后, 突出问题是记录的音视频质量不理想以及对机载环境适应性差^[3-4]。同时, 随着现代飞机性能的提升, 需要记录的音视频路数增加, 图像分辨率要求提高, 需要在一个尺寸狭小的记录设备内完成多路大数据量实时、可靠的记录功能。随着技术的进步, 利用高性能处理器处理音视频信号和采用固态硬盘存储音视频文件将会是一种非常好的解决方案^[5-7]。

TI公司的达芬奇技术是一种集成了DSP处理器、软件、工具以及技术支持的综合型解决方案系列, 非常适用于开发各种数字音视频设备^[8-9]。本文系统采用TI公司的达芬奇芯片作为核心处理器, FPGA作为核心数据传输控制单元, 实现多路音视频实时记录。

收稿日期: 2014-08-19

修回日期: 2014-10-07

作者简介: 张盛林(1989—), 男, 湖南张家界人, 硕士生, 研究方向为嵌入式系统开发及应用。

1 系统需求及硬件设计

机载数字音视频记录系统要求实现四路 XGA (1024 × 768@60 帧/s) 视频、一路 PAL(720 × 576@25 帧/s) 视频和两路音频的高效实时同步采集和存储, 存储写入速度不小于 12 MByte/s。

针对该需求, 同时考虑到目前主流 DSP 处理器的处理能力以及机载设备对电路板尺寸的要求, 本系统设计由两块采集板、一块系统控制板和一块底板共同构成。两块采集板的接口功能一致并可互换通用, 能分别完成两路 XGA 视频的采集、编码和 TS 封装, 并将封装后的数据传输到系统控制板。系统控制板除了接收采集板传输过来的四路 XGA 视频数据, 还要完成一路 PAL 视频和两路音频的采集、编码和 TS 封装, 并将这七路数据存储到固态硬盘中。两块采集板和系统控制板由一块底板完成电气连接。系统功能构成如图 1 所示。

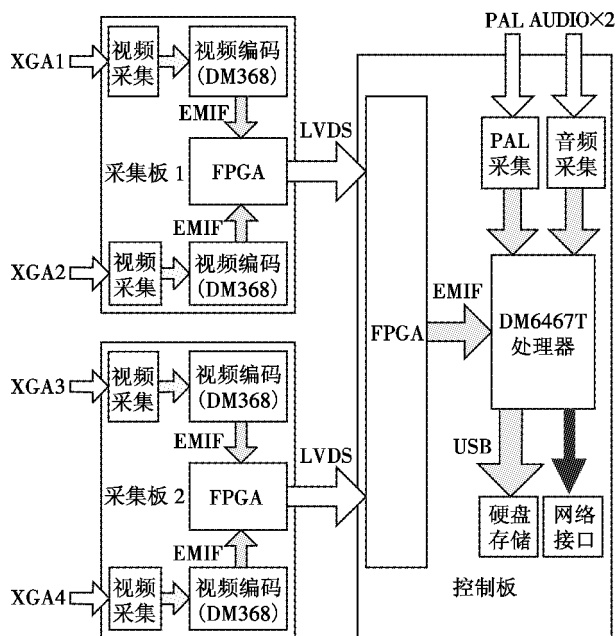


图 1 系统功能构成

Fig. 1 System functional structure

1.1 采集板设计

两块采集板主要完成四路 XGA 视频采集、编码和传输。每块采集板包含两套对称的以 TI 公司的 TMS320DM368 (简称 DM368) 为核心处理器的视频采集控制和编码单元 (见图 2), 分别处理一路 XGA 视频信号, 并将处理后的 XGA 视频数据通过 DM368 集成的异步外部存储器接口 (Asynchronous External Memory Interface, AEMIF) 传输至 FPGA 单元, 由 FPGA 单元完成采集板和控制板之间的 XGA 视频数据传输。

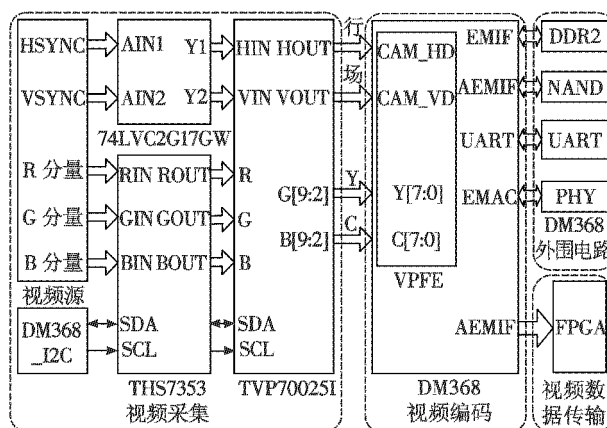


图 2 XGA 视频采集和编码单元

Fig. 2 XGA video acquisition and coding unit

DM368 为达芬奇架构多媒体处理芯片, 内部集成了一个视频图像处理子系统 VPSS, 它包括视频输入部分 (VPFE) 和视频输出部分 (VPBE), 其中, VPFE 具有 16 bit 视频并行接口, 频率 120 MHz, 支持多种数字 YCbCr 格式。

XGA 视频输入模块采用 TI 公司的高清视频编解码专用芯片 TVP70025I, 该芯片支持高清等输入视频标准, 可工作于工业级温度环境。该芯片将输入的视频信号进行 A/D 转换后, 按照 4:2:2 的 YCbCr 格式输出, 通过 DM368 的 VPFE 接口传输至 DM368, DM368 将视频由 60 帧/s 降为 30 帧/s, 基本不影响视频的流畅度; 同时, 将视频数据由 YCbCr 4:2:2 格式转化为 YCbCr 4:2:0 格式, 进一步降低压缩前的码率。此时码率为 $1024 \times 768 \times 30 \times 3 \times 0.5 = 283.2 \text{ Mbit/s}$, 考虑到硬盘的写速度, 已将视频压缩后的码率控制在 1600 kbit/s 左右, 因此按照 $\frac{283.2 \text{ Mbit/s}}{1600 \text{ kbit/s}} \approx 177.1$ 左右的压缩率来设计 H.264 编码器的编码参数。

由于高清视频 RGB 信号频率高, 行场信号的电平高于 TVP70025I 的输入允许范围, 因此, 系统在视频源和 TVP70025I 芯片之间添加了一个视频缓冲器和一个电平转换器, 实现对 RGB 分量抗混叠滤波处理和对行场信号进行电平转换。系统采用低功耗视频缓冲器 THS7353 和双电压供电双向驱动器 SN74LVC2G17GW 来实现电平匹配。

为了实现多路音视频的同步回放和时间检索功能, 需要在音视频文件中加上时间标签, 因此, 本设计将所有编码压缩后的音视频数据和时间一起封装成 TS 流, 然后再由 DM368 通过 AEMIF 接口将数据传输至 FPGA, 最终由 FPGA 将 XGA 数据传输至系统控制板。AEMIF 可以实现处理器与各种外部存储器件 (如 NAND FLASH, SDRAM) 的连接, 同时也可以灵活地连

接 FPGA,使 FPGA 作为处理器的外围设备,实现数据的高速传输。在本系统中,DM368 的 AEMIF 接口主要有两个作用:连接 NAND FLASH 和 FPGA。当 DM368 启动时,通过 AEMIF 接口从 NAND FLASH 中读取数据启动 Linux 系统,进入系统后,AEMIF 接口空闲,DM368 通过片选信号切换,使得 FPGA 获得 AEMIF 接口的占有权,开始视频数据的传输。DM368 写 AEMIF 时序如图 3 所示。

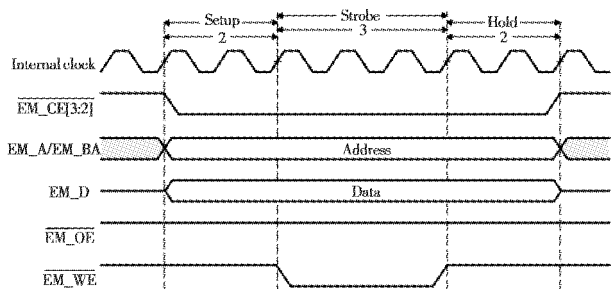


图3 写 AEMIF 时序图

Fig. 3 Timing waveform of AEMIF write cycle

图3中:EM_CE[3:2]#为片选信号,低电平使能所选择的异步设备;EM_A/EM_BA 为 AEMIF 接口的输出地址;EM_D 为 AEMIF 接口的数据总线;EM_OE#为异步器件使能,在异步读访问的触发周期提供一个低电平;EM_WE#为写使能信号,异步写访问时提供低电平,读访问时拉高。根据 DM368 写 AEMIF 时序,设计选择 AEMIF 数据总线的低八位以及 EM_WE#,EM_CE#组成 AEMIF 传输接口(见图4),其中,EM_WE#为写使能信号,EM_CE#为片选信号。DM368 选通 FPGA 的片选信号 CE#和写使能信号 WE#后将 XGA 数据写到 AEMIF 总线上,FPGA 接收 XGA 数据并将数据传输至系统控制板。

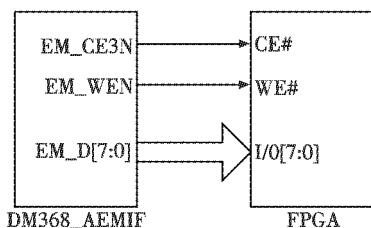


图4 AEMIF 接口与 FPGA 连接图

Fig. 4 Connection of AEMIF and FPGA

1.2 系统控制板设计

系统控制板主要完成一路 PAL 视频和两路音频的采集、编码和 TS 封装、四路 XGA 数据的接收以及这七路音视频文件的存储,此外,还包括各种系统控制、实时网络传输等。系统控制板如图 5 所示。

系统控制板是以 TI 公司的 TMS320DM6467T(简称 DM6467T)为核心处理器的音视频采集、编码和存储单元。DM6467T 内部集成一个视频接口 VPIF,其具有两个输入捕获通道 Channel 0 和 Channel 1,以及两个

输出显示通道 Channel 2 和 Channel 3。Channel 0 和 Channel 1 具有相同的结构,分别能接收 8 bit 标准清晰度视频,即 BT. 656 标准,同时也能合成一路接收 16 bit 高清晰度视频,即 BT. 1120 标准。本系统 PAL 视频的采集只使用 Channel 0,即 BT. 656 标准。DM6467T 集成了一个 USB2.0 高速接口,本系统采用 USB2.0 接口通过桥接芯片来外接硬盘。

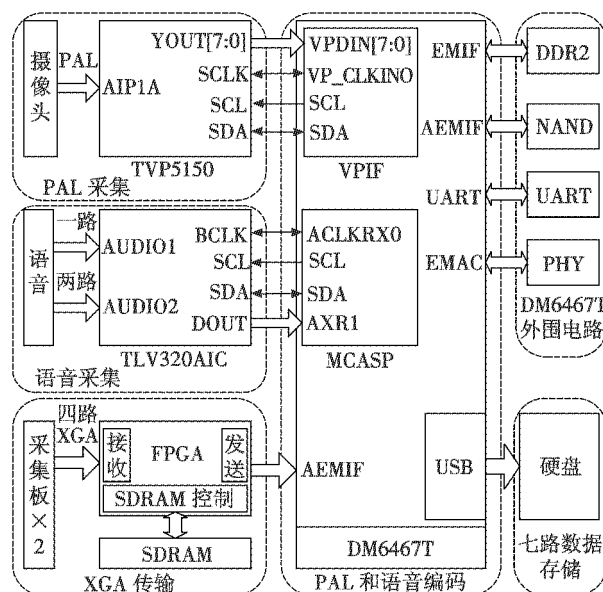


图5 系统控制板的系统框图

Fig. 5 System structure of the control board

PAL 视频输入模块采用 TI 公司的低功耗视频编解码芯片 TVP5150,该芯片把输入的 PAL 视频信号进行 A/D 转换后,将得到 8 位 ITU-R BT. 656 格式数据输出,通过 DM6467T 的 VPIF 接口传输至 DM6467T,由 DM6467T 完成 PAL 视频数据的编码、TS 封装和存储。音频输入模块采用 TI 公司的高性能立体声数字信号编解码芯片 TLV320AIC32,该芯片支持 8 ~ 96 kHz 的采样频率。为了减小系统电路面积,本系统采用一片 TLV320AIC32 芯片同时编解码两路音频信号,即把两路音频信号分别作为左右声道合成一路立体声进入 TLV320AIC32 进行 A/D 转换,然后进入 DM6467T 进行 MP3 格式的编码、TS 封装和存储。

系统采用 FPGA 控制四路 XGA 数据缓存和传输,即采集板的四路 XGA 数据经由 FPGA 传输至系统控制板。采集板与系统控制板之间的四路 XGA 数据选择 LVDS 进行传输。LVDS 传输信号具有抗干扰能力强、低噪声、低误码率等优点,最快速度可达 1 Gbit/s,适用于板间短距离通信^[10-11]。与采集板上 XGA 视频数据的传输类似,控制板同样利用 AEMIF 接口在 FPGA 与 DM6467T 之间传输 XGA 视频数据(DM6467T 和 DM368 的 AEMIF 接口功能相似)。其中,FPGA 作为通信接口的发送

端,DM6467T 作为接收端。DM6467T 读 AEMIF 时序如图 6 所示。

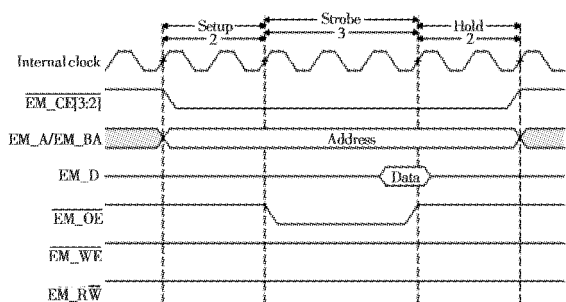


图 6 读 AEMIF 时序图

Fig. 6 Timing waveform of AEMIF read cycle

采集板的 FPGA 有一个 LVDS 发送模块,包含两个通道,分别发送一路 XGA 数据。系统控制板的 FPGA 有两个 LVDS 接收模块,分别接收一块采集板的两路 XGA 数据。因四路 XGA 数据量较大,所以本系统在控制板中选择使用一片 32M × 16 bit 大小的 SDRAM 用来缓存 XGA 数据。控制板 FPGA 将 SDRAM 的存储空间分成大小相等 4 块,每块分别缓存一路接收的 XGA 数据。采集板的 XGA 数据经 DM368 的 AEMIF 接口传输到采集板 FPGA,采集板 FPGA 将 XGA 数据由 LVDS 发送模块发送至系统控制板 FPGA,系统控制板 FPGA 将传输过来的 XGA 数据接收并缓存到 SDRAM 中,XGA 数据传输如图 7 所示。

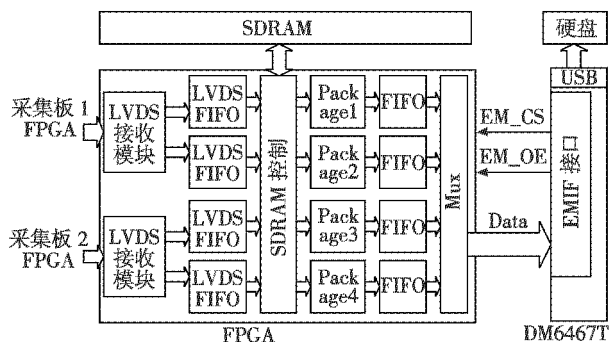


图 7 XGA 数据传输图

Fig. 7 XGA transmission flow chart

控制板 FPGA 接收数据之后将其打包并通过 DM6467T 的 AEMIF 接口将缓存在 SDRAM 中的 XGA 数据传输至 DM6467T,DM6467T 接收数据并解包后将四路 XGA 的数据存储到硬盘。为配合 DM6467T 使用 AEMIF 接口总线接收四路 XGA 数据,控制板 FPGA 使用了 4 个 FIFO 模块,每个 FIFO 对应 SDRAM 不同数据块的数据写入,当写入 FIFO 数据达到一定量时,通道切换模块将此路 FIFO 接口切换到 DM6467T 的 AEMIF 接口。DM6467T 读 AEMIF 由 EM_OE 和 EM_CS 共同控制,根据图 6,当 EM_CS 有效时,数据放入 AEMIF 总线,而当 EM_OE 有效时,数据在时钟总上升沿到来时被写入

DM6467T 的 AEMIF 接口,然后由 DM6467T 接收数据并解包后存储在硬盘中,最终完成四路 XGA 数据的存储。PAL 视频和两路音频在采集、编码完成后可直接存储到硬盘中,系统实现了七路音视频的存储。

1.3 底板设计

底板主要用于系统所有音视频信号接入以及信号的转换,采集板与主控板之间的连接,并提供一些扩展功能接口。底板的接口如图 8 所示。

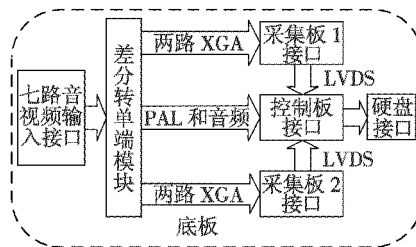


图 8 底板接口示意图

Fig. 8 The interface of the baseboard

因飞行环境振动大、温度冲击范围宽、电磁干扰等特殊,所以全部音视频接入信号都为抗干扰能力强的差分信号,需将其转换为单端信号后进行处理。差分转单端模块选择高性能差分转单端芯片 AD8130AMZ,该芯片具有高增益、低噪声、高速率、高输入阻抗等特性,适用于机载环境。底板接口由音视频输入接口、采集板接口、系统控制板接口和硬盘接口组成,系统通过底板不同接口将各个部分连接。因对接口的性能要求较高,同时为了便于系统各板块的拼接和维护,各板与底板之间采用航空插座连接。

音视频信号接入系统,经差分转单端处理后,其中,XGA 信号传输到采集板,采集板将 XGA 信号进行处理并将处理后的数据传输到控制板,由控制板把数据存储到硬盘;PAL 和音频信号传输到控制板,由控制板处理后直接存储到硬盘。

2 系统软件设计

机载音视频记录系统的软件设计以 Linux 为基础,以 TI 公司提供的达芬奇技术进行开发。由于在达芬奇的 SDK 中原内核驱动缺乏相应的音视频驱动,因此本系统软件设计包括驱动程序设计和应用程序设计。

2.1 驱动程序设计

在本系统中,硬件的配置都在内核空间完成。系统在启动时通过 I2C 总线对所有音视频采集编码硬件进行配置。在 Linux 系统中,I2C 驱动主要由 I2C 核心、I2C 设备驱动以及 I2C 总线驱动三部分组成^[12]。由于系统采用音视频处理芯片都为 TI 公司的达芬奇系列,因此 PAL, XGA 和音频的驱动设计基本相同,仅以 XGA 的驱动设计为例进行介绍,其余不再一一介绍。

根据系统总体设计,本次 XGA 视频采集芯片选用 TVP700251。TVP700251 的驱动在 DM368 内核中完成编译,并由 DM368 在系统启动过程中通过 I2C 总线来完成驱动加载。

根据 DM368 视频接口 (VPFE) 的需要,设计 vpif_register_decoder 向 DM368 的 VPFE 注册 TVP700251 这个设备。完成向 VPFE 注册设备后,VPFE 会通过调用 TVP7002_initialize 函数来加载 TVP7002 驱动,该函数同时会调用 I2C 核心提供的 i2c_add_driver 向内核 I2C 体系结构中添加 TVP7002 的设备驱动,由此会引起 I2C 体系各个模块加载的系列反应,最终会调用 I2C 核心里面提供的 i2c_attach_client 函数向内核 I2C 驱动体系中注册实际的设备。TVP700251 设备的驱动加载过程如图 9 所示。

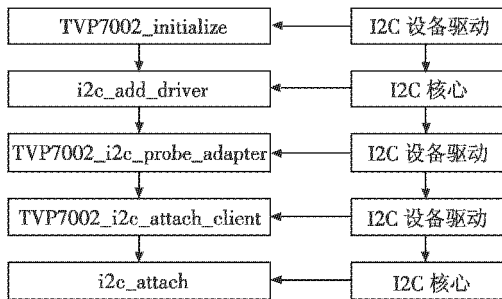


图 9 TVP700251 驱动加载过程

Fig. 9 The procedure to mount the driver of TVP700251

2.2 应用程序设计

由于 XGA, PAL 和音频的处理芯片都为达芬奇架构,因此采集、编码过程基本相同,仅以 XGA 为例进行介绍。DM368 在完成系统自检后接收到控制板的开始信号,DM368 打开 I2C 设备,设置采集设备的 I2C 地址并完成相关配置,然后发送使能信号,开始 XGA 视频的采集编码。XGA 的采集编码过程如图 10 所示。

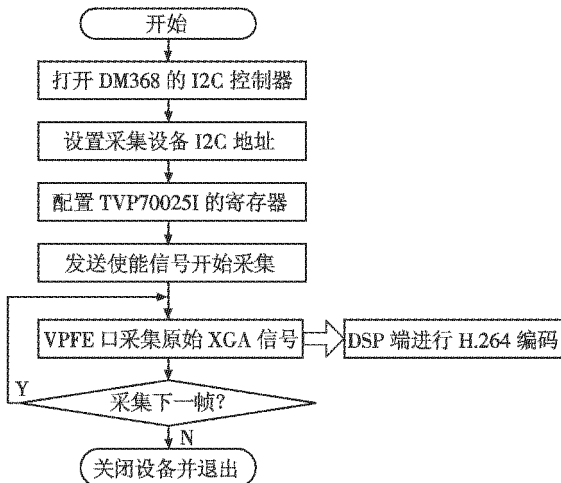


图 10 XGA 视频采集编码流程图

Fig. 10 XGA video acquisition and encoding

根据需求,本系统由系统控制板完成系统控制和机载通信,系统控制主要为根据机载命令进行系统的开始、暂停、停止等控制操作。系统的启动流程如图 11 所示。

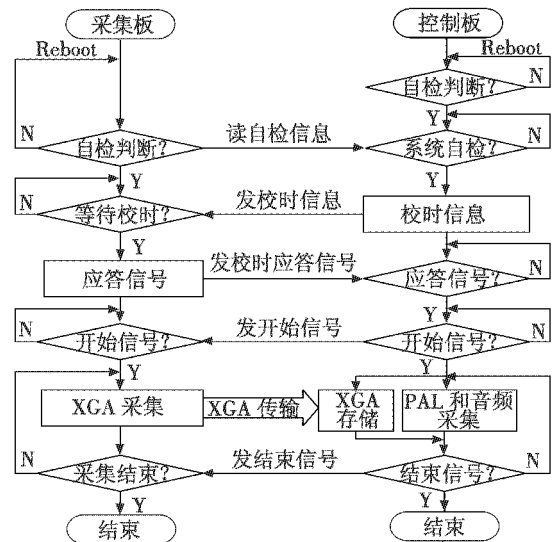


图 11 系统运作流程

Fig. 11 System work procedure

系统运作流程简要概括如下。

1) 系统上电之后,采集板和控制板都完成自检,其中,自检信息精确到系统主要芯片,若自检成功,则采集板进入校时等待,控制板读取采集板的自检信息;若自检失败,则重启。

2) 当控制板检测到采集板自检成功,则系统自检完毕,进入校时环节;若失败,则将自检失败信息传输到机载。

3) 系统自检成功后,由控制板发送校时信息到采集板,采集板校时成功后发送应答信号到控制板,当控制板收到两块采集板的应答信号后,则校时完成,进入等待命令环节;否则,一直校时直到成功。

4) 校时成功之后,当控制板由机载发出“开始”信号后,开始 PAL 和音频的采集、编码等处理,并将命令发送到两块采集板,采集板收到命令后,开始 XGA 的采集、编码、传输等处理。

此时,系统已开始工作。在系统运行过程中,采集板和控制板需要周期自检,以防止系统出现故障而导致记录数据丢失,控制板需要读取采集板周期自检的信息,若有周期自检错误则将其传输到机载。除此之外,控制板还需要检测机载的控制命令,以完成系统的暂停、停止等。

3 系统测试

系统测试分为部分功能测试和整体测试,其中,部

分功能测试有 AEMIF 传输速率测试和 LVDS 传输速率测试,整体测试即为整个系统的功能完整测试。

AEMIF 数据传输如图 12 所示。1 Byte 的 AEMIF 有效数据占据 14 个 FPGA 监测波形的时钟周期,其中,FPGA 的监测波形的时钟频率为 80 MHz,计算可得 AEMIF 传输速率约为 5.7 MByte/s,而据统计 XGA 信号编码压缩后码率峰值为 2000 kbit/s,因此,AEMIF 总线满足系统需求。

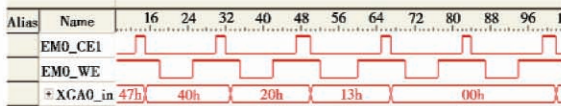


图 12 AEMIF 数据传输图

Fig. 12 AEMIF transmission waveform

LVDS 数据传输如图 13 所示,一块采集板的两路 XGA 数据由两个不同通道传输到系统控制板。由图可知,两路 XGA 数据的传输速率相同,即 1 Byte 的 LVDS 有效数据占据 28 个 FPGA 监测波形的时钟周期,其中,FPGA 的监测波形的时钟频率为 80 MHz,计算可得每路 LVDS 传输速率约为 2.8 MByte/s,满足系统对 LVDS 的传输要求。

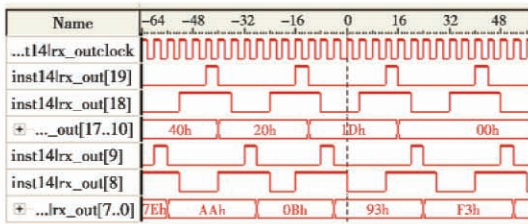


图 13 LVDS 数据传输图

Fig. 13 LVDS data transmission waveform

将系统连接起来后调试,整个系统由 XGA 视频源、测试仪、PAL 视频源和模拟实际操作环境的测试控制台组成。将一台笔记本电脑 VGA 接口输出视频的分辨率调为 1024 × 768,播放视频,帧率设置为 60 帧/s,用来模拟 XGA 信号视频源,XGA 视频源接入测试仪后将其一路 XGA 单端转为四路 XGA 差分信号,作为底板的 XGA 信号输入;采用一个由 CCD 摄像头输出的 PAL 标准(720 × 576@25 帧/s)视频信号以及两路立体声作为本系统的音频输入信号连接到底板。

本系统配套开发了一套多路音视频播放软件,以实现下位机记录的音视频文件的同步回放。将测试过程记录的七路音视频文件使用多路音视频播放软件进行播放,结果显示四路 XGA 和一路 PAL 画面清晰、流畅,两路音频音质清晰、无杂音,满足设计要求。五路小框视频中双击任何一路视频都可切换成大框视频。音频在播放界面底边,选择不同声道就可听到相对应的音频信息,并可调节音量大小。

4 结束语

基于嵌入式平台的机载音视频记录系统具有多路音视频数据采集存储、分辨率高、实时性强、低功耗、扩展性好等优点,在机载音视频记录系统开发中具有广阔应用前景。本设计利用嵌入式技术实现了四路 XGA 高清视频,一路 PAL 标清视频以及两路音频的采集、编码和存储,充分利用达芬奇芯片的功能优势,降低了系统开发的工作量,同时增加系统的稳定性和可维护性。

参考文献

- [1] 曹全新. 机载信息系统的应用研究及发展趋势初探[J]. 民用飞机设计与研究, 2014(1): 72-76. (CAO Q X. Application research and trend preliminary prediction about on-board information system[J]. Civil Aircraft Design and Research, 2014(1): 72-76.)
- [2] 张广通. 机载数字视频记录仪的设计与实现[D]. 上海: 上海交通大学, 2007. (ZHANG G T. Design and implementation of DVR in fighter[D]. Shanghai: Shanghai Jiao Tong University, 2007.)
- [3] 王伟, 费益. 民用飞机飞行记录系统研究[J]. 光电与控制, 2013, 20(3): 73-76. (WANG W, FEI Y. Flight recording system of civil aircraft[J]. Electronics Optics & Control, 2013, 20(3): 73-76.)
- [4] 赵清洲, 刘浩. 教练机飞行信息安全记录与应用技术发展研究[J]. 教练机, 2012(3): 77-86. (ZHAO Q Z, LIU H. Research on development of trainer flight information safety recording and application technique[J]. Trainer, 2012(3): 77-86.)
- [5] 朱攀蓉, 姜红梅, 翟正军. 机载多路数字音视频记录系统的设计与实现[J]. 计算机工程与设计, 2006, 27(3): 393-395. (ZHU P R, JIANG H M, ZHAI Z J. Design and implementation of airborne multi-channel digital AV recorder system[J]. Computer Engineering and Design, 2006, 27(3): 393-395.)
- [6] 高伟亮, 李淑华, 王守权, 等. 某型飞机数字视频记录系统设计[J]. 国外电子测量技术, 2014(1): 54-57. (GAO W L, LI S H, WANG S Q, et al. Design of digital video record system for some airplane[J]. Foreign Electronic Measurement Technology, 2014(1): 54-57.)
- [7] 许宏杰, 田泽, 安博锋, 等. 基于 SoPC 的多路音视频记录仪的设计与实现[J]. 计算机技术与发展, 2014, 24(4): 170-173. (XU H J, TIAN Z, AN B F, et al. Design and implementation of multi-channel digital AV recorder based on SoPC[J]. Computer Technology and Development, 2014, 24(4): 170-173.)

- [8] 刘超. 基于 DM368 的嵌入式数字高清网络摄像机采集处理模块设计[D]. 南京:南京航空航天大学, 2012. (LIU C. DM368-based embedded digital HD IP network camera acquisition and processing module design [D]. Nanjing: Nanjing University of Aeronautics and Astronautics, 2012.)
- [9] 颜学究. 基于 TMS320DM6467 的视频编码系统研究与实现[D]. 重庆:重庆大学, 2012. (YAN X J. The research and implementation on video coding system based on TMS320DM6467 [D]. Chongqing: Chongqing University, 2012.)
- [10] 李宏, 吴衡. 机载 LVDS 数字视频信号采集记录技术研究[J]. 电光与控制, 2011, 18(5):72-75. (LI H, WU H. Acquisition and recording of onboard LVDS digital video signal [J]. Electronics Optics & Control, 2011, 18(5):72-75.)
- [11] 陈智, 邱跃洪, 董佳. LVDS 接口原理及其在电路设计中的应用[J]. 科学技术与工程, 2005, 5(21):1656-1657. (CHEN Z, QIU Y H, DONG J. LVDS interface principle and its application in the circuit design [J]. Science Technology and Engineering, 2005, 5(21):1656-1657.)
- [12] 高非非, 刘辛国. ARM-Linux 中 I2C 总线驱动开发[J]. 微型机与应用, 2012, 31(5):57-58. (GAO F F, LIU X G. Design of I2C bus driver based on ARM-Linux [J]. Microcomputer & Its Applications, 2012, 31(5):57-58.)

(上接第 65 页)

- [22] GU J, PECHT M. Prognostics and health management using physics-of-failure [C]//54th Annual Reliability & Maintainability Symposium, RAMS 2008:481-487.
- [23] AVIZIENIS A, LAPRIE J C, RANDELL B. Fundamental concepts of dependability [C]//Proceedings of the 3rd Information Survivability, 2000:7-12.
- [24] 章新瑞, 任占勇. 可靠性试验中环境应力与产品故障机理间关系研究 [J]. 环境技术, 2000(5):7-11. (ZHANG X R, REN Z Y. Research on relationship between stress and product reliability failure mechanisms environment experiment [J]. Environment Technology, 2000(5):7-11.)
- [25] 丛伟, 景博, 樊晓光. 综合航电系统健康管理体系统结构设计 [J]. 测控技术, 2013, 32(8):126-130. (CONG W, JING B, FAN X G. Design of health management architecture of integrated avionics system [J]. Measurement & Control Technology, 2013, 32(8):126-130.)
- [26] SAHA B, GOEBEL K, POLL S, et al. Prognostics methods for battery health monitoring using a Bayesian framework [J]. IEEE Transactions on Instrumentation and Measurement, 2009, 58(2):291-296.

(上接第 70 页)

- 34(3):227-229. (WANG X Y, LIU Z, TANG L J. A multi-attribute evaluation based on expert knowledge of software quality methods [J]. Computer Technology and Application Development, 2008, 34(3):227-229.)
- [7] 李文静. 软件缺陷与软件测试 [J]. 计算机与网络, 2001(21):31-32. (LI W J. Software defects and software testing [J]. Computer and Network, 2001(21):31-32.)
- [8] FENTON N, NEIL M. A critique of software defect prediction models [J]. IEEE Transactions on Software Engineering, 1999, 25(5):675-689.
- [9] 郭飞, 侯朝桢, 戴忠建, 等. 基于模糊 - 证据理论的软件缺陷评估新方法 [J]. 计算机应用, 2006(s1):275-276. (GUO F, HOU C Z, DAI Z J, et al. Fuzzy-software defects evidence theory methods to evaluate new computer application [J]. Computer Applications, 2006(s1):275-276.)

(上接第 75 页)

45. (WANG W W, YANG G P, LYU C, et al. New image segmentation model based on the level set method [J]. Journal of Xidian University, 2013, 40(6):39-45.)
- [11] DIRAMI A, HAMMOUCHE K, DIAF M, et al. Fast multilevel thresholding for image segmentation through a multiphase level set method [J]. Signal Processing, 2013, 93(1):139-153.
- [12] BALLA-ARABÉ S, GAO X, WANG B. A fast and robust level set method for image segmentation using fuzzy clustering and lattice Boltzmann method [J]. IEEE Transactions on Cybernetics, 2013, 43(3):910-920.
- [13] WANG L F, PAN C H. Image-guided regularization level set evolution for MR image segmentation and bias field correction [J]. Magnetic Resonance Imaging, 2014, 32(1):71-83.
- [14] DONG F F, CHEN Z S, WANG J W. A new level set method for inhomogeneous image segmentation [J]. Image and Vision Computing, 2013, 31(10):809-822.
- [15] 崔玉玲. 基于改进符号距离函数的变分水平集图像分割算法 [J]. 模式识别与人工智能, 2013, 26(11):1033-1040. (CUI Y L. A variational level set method for image segmentation based on improved signed distance function [J]. Pattern Recognition and Artificial Intelligence, 2013, 26(11):1033-1040.)
- [16] DIRAMIA A, HAMMOUCHEA K, DIAFA M. Fast multilevel thresholding for image segmentation through a multiphase level set method [J]. Signal Processing, 2013, 93(1):139-153.