

光电成像信息处理仿真与评估系统设计

王飞¹, 杨磊¹, 朱士祥¹, 史彩成²

(1. 中国人民解放军93408部队, 河北承德 068250; 2. 北京理工大学生命学院, 北京 100081)

摘要: 为验证光电成像器件性能及其成像处理算法在不同场景下的有效性, 设计了一种以主控计算机为控制中心, FPGA + DSP + DSP 为核心处理器的图像处理仿真与评估系统。系统可实时采集视频图像, 或利用预先存储的仿真测试视频数据, 对不同的处理算法进行考核, 评估算法性能。系统内部集成了多种图像检测识别算法, 能够对图像特征进行计算提取。系统具有回放功能, 中间处理结果均具有可视性, 方便对比处理效果。测试实验证明了该系统满足实时性要求, 已成功运用于工程实践中。

关键词: 光电成像; 图像处理; FPGA; DSP

中图分类号: V271.4; TN911 **文献标志码:** A **文章编号:** 1671-637X(2015)10-0095-04

Design of a Simulation and Evaluation System for Photo-Electronic Image Processing

WANG Fei¹, YANG Lei¹, ZHU Shi-xiang¹, SHI Cai-cheng²

(1. No. 93408 Unit of PLA, Chengde 068250, China;

2. School of Life Science and Technology, Beijing Institute of Technology, Beijing 100081, China)

Abstract: To verify the performance of the photo-electronic device and the effectiveness of the image processing algorithm in different occasion, an image processing simulation and evaluation system was designed. It is controlled by the host computer and FPGA + DSP + DSP is used as the core processor. The system can check and evaluate the performance of different processing algorithms by collecting video images in real time, or using the video images stored in the computer previously. Different image detection algorithms are integrated in the system, which can be used for extracting the feature of the images. Playback can be used in the system and the processing results in each step are visible. Experiments show that the system can satisfy the requirement to real-time performance. The system has been successfully applied to the engineering practice.

Key words: photo-electronic imaging; image processing; FPGA; DSP

0 引言

光电成像是利用雷达、红外及可见光等光电传感器通过光电变换获取目标图像的技术。由于其能够提供丰富的目标和背景信息, 具有分辨率高、隐蔽性好、抗干扰能力强等特点, 广泛应用于光电制导、光学侦察等武器装备中, 在现代战争中起到越来越重要的作用。随着光电技术的发展, 其应用环境日益复杂, 目标类型呈现多样化, 各种光电防御及干扰技术也层出不穷, 给光电目标检测带来新的挑战。如何在复杂背景及干扰条件下精确检测目标, 成为评价光电装备性能的重要

因素, 它不仅依赖于成像器件的性能, 还取决于后续图像处理算法的选择。

目前, 对光电设备的考核评估主要依靠实物验证或靶试检验实行, 需要较长的周期并投入大量人力、财力, 且难以针对各种复杂环境做出全面检测。而采用仿真设备考核装备性能, 可以降低实验耗费, 缩短研制周期, 通过加入不同场景图像, 全面评估成像设备性能。现有的仿真评估系统, 一般为针对某特定型号装备而研制, 多侧重于目标系统的仿真, 具有一定局限性。综合国内外该系统的发展, 主要有以下特点^[1-2]:

1) 发展更为逼真的目标仿真系统, 利用虚拟技术完成多类型目标全频段仿真;

2) 建立完善的背景、目标、大气环境和设备的数字模型, 实现全数字仿真;

收稿日期: 2014-11-05

修回日期: 2015-01-01

作者简介: 王飞(1983—), 男, 河北行唐人, 硕士, 助工, 研究方向为信号与信息处理。

3) 适应成像器件的发展,采用更加快速的实时处理系统及更高效的图像处理算法;

4) 信息获取向多传感器信息融合方向发展。

1 系统设计方案

基于前述考虑,本文设计一个半实物仿真系统,系统由主控计算机、图像实时处理系统组成。主要功能为通过实时或事后方式完成光电图像的采集、预处理,检测与识别,可考核成像器件及图像处理算法的性能,评估成像系统对硬件资源的需求,并可模拟生成视频数据,具有数据存储和回放功能。

系统通过上位机控制两路图像采集输入、预处理、检测识别及显示,对不同成像器件的采集图像进行直观比较,对不同算法进行评估验证。鉴于系统实现功能较多,图像处理算法复杂、计算量大,并且是两路独立并行运行,本文采用 FPGA + DSP + DSP 结构。主处理器 DSP 实现结构复杂的图像处理功能。协处理器 FPGA 实现图像采集控制、图像预处理、视频信号合成、底层通讯协议生成等时序逻辑控制较多、对处理速度要求高但结构简单的功能^[3-5]。

实时工作方式下,系统输入可在两路模拟视频信号、两路数字图像数据共 4 路中任选 2 路进行处理及显示。事后工作方式下,能够对上位机下传的图像进行处理。图像处理模式,数据输入通道均可任意切换,以便进行不同图像、不同处理方法的对比。系统组成如图 1 所示。

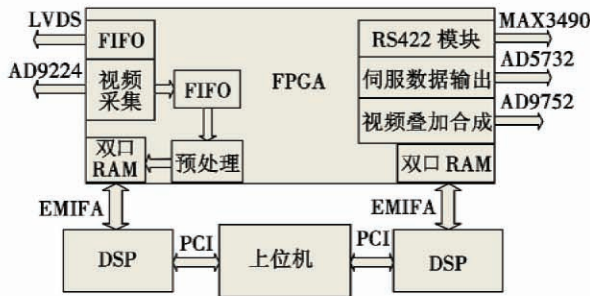


图1 系统组成框图

Fig.1 Structure of the system

2 关键模块设计

本系统选择容量充足、性价比高的 FPGA 芯片 VC4VFX60-10FF672I 作为时序及数据交换控制芯片,具有 352 个 IO,4176 kbit 的块 RAM,41 904 个逻辑单元,用于并行处理大量耗时的乘加运算,实现复杂的时钟管理,能够满足系统要求且有较大的冗余量,可以进一步扩展新功能。采用两片 TI 公司的 TMS320C6416 为主处理器,具有 1000 MHz 时钟频率及 4800 MI/s 最

高处理能力,丰富的外设和并行处理能力,性能优越,成本较低,能够满足本设计的要求^[6]。

2.1 视频采集电路设计

由成像器件输入的视频信号经过电缆传输及电路的交流耦合后,丢失了信号的直流分量,为了保证采集的图像不失真,必须将输入视频信号的直流电平恢复并箝位到原始图像的电平,因此输入的视频信号要经过去直流、直流恢复和放大使得输入的视频信号损失最小。本系统采用 Elantec 公司高性能单片视频“直流恢复”与“箝位”芯片 EL4390。信号经放大后输入 AD 进行采样。采用同步分离芯片 EL4583 进行行、场等同步信号的分离,由 FPGA 根据同步信号产生控制信号和采样时钟给 12 位低功耗 A/D 芯片 AD9224,保证每视频行间的采样有相同的相位关系,完成视频采集输入^[7]。电路结构如图 2 所示。

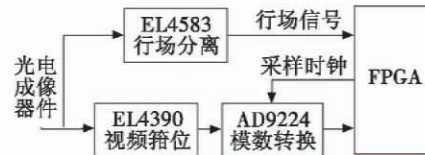


图2 视频采集电路结构图

Fig.2 Structure of the video acquisition system

2.2 数字图像接收电路

数字图像接收发送采用上升沿锁定的 LVDS 芯片 DS90LVDS215/216,具有低功耗、高速率的优良特性。数据位为 21 位,其中 12 位可以用作图像数据传输,其余位可用于同步信号及标志位的传输。控制时序简单,控制信号较少。FPGA 只需根据不同时序,配置不同数据,具有很大灵活性。

2.3 FPGA 模块设计

FPGA 主要完成时序及数据交换控制。包含图像采集、传输、预处理,下传图像数据的接收,视频输出、叠加,通讯接收、解析、发送及伺服数据的接收与转换等模块。

图像采集部分利用输入同步信号来同步采集时钟,即利用 FPGA 生成的基准时钟进行计数,用场同步信号进行异步清零,通过多次异步清零来调整两者的相位关系。FPGA 根据输入的行、场、奇偶等同步信号,产生采样时钟送至 AD。在场有效期间,每一个行同步信号的上升沿开始行计数。根据 ODD/EVEN 信号决定计数的起始值,可根据系统要求取中间有效行数作为本系统处理部分。在每一行有效期间,以采集时钟进行计数,采集数据采取乒乓方式输入 FPGA 内部生成的两个双口 RAM 中。当一个 RAM 处于写状态时,另一个处于读状态,以满足实时性要求。

图像预处理模块主要包括图像的滤波、校正等,算

法结构简单但运算量大,对速度要求高,适合 FPGA 处理。在滤波运算中一般会用到卷积运算,需对图像进行窗口处理。在 FPGA 中,可利用内部 FIFO 生成窗口, FIFO 深度为一行数据,之后进行处理。系统中所用 3 × 3 窗口如图 3 所示。

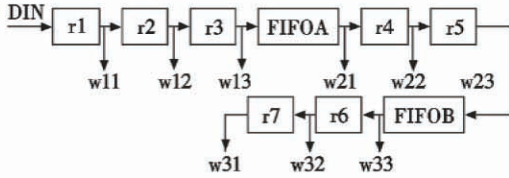


图 3 3 × 3 窗口生成

Fig. 3 Generation of 3 × 3 template

FPGA 与 DSP 之间的数据传输通过 DSP 的外部存储器接口 EMIFA 口进行,将 FPGA 内部存储空间映射到 DSP 的 CE0, CE1 存储空间。分别用于接收预处理后的视频采集数据、DSP 下传的回灌数据以及控制指令的接收和发送,实现 DSP 与 FPGA 的高速数据传输。利用 FPGA 内部 IPcore 生成双口 RAM 来缓存数据。可以避免再外接存储器,降低了成本,减少了系统面积。图像上传采用中断方式,将每场图像分 8 次上传。当采集数据存满 RAM 时,向 DSP 发送中断, DSP 响应中断,通过 QDMA 传输实现数据搬移,其硬件接口如图 4 所示。

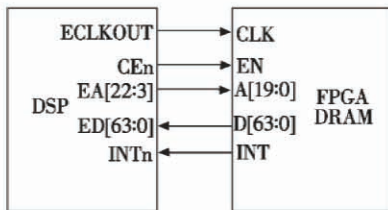


图 4 DSP 与 FPGA 连接图

Fig. 4 Connection of the DSP and FPGA

经过处理后的图像数据或回灌数据,相对于原始图像有一定延时。直接采用分离出的同步信号进行显示会造成时序错乱,因此需要进行视频合成,生成标准视频信号进行显示。本系统由 FPGA 内部时钟计数生成行、场同步信号及消隐信号、跟踪框并进行视频合成,其结构图及时序仿真结果如图 5、图 6 所示。

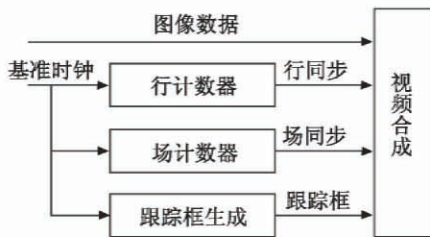


图 5 视频合成结构图

Fig. 5 Structure of the video synthesis

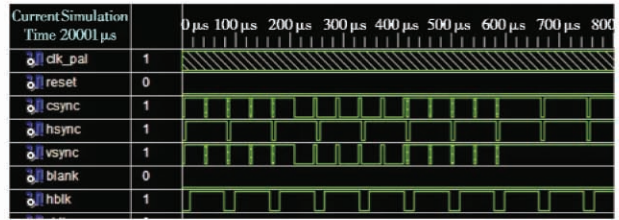


图 6 复合同步信号仿真

Fig. 6 Simulation of composite sync signal

RS-422 模块采用串行通信协议,空闲时,数据线上一直为“1”,开始发数据时,先发一位起始位“0”,接着将并行数据按低位先出的方式连续串行发出,最后再发一位结束位“1”。采用状态机进行收发,其发送仿真时序如图 7 所示。

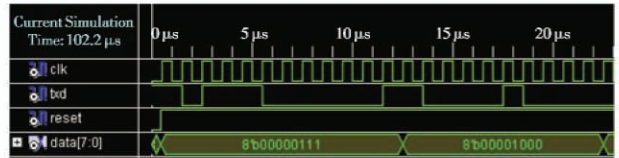


图 7 串行通讯协议仿真

Fig. 7 Simulation of serial communication protocol

2.4 DSP 模块设计

DSP 完成 FPGA 上传图像的分割、检测识别、特征提取,并上传给上位机进行显示;接收上位机下传的回灌图像数据,送往 FPGA;根据计算得到的目标信息,将图像处理结果及跟踪信息送至 FPGA 及上位机;接收 RS422 命令,并将发送命令下传给 FPGA。上电复位后, DSP 从 FLASH 中加载程序,并进行初始化,等待上位机下传控制指令及 FPGA 上传的中断信号,进入中断处理程序。通过 EDMA 控制器实现与 FPGA、上位机的数据交互。每个 DSP 负责一路图像的处理。

中断程序有行中断和场中断两种。场中断主要用于行计数清零,目标的检测识别跟踪,接收上位机回灌数据等功能;行中断主要用于接收 FPGA 送来的图像数据,进行图像分割,向上位机上传图像数据等功能,收到上位机命令后,根据上位机的命令选择相应的工作方式。根据上位机的命令, DSP 可以选择不同的图像进行处理,图像的滤波、检测、跟踪等都可以选择不同的处理方法,也可多种方法同时使用^[8-10]。

2.5 PCI 电路设计

实现 PCI 接口与主机直接互联,直接采用 DSP 内部集成 33 M/32 bit 的 PCI 接口控制器,不需额外的 PCI 控制芯片。图像处理器通过内部 EDMA 实现 PCI 与 DSP 接口的集成。

3 上位机软件设计

上位机设计主要是为了完成人机接口、输入信号源

选择、检测、识别算法设置、算法性能测定等功能。主要由主控单元、两路图像显示与控制单元3部分组成。

主控单元主要是用来控制整个系统应用软件的运行、暂停和退出,设置图像数据的分辨率,显示 DSP 上传的伺服信息,同时还能够设置软件的工作模式,实现整个系统的自检功能。图像选择与控制单元主要用来控制图像的显示与存储,设置目标特征选取与滤波方式,接收并显示 DSP 上传的图像目标的跟踪坐标等。系统应用软件能够控制操作界面实时显示、采集、存储与回灌图像数据,接收并显示 DSP 上传的每一路目标的跟踪坐标,在目标位置加上跟踪框,设置软件的工作模式,实现系统板卡的自检功能。软件流程如图8所示。

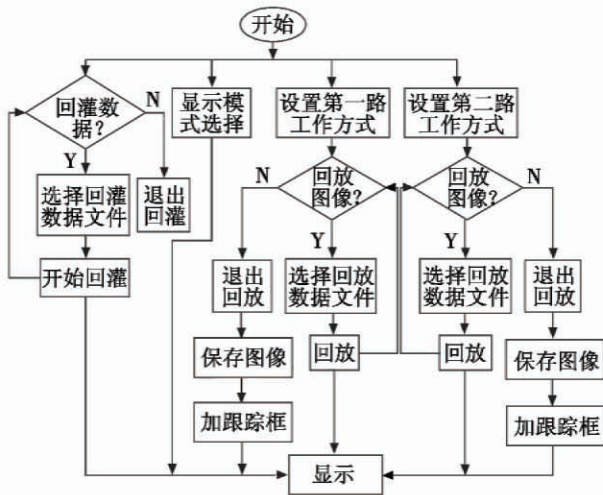


图8 上位机软件流程图
Fig.8 Program flow chart of computer

4 实验结果及结论

系统集成图像处理算法库,能够对目标的面积、灰度、质心、方差等特征进行计算,并可以对运动目标实时跟踪,产生伺服数据。算法调试及中间结果都具有可视性。利用该系统可以通过外接光电成像仪或从图像数据库中选取不同场景的图像进行处理,比较各算法性能,评估算法对软、硬件的资源要求,对算法处理效果进行记录并回放,具有良好的灵活性及扩展性,亦可进行新算法的开发。

运用本系统对海背景下舰船目标进行检测识别,输入图像大小为 320×240 ,帧频为 $25/s$,其中,自适应阈值分割与 OTSU 分割图像的效果对比如图9所示。对目标检测识别时间均在 40 ms 以内,满足了实时性要求。目前已成功运用于某舰载武器系统红外干扰背景下,真、假目标模式识别算法对比研究实验中,为光电成像导引头抗干扰性能的研究与验证提供了理论帮助和技术支持。系统具有良好的灵活性与扩展性,亦可作为通用图像实时处理平台,完成视频数据的处理。

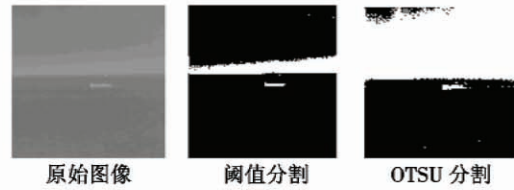


图9 不同算法结果比较
Fig.9 Results of different algorithms

参考文献

- [1] 王学伟. 光电干扰效果评估系统[J]. 红外与激光工程, 2007, 36(s): 441-443. (WANG X W. Photoelectric interference performance evaluation system[J]. Infrared and Laser Engineering, 2007, 36(s): 441-443.)
- [2] 王勇, 王小军. 光电成像跟踪系统的仿真与评估技术研究[J]. 电光系统, 2008(2): 11-14. (WANG Y, WANG X J. Simulation and evaluation of EO imaging tracker system[J]. Electronic and Electro-Optical System, 2008(2): 11-14.)
- [3] 张志勇, 杨晨, 刘海桥, 等. 基于FPGA的红外图像处理算法的测试系统[J]. 激光与红外, 2014, 44(7): 829-832. (ZHANG Z Y, YANG C, LIU H Q, et al. Testing system of infrared image processing algorithm based on FPGA[J]. Laser and Infrared, 2014, 44(7): 829-832.)
- [4] 范超, 赵林, 陈国. 基于FPGA + DSP架构视频处理系统设计[J]. 电子技术, 2014(6): 52-54. (FAN C, ZHAO L, CHEN G. Design of video processing system based on FPGA + DSP[J]. Electronic Technology, 2014(6): 52-54.)
- [5] 高文, 朱明, 刘剑, 等. 基于FPGA + DSP框架的实时目标跟踪系统设计[J]. 液晶与显示, 2014, 29(4): 611-616. (GAO W, ZHU M, LIU J, et al. Design of real-time target tracking system based on FPGA + DSP[J]. Chinese Journal of Liquid Crystals and Displays, 2014, 29(4): 611-616.)
- [6] 盛元平. 红外图像处理系统的方案设计[J]. 舰船电子工程, 2014, 34(5): 100-104. (SHENG Y P. Scheme design of the infrared image processing system[J]. Ship Electronic Engineering, 2014, 34(5): 100-104.)
- [7] EL4089C DC Restored Video Amplifier[Z]. January 1996 Rev B.
- [8] Texas Instrument Incorporated. TMS320C6414, TMS320C6415, TMS320C6416 Fixed-point digital signal processors[Z]. 2001.
- [9] 薛军, 邹建华, 张永亮. 红外跟踪测量系统图像处理电路的设计[J]. 红外技术, 2014, 36(8): 652-655. (XUE J, ZOU J H, ZHANG Y L. Design of image-processing circuit in infrared tracking and measuring system[J]. Infrared Technology, 2014, 36(8): 652-655.)
- [10] 范志铭, 苏成悦, 郑俊波, 等. FPGA图像识别与目标跟踪系统[J]. 微型机与应用, 2014, 33(18): 45-47. (FAN Z M, SU C Y, ZHENG J B, et al. The image recognition and target tracking system based on FPGA[J]. Microcomputer & Its Applications, 2014, 33(18): 45-47.)