

基于 FPGA 和 TSC695F 的空间相机控制器设计

武星星, 刘金国

(中国科学院长春光学精密机械与物理研究所, 长春 130033)

摘要: 随着空间相机的应用领域从对地观测拓展到行星际探测, 对系统的抗辐射能力、重量、功耗和可靠性有了更高的要求。采用耐辐射 FPGA RT54SX72S 和 TSC695F 进行了空间相机控制器的设计, 用 RT54SX72S 实现行周期信号产生、OC 指令锁存、地址译码及 A/D 控制锁存等相机控制功能, 在提高系统可靠性的同时减小体积、减轻重量、降低功耗。给出了 FPGA 中各功能模块的具体实现方法和部分 VHDL 源码。实验结果表明, 各功能模块的实现方法正确可行, 相机控制器工作可靠, 满足总体技术指标要求。

关键词: 空间相机; 相机控制器; FPGA; TSC695F

中图分类号: V445.8; TP336 文献标志码: A 文章编号: 1671-637X(2013)07-0087-06

Design of a Space Camera Controller Based on FPGA and TSC695F

WU Xingxing, LIU Jin'guo

(Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China)

Abstract: The application fields of space camera have extended from earth surveying to planet exploration. As a result, higher demands are put forward on anti-radiation ability, weight, power dissipation and reliability. A space camera controller was designed, in which radiation-tolerant FPGA RT54SX72S and TSC695F. RT54SX72S were used to realize camera control functions such as row period signals generation, OC instruction latch, address decoding, and A/D conversion control latch. In this way, the reliability of the system could be improved, and the weight, cubage and power dissipation could be reduced. Realization methods of each module in FPGA and partial VHDL sources were presented. Results of experiments indicated that realization methods of each module were correct and feasible, and the camera controller worked reliably, which could meet the demand of qualification.

Key words: space camera; camera controller; FPGA; TSC695F

0 引言

随着航天技术的发展, 空间遥感相机的应用领域逐渐从对地观测、对月球探测发展到针对金星、火星等的行星际探测^[1]。在深空环境下高能粒子和宇宙射线的辐射更强^[2], 能够有效利用的太阳能受行星轨道周期的影响而更少, 因此对空间相机电子设备的可靠性、抗辐射能力、重量和功耗的要求更为苛刻。

目前空间相机控制器多由 DSP 等处理器和大量的逻辑门、锁存器、译码器和定时/计数器、异步串行收

发器等器件组成, 存在抗辐射能力弱、体积与重量大、功耗高等缺点, 难以满足深空探测的要求^[3-4]。现场可编程门阵列(Field Programmable Gate Array, FPGA)在单片芯片上集成了成千上万门逻辑单元, 具有集成度高、并行处理能力强和功能可重构等优点^[5]。RT54SX72S 是 ACTEL 专门为空间应用设计的耐辐射 FPGA, 抗辐射总剂量达 100 krad(Si), 采用单粒子翻转加强的寄存器, 在使用中不需要再进行三模冗余设计^[6]。TSC695F 是抗辐射总剂量达 300 krad(Si)的 32 位处理器, 针对空间应用的特点, 采用纠检错机制来提高可靠性。

本文在某空间相机控制器的研制中采用 TSC695F 和 RT54SX72S 系列 FPGA 中的 RT54SX72S 作为控制部件, 用 RT54SX72S 实现以往空间相机控制器中由 8086 或 DSP 等处理器的软件和大量的逻辑门、锁存器、译

码器和定时/计数器、异步串行收发器等器件共同完成的行周期信号产生、OC 指令锁存、串行通信、地址译码及 AD 控制锁存等相机控制功能,在提高系统可靠性的同时减小体积、减轻重量、降低功耗。

1 系统组成原理与功能需求分析

图 1 为相机控制器的系统组成原理图。TSC695F 采用 5 V 电平,而 RT54SX72S 的 I/O 管脚兼容 3.3 V 和 5 V 电平,因此 TSC695F 的数据线 D[15:0]、地址线 RA[31:0]、I/O 读写信号 IOWR、ROMCS、OE、IOSEL[2:0]、RXD 和 TXD 信号与 FPGA 的 IO 管脚直接相连。

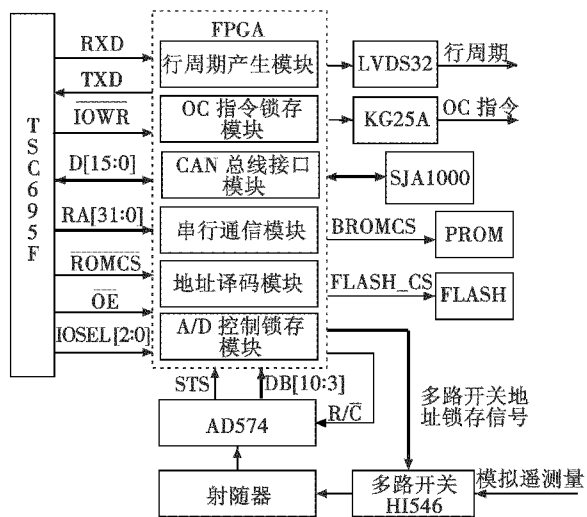


图 1 系统组成原理图

Fig. 1 Composition of the system

相机控制器的行周期信号产生、成像单元与调焦单元的开/关机控制、模拟遥测量采集和通讯等功能通过 FPGA 中的行周期产生模块、OC 指令锁存模块、CAN 总线接口模块、串行通信模块、地址译码模块和 A/D 控制锁存模块来实现。

在摄影过程中,目标和遥感相机的相对运动产生像移,需要实时调整成像单元中 CCD 的行转移周期来进行像移补偿^[7]。成像单元接收相机控制器发送的行周期信号,并将 CCD 的行转移信号的周期调整得与之一致。行周期信号的产生和控制由 FPGA 中的行周期产生模块和串行通信模块来完成。TSC695F 使用内部自带的通用异步串行收发器(Universal Asynchronous Receiver/Transmitter, UART)和 FPGA 进行串行通信。FPGA 接收 TSC695F 发送的成像单元开机、成像单元关机和设置行周期指令。当 FPGA 收到成像单元开机指令时,输出行周期信号,通过 LVDS32 芯片进行电平转换后发送给成像单元。当收到设置行周期指令时,根据指令参数对输出的行周期信号的周期进行调整。当收到成像单元关机指令时停止产生行周期信号。

OC 指令锁存模块用于 OC 指令脉冲的产生,控制成像单元和调焦单元的开机与关机。TSC695F 向 OC 指令锁存模块对应的地址写数据,产生开机或关机指令脉冲,经 KG25A 驱动继电器动作,控制成像单元和调焦单元的加电与断电。同时 TSC695F 能够从 OC 指令锁存模块对应的地址回读锁存的数据。相机控制器通过 CAN 总线和航天器的数管计算机通信,接收指令和数据,返回遥测信息。由于 CAN 总线控制器 SJA1000 采用分时复用的数据/地址线,而 TSC695F 采用独立的数据线和地址线,因而需要通过 FPGA 中的 CAN 总线接口模块完成接口逻辑转换^[8]。

TSC695F 扩展了 32 k × 8 位的只读存储器 PROM、512 k × 8 位的 FLASH 和 512 k × 40 位的 SRAM,分别用于存储程序、成像工作参数和数据。其中 SRAM 的片选信号直接和 TSC695F 的 RAMCS[0] 相连,即数据存储区的起始地址为 2000000H。由于 PROM 和 FLASH 的地址都位于 TSC695F 的 Boot PROM 区,因此其片选信号 BROMCS 和 FLASH_CS 由 FPGA 中的地址译码模块产生。此外地址译码模块还完成 OC 指令锁存模块、A/D 锁存控制模块和 SJA1000 的地址译码。

相机控制器定时对成像单元的供电电压等多路模拟量进行采集和 A/D 转换,并作为模拟遥测量下传地面。A/D 锁存控制模块产生多路开关地址锁存信号和 A/D 转换启动信号 R/C,分别送至模拟多路开关 HI546 和 A/D 转换芯片 AD574,在选通某一路模拟量之后启动 A/D 转换。A/D 转换状态信号 STS 和转换后的数字量 DB[10:3] 也由 A/D 锁存控制模块锁存,供 TSC695F 读取。

2 FPGA 中各功能模块的实现方法

2.1 行周期信号的产生与控制

随着空间相机分辨率的提高和覆盖宽度的增加,空间相机的焦面多采用多片 CCD 拼接而成,当以侧摆模式工作时,在像移补偿过程中各片 CCD 需要采用不同的行周期^[9]。设共有 N 片 CCD, CCD 的像元尺寸为 b ,第 i ($i=1, \dots, N$) 片 CCD 中心对应的视场角为 α_i ,则该片 CCD 的行转移周期 T_i 为

$$T_i = \frac{b}{V_{\alpha_i}}, \quad i=1, \dots, N \quad (1)$$

式中, V_{α_i} 为视场角 α_i 对应的像移速度, TSC695F 根据从航天器数管计算机收到的航天器位置、姿态等数据计算出 V_{α_i} , 而根据式(1)计算出各片 CCD 的行转移周期,之后通过内部自带的 UART 将行周期码值发送给 FPGA。在本文中某空间相机需要 FPGA 产生 5 种周期不同的行周期信号,下面以其中一种行周期为例说

明行周期信号的产生和控制方法。行周期信号的输出与否取决于收到的成像单元开/关机指令,而行周期信号的周期在摄影过程中根据TSC695F的计算结果不断调整,这些功能由FPGA中的数据处状态机来实现。图2所示为行周期信号产生状态转移过程。

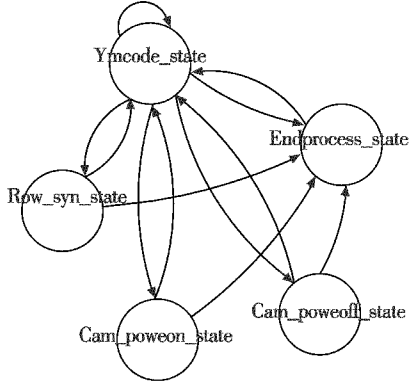


图2 行周期信号产生状态转移图

Fig. 2 State transfer of row period signal generation

系统上电后数据处理状态机的当前状态为 Ymcode_state。使用信号 Cam_poweon 来标识成像单元的开关机状态,当收到成像单元开机指令后,数据处理状态机当前状态切换为 Cam_poweon_state,设置 Cam_poweon 信号为高电平。当收到成像单元关机指令后,当前状态切换为 Cam_poweoff_state,设置 Cam_poweon 信号为低电平。当收到行周期数据帧时,数据处理状态机的当前状态切换为 Row_syn_state,从串行通信接收缓冲寄存器 UdrDataBuf1 和 UdrDataBuf1 读取行周期码值到寄存器 Reg_Row_Syn1 中。

行周期信号产生模块的部分 VHDL 源码描述如下。

```
process (Clk)
begin
if (Clk'event and Clk = '1') then
if (Reset_Pulse = '1') then
CreateH_N_CCD1 <= x"00000";
SetH_N_CCD1 <= SetH_N_Temp_CCD1;
elsif (CreateH_N_CCD1 = SetH_N_CCD1 - 1) then
CreateH_N_CCD1 <= x"00000";
SetH_N_CCD1 <= SetH_N_Temp_CCD1;
else
CreateH_N_CCD1 <= CreateH_N_CCD1 + 1;
end if;
end if;
end process;
process (Clk)
begin
if (Clk'event and Clk = '1') then
if (Reset_Pulse = '0') then
if (CreateH_N_CCD1 = 0) then
```

```
Row_syn_buf(0) <= '1';
elsif (CreateH_N_CCD1 = 50) then
Row_syn_buf(0) <= '0';
end if;
else
Row_syn_buf(0) <= '0';
end if;
end if;
end process;
SetH_N_Temp_CCD1(19 downto 18) <= "00";
SetH_N_Temp_CCD1(17 downto 2) <= Reg_Row_Syn1
(15 downto 0);
SetH_N_Temp_CCD1(1 downto 0) <= "00";
process (Clk)
begin
if (Clk'event and Clk = '1') then
if (CurMain_state = Init_state) then
Cam_poweon <= '0';
elsif (CurProcess_state = Cam_powerOn_state
and Cam_poweon = '0') then
Cam_poweon <= '1';
elsif (CurProcess_state =
Cam_powerOff_State and Cam_poweon = '1') then
Cam_poweon <= '0';
end if;
end if;
end process;
process (Clk)
begin
if (Clk'event and Clk = '1') then
if (Cam_poweon = '1') then
Row_syn_buf 2 <= Row_syn_buf;
else
Row_syn_buf 2 <= "00000";
end if;
end if;
end process;
Row_syn_Out(0) <= Row_syn_buf 2(0);
```

根据通讯协议,TSC695F 发送给 FPGA 的行周期码值以 8 MHz 时钟周期为单位,而 FPGA 对 32 MHz 时钟计数来生成行周期信号,因此将行周期码值 Reg_Row_Syn1 左移 2 位来作为计数器的周期值。当计数器的计数值 CreateH_N_CCD1 为 0 时设置 Row_syn_buf(0) 为高电平,当 CreateH_N_CCD1 为 50 时或系统复位时设置 Row_syn_buf(0) 为低电平,从而产生高电平宽度为 (50×31.25) ns、周期为 $(\text{Reg_Row_Syn1} \times 125)$ ns 的信号 Row_syn_buf(0)。当 Cam_poweon 为高电平,表明成像单元已开机,将前面生成的周期信号 Row_syn_buf(0) 送至行周期信号输出端。当 Cam_poweon 为低电平,表明成像单元已关机,行周期信号

输出端输出常态低电平。

2.2 地址译码

地址译码模块完成 PROM、FLASH、两路 CAN 总线接口、OC 指令锁存模块、输出控制锁存模块和 A/D 锁存控制模块片选信号的生成与地址映射,表 1 为相机控制器硬件地址表。

表 1 相机控制器硬件地址表

功能	地址	说明
PROM	000000H ~ 007FFFH	BOOT
FLASH	800000H ~ 87FFFFH	PROM 区
SRAM	2000000H ~ 2000000H	RAM 区
CANA	10000000H ~ 100001FCH	IO 0 区
CANB	11000000H ~ 110001FCH	IO 1 区
OC 指令 1	12000000H	IO 2 区
OC 指令 2	12000004H	IO 2 区
A/D 转换控制	12000020H	IO 2 区
A/D 转换状态	12000024H	IO 2 区
A/D 转换数据	12000024H	IO 2 区

在 TSC695F 中程序存储器、数据存储器 and I/O 采用同一地址空间,寻址范围 00000000H ~ FFFFFFFFH,分为引导 PROM 区、扩展 PROM 区、交换存储区、系统寄存器区、RAM 区、扩展 RAM 区、I/O 0 区、I/O 1 区、I/O 2 区、I/O 3 区、扩展 I/O 区和通用扩展区共 12 个区^[10]。当访问引导 PROM 区时 TSC695F 产生 ROMCS 信号,从表 1 可以看出,PROM 和 FLASH 都位于引导 PROM 区,因此根据表 1 中 PROM 和 FLASH 的地址范围,用地址线 A23 和 TSC695F 输出的 ROMCS 信号进行或运算后,产生 PROM 的片选信号 EXT_PROM_CS。将地址线 A23 取反后和 ROMCS 信号进行或运算,产生 FLASH 的片选信号 EXT_FLASH_CS。SRAM 位于 RAM 区,其片选信号直接和 TSC695F 的 RAMCS[0] 相连即可。

CAN 总线 A 接口的地址范围位于 I/O 0 区,因此其片选信号通过 TSC695F 输出的 IOSEL[0] 信号来产生。CAN 总线 B 接口的地址范围位于 I/O 1 区,其片选信号由 FPGA 使用 IOSEL[1] 信号生成。OC 指令 1、OC 指令 2、A/D 转换控制、A/D 转换状态和 A/D 转换数据锁存器的地址都位于 I/O 2 区,因此这些模块的片选信号通过 IOSEL[2] 信号和地址线通过组合逻辑产生。

2.3 OC 指令锁存

OC 指令锁存模块用于产生 OC 指令脉冲,驱动继电器动作,完成成像单元和调焦单元的上下电控制。其具备两个功能:一是锁存 TSC695F 通过数据总线向 OC 指令锁存模块地址写入的数据;二是当 TSC695F 从 OC 指令锁存模块地址读取时,返回 OC 指令锁存模块的当前锁存值。图 3 所示为在 Synplify 中对 OC 指

令 1 锁存模块代码综合后生成的 RTL 原理图。

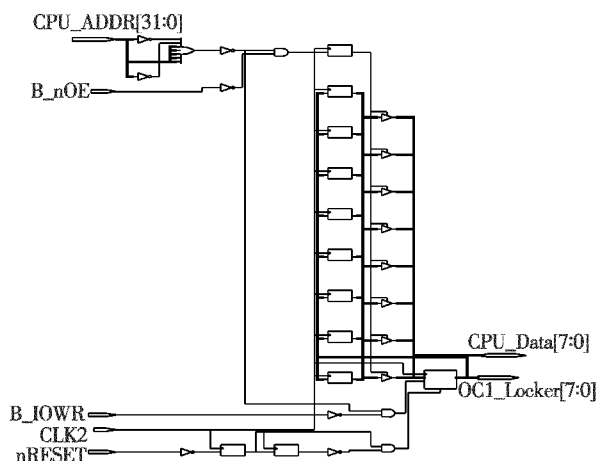


图 3 OC 指令 1 锁存模块 RTL 原理图

Fig. 3 RTL diagram of OC instruction 1 latch module

OC 指令锁存模块的部分 VHDL 源码描述如下。

```

process (CLK2, rst_risedge)
begin
    if (rst_risedge = '1') then
        OC1_Locker_buff <= "00000000";
    elsif (CLK2'event and CLK2 = '1') then
        if ((OC1_Locker_nCs = '0') AND (B_IOWR = '0'))
        then
            OC1_Locker_buff(7 downto 0) <= CPU_Data(7
down to 0);
        end if;
    end if;
end process;

```

OC 指令 1 锁存器和 OC 指令 2 锁存器的实现方法相同,这里以 OC 指令 1 锁存器为例说明具体的实现原理。当系统复位时 OC 指令 1 锁存器的输出为默认值低电平。当 OC1_Locker_nCs 为低电平且 B_IOWR 为低电平,即 TSC695F 向 OC 指令 1 锁存器写入数据时,将数据线的低 8 位进行锁存,生成锁存后的信号 OC1_Locker_buff,进行输出。当 OC1_Locker_nCs 为低电平且 B_nOE 为低电平,即 TSC695F 从 OC 指令 1 锁存器读数据时,将 OC1_Locker_buff 送至数据线的低 8 位。需要注意的是,当不从 I/O 读数据时,需要将数据线设置为高阻态。

2.4 A/D 控制锁存

A/D 控制锁存模块包括 A/D 转换控制、A/D 转换状态和 A/D 转换数据锁存器 3 个部分。其中 A/D 转换控制锁存器用于选通模拟多路开关的通道和启动 A/D 转换,其功能和实现原理与 OC 指令锁存模块类似。在此重点介绍 A/D 转换数据锁存器的实现原理。

从 A/D 转换控制锁存器和 OC 指令锁存模块回读的是 FPGA 内部寄存器的内容,而从 A/D 转换数据锁存

器读取的是 FPGA 外部 AD574 数据线的状态。AD574 为 12 位 A/D 转换器,其参考电压为 10 V,由于待测模拟量电压范围为 0 ~ 5 V,且经过 A/D 转换后的数字量采用一个字节来保存,因此取 AD574 数据线中的次高 8 位 DB[10:3]进行锁存。为了保证读出过程数据的同步性,用 TSC695F 的系统时钟对 AD_data_Locker 锁存后再进行输出。图 4 所示为在 Synplify 中对 A/D 转换数据锁存器 VHDL 代码综合后生成的 RTL 原理图。

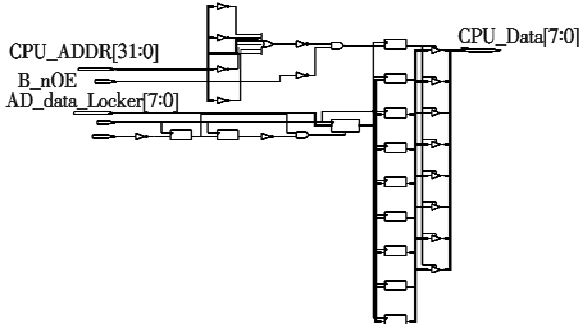


图 4 A/D 转换数据锁存器 RTL 原理图

Fig.4 RTL diagram of A/D converter data flip-latch

3 实验结果

为验证本文提出的 FPGA 中各功能模块实现方法,对采用本文方法设计的基于 RT54SX72S 和 TSC695F 的某空间相机控制器进行验证实验。图 5 为使用逻辑分析仪实际测量得到的行周期信号产生与控制模块时序图,其中 RXD 为 FPGA 的串行通信接收端,HZQ1~HZQ5 为相机控制器输出给成像单元的 5 种行周期信号。

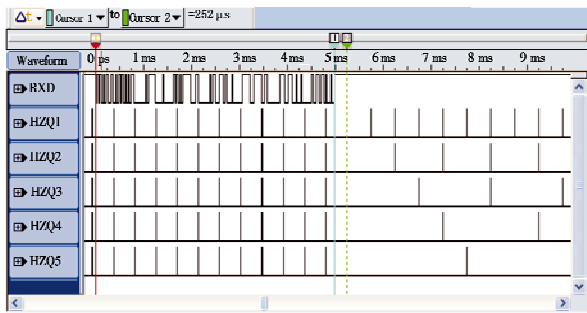


图 5 实测行周期信号产生与控制模块时序图

Fig.5 Timing diagram of row cycle signal generation and control module obtained in experiments

如图 5 所示,系统上电后 HZQ1 ~ HZQ5 的周期都为默认值 442 μ s,从 RXD 收到 TSC695F 发送的行周期数据帧为 55 aa 03 0f a0 1f 40 2e e0 3e 80 4e 20 4b,其中 55 aa 为帧同步字,03 为帧标识,4b 为累加和,0fa0H 为以 125 ns 为单位的 HZQ1 的码值,依次类推,4e20H 为 HZQ5 的码值。该行周期数据帧用于将 HZQ1 ~ HZQ5 的周期分别调整为 500 μ s、1 ms、1.5 ms、2 ms 和 2.5 ms。从图 5 可看出,在 RXD 收完行周期数据帧 252 μ s 后,

HZQ1 ~ HZQ5 的周期从 442 μ s 依次调整为 500 μ s、1 ms、1.5 ms、2 ms 和 2.5 ms,说明行周期信号产生与控制模块的实现方法正确可行。

图 6 为在验证实验中用逻辑分析仪测得的 A/D 转换时序图。从图 6 中可以看出,从 A/D 转换启动信号 R/C 的下降沿到 A/D 转换状态信号 STS 的上升沿的延迟时间 t_{DS} 为 396.125 ns, R/C 的高电平时间 t_{HRH} 为 622.375 ns,有效数据对 R/C 下降沿的保持时间 t_{HDR} 为 561.625 ns,满足 AD574 器件手册中 $t_{DS} < 600$ ns、 $t_{HRH} > 300$ ns 和 $t_{HDR} > 25$ ns 的要求。

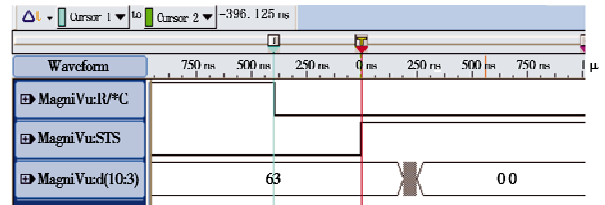


图 6 实测 A/D 转换时序图

Fig.6 Timing diagram of A/D conversion obtained in experiments

在实验前通过万用表对各路模拟量进行测量,在 TSC695F 的仿真开发环境 Vision Debugger for ERC32 中读取 A/D 转换后数字量处设置断点,图 7 为用 TSC695F 仿真器查看的第一路模拟量的 A/D 转换结果。从 Watch 窗口可以看出转换后的数字量为 63H,对应的电压为 1.9412 V,而用万用表测得的该模拟量电压为 1.9308 V,两者之差在一个 DN 值以内,说明 A/D 转换控制锁存模块功能正常。

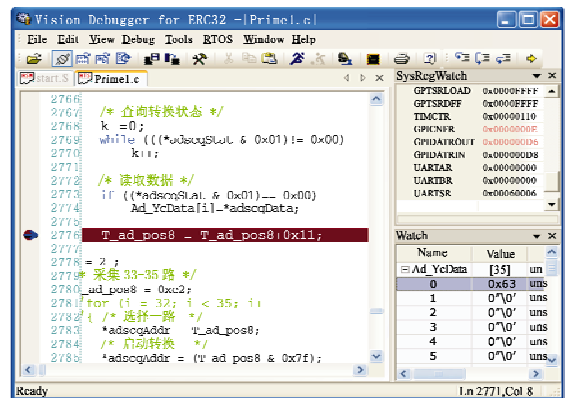


图 7 用 TSC695F 仿真器查看的 A/D 转换结果

Fig.7 A/D conversion result watched in TSC695F emulator

在验证实验中对各成像单元和编码器单元进行了多次的开关机操作,从返回的遥测信号和工作电流可以确认每次的开关机操作都得到了正确的执行,说明 OC 指令锁存模块工作正常。此空间相机控制器经过热真空和热循环等环境实验,按总体技术要求进行了电压和温度拉偏实验,系统都能正常可靠地工作,证明本文提出的各模块的实现方法是有效的。

4 结论

针对行星际探测对空间相机的高可靠性、耐辐射、低功耗和重量轻等要求,本文在空间相机控制器的设计中,用耐辐射 FPGA RT54SX72S 实现以往由处理器软件和大量的逻辑门、锁存器、译码器和定时/计数器、异步串行收发器等器件完成的行周期信号产生、OC 指令锁存、串行通信、地址译码及 A/D 控制锁存等相机控制功能,在提高系统可靠性的同时减小体积、减轻重量、降低功耗。给出了各功能模块在 FPGA 中的实现方法和部分 VHDL 代码。实际工作时序的测量结果和环境实验结果表明,各功能模块的实现方法正确可行,相机控制器工作可靠,满足总体技术要求。

参考文献

- [1] 岳涛,李博,陈晓丽,等. 空间光学发展现状和未来发展[J]. 航天返回与遥感,2011,32(5):1-9.
- [2] 魏志勇,方美华,杨浩. 深空条件下航天器内的辐射环境研究[J]. 航天器环境工程,2008,25(3):229-232.

(上接第 31 页)

综上,本文算法对机动弱目标的检测与跟踪性能均优于 MMPF,这主要是由于本文算法中粒子采样过程利用了当前量测信息,使重要性密度更接近于真实后验概率密度。

4 结束语

本文研究了一种基于辅助粒子滤波的多模 TBD 算法,用于低信噪比下机动弱目标的检测与跟踪。由于算法中粒子采样过程利用了当前量测信息,提高了其对机动弱目标的检测与跟踪性能,仿真结果也表明了该算法的有效性。下一步考虑扩大该算法的适用范围,使其适用于其他更复杂场景。

参考文献

- [1] 龚亚信,杨宏文,胡卫东,等. 基于粒子滤波的弱目标检测前跟踪算法[J]. 系统工程与电子技术,2007,29(12):2143-2148.
- [2] SALMOND D J, BIRCH H. A particle filter for track-before-detect [C]//IEEE Proceedings of the American Control Conference, Washington, 2001, 5:3755-3760.
- [3] 高山,毕笃彦,魏娜. 基于 UPF 的小目标检测前跟踪算法[J]. 计算机应用,2009,29(8):2060-2064.
- [4] 吴孙勇,廖桂生,杨志伟. 改进粒子滤波的弱目标跟踪与检测[J]. 宇航学报,2010,31(10):2395-2401.

- [3] 武星星,刘金国,孔德柱,等. 基于混合编程的空间相机控制器的自检方法[J]. 光学精密工程,2008,16(9):1635-1641.
- [4] 许木水,刘金国. 基于 DSP 的相机控制器 CAN 总线通信系统[J]. 计算机测量与控制,2011,19(2):439-441.
- [5] 邱金娟,徐宏杰,潘雄,等. SRAM 型 FPGA 单粒子翻转测试及加固技术研究[J]. 电光与控制,2011,18(8):84-88.
- [6] Actel Corporation. RTSX-S Rad Tolerant FPGAs [Z]. Actel Corporation, 2004.
- [7] 武星星,刘金国. 基于地球椭球的三线阵立体测绘相机像移补偿[J]. 光学精密工程,2011,19(8):1794-1800.
- [8] 凌幸华,高海英. SJA1000 在 TSC695F 系统中的应用[J]. 计算机工程,2008,34:175-177.
- [9] 郭永飞. 侧摆成像下多片 TDICCD 拼接相机分段异速研究[J]. 光机电信息,2010,27(10):32-38.
- [10] Atmel Corporation. Rad-Hard 32 bit SPARC Embedded Processor TSC695F [Z]. Atmel Corporation, 2003.

- [5] 樊玲. 高斯粒子滤波检测前跟踪方法[J]. 计算机工程与应用,2011,47(23):121-123.
- [6] MCGINNITY S, IRWIN G W. Multiple model bootstrap filter for maneuvering target tracking [C]//IEEE Transaction on Aerospace and Electronic Systems, 2000, 36(3):1006-1012.
- [7] ANGELOVA D S, SEMERDJIEV Tz A, JILKOV V P, et al. Application of a Monte Carlo method for tracking maneuvering target in clutter [J]. Mathematics and Computers in Simulation, 2001, 55(1/2/3):15-23.
- [8] KARLSSON R, BERGMAN N. Auxiliary particle filters for tracking a maneuvering target [C]//IEEE Proceedings of the 39th Conference on Decision and Control, Sydney, 2000, 4:3891-3895.
- [9] 李景熹,王树宗,王航宇. 杂波环境下机动目标跟踪算法研究[J]. 海军工程大学学报,2007,19(3):81-85.
- [10] 闫文利,王建刚,柳毅. 多模型粒子滤波在机动目标跟踪中的应用[J]. 电光与控制,2012,19(1):18-21,73.
- [11] 龚亚信,杨宏文,胡卫东,等. 基于多模粒子滤波的机动弱目标检测前跟踪[J]. 电子与信息学报,2008,30(4):941-944.
- [12] RISTIC B, ARULAMPALAM S, GORDON N. Beyond the Kalman filter; Particle filters for tracking application [M]. Boston-London: Artech House, 2004:241-247.
- [13] PITT M K, SHEPHARD N. Filtering via simulation: Auxiliary particle filters [J]. Journal of the American Statistical Association, 1999, 94(446):590-599.