

## 基于 FPGA 的视频图像实时几何畸变校正

郑永瑞<sup>1,2</sup>, 李洁<sup>1</sup>, 刘晓宏<sup>1</sup>, 林秋华<sup>2</sup>

(1. 中国航空工业集团公司洛阳电光设备研究所, 河南 洛阳 471009;

2. 大连理工大学信息与通信工程学院, 辽宁 大连 116024)

**摘要:** 图像几何畸变在大视场光学系统中普遍存在, 对于高畸变率光学系统以及高分辨率图像的实时几何畸变校正已成为一个技术难点。分析了现有硬件实现架构的不足, 提出了一种按照图像数据的奇偶像素以及奇偶行非线性缓冲的数据存取结构, 利用提出的结构以及双线性插值算法实时实现了视频图像的几何校正和灰度校正。实验结果表明, 该方法用较少的存储器资源, 方便地实现了较复杂的图像插值算法, 达到了对高畸变率、高分辨率图像实时去畸变且处理延时小的目的。

**关键词:** 光学系统; 几何畸变; 畸变校正; 双线性插值; FPGA

**中图分类号:** V271.4      **文献标志码:** A      **文章编号:** 1671-637X(2013)06-0075-04

## FPGA Based Real-Time Geometric Distortion Correction for Video Images

ZHENG Yongrui<sup>1,2</sup>, LI Jie<sup>1</sup>, LIU Xiaohong<sup>1</sup>, LIN Qiuhua<sup>2</sup>

(1. Luoyang Institute of Electro-Optical Equipment, Luoyang 471009, China;

2. School of Information and Communication Engineering, Dalian University of Technology, Dalian 116024, China)

**Abstract:** The images generated by large-FOV optical equipment usually have geometric distortion. It is difficult to implement real-time correction of the geometric distortion for images with high resolution and serious distortion on hardware platforms. After analyzing the problems of the existing serial and parallel algorithms, we proposed a structure of buffer in which both odd and even pixels in the odd and even lines of the images were buffered separately. Bilinear interpolation algorithm was used together with the proposed structure for implement geometric correction and gray grade correction of the images. The experiments results showed that the proposed structure may realize gray interpolation algorithm easily with less resources, and implement real-time distortion correction with a shorter delay.

**Key words:** optical system; geometric distortion; distortion correction; bilinear interpolation; FPGA

### 0 概述

在大视场光学系统中通常存在不同程度的非线性几何畸变, 畸变的存在导致在成像或者投影过程中理想物体的形状改变及局部缩放。畸变较大的图像在特征抽取、模式识别、投影显示等实时应用场合将带来严重的误差, 因此, 图像的畸变校正一般作为图像处理之前的预处理算法, 而基于 FPGA 的图像畸变校正可以满足高实时性要求场合的视频畸变校正处理。

传统的 FPGA 实时畸变校正硬件架构采用乒乓操

作线性缓冲输入图像, 查找表驻留于 ROM 存储器等操作方式。这使得传统的畸变校正方法仅适用于图像分辨率较低、灰度校正采用低阶插值算法、畸变情况简单等应用场合, 且输出延时较大, 而对于高分辨率、高帧率、非共轴光学系统等畸变情况复杂的应用场合则不再适用。本文就畸变校正算法的原理分析潜在的并行处理机制, 针对大视场、非共轴等畸变特性较复杂的光学系统以及高分辨率图像, 提出一种高效的图像缓冲架构, 高实时、低延迟地实现较复杂的图像插值算法。

### 1 几何畸变校正原理

几何畸变主要表现在图像中像素点发生位移, 以

及由此造成图像中物体局部放大或者挤压变形。几何畸变校正从图像处理的角度而言就是对一幅退化图像的恢复过程。几何畸变校正的过程为:在畸变图像和参考图像之间选择相应的特征点作为控制点,利用几何校正模型建立待畸变图像和参考图像之间的映射关系,并利用映射点及映射点周围的一些像素点完成图像的灰度校正。在几何校正阶段,人们利用特征控制点,采用多项式模型(Polynomial methods)或者MQ模型(Multiquadric Functions)<sup>[1]</sup>得到畸变图像到参考图像的索引坐标以及校正参数,索引关系如图1所示。按照校正图像像素的输出顺序,将索引坐标和校正参数线性存储构成一个查找表。受非共轴、视场大小、焦距等因素影响,光学系统的几何畸变较严重<sup>[2]</sup>,会出现不对称的桶形失真,甚至旋转等特性,这使得按照索引关系的对称性对查找表进行分区变得不太可能。

如图1所示,假设经过几何校正图像上的像素点 $B$ 与畸变图像上像素点 $A$ 对应,由于点 $A$ 不是整像素点,它的灰度值与其周围像素点的灰度值有关。在最近邻插值算法中取点 $A$ 最近的像素点 $p_6$ 的灰度值作为 $B$ 点的灰度值。而双线性插值算法取 $A$ 点周围的4个像素点( $p_6, p_7, p_{10}, p_{11}$ ),双三次插值<sup>[3]</sup>算法则需要取 $A$ 点邻近的16个像素点,即( $p_1 \sim p_{16}$ )的灰度值来估计 $B$ 点的灰度值。由于考虑了待插值点更大邻域内的像素点的相关性,双线性插值算法的效果优于最邻近插值算法,双三次插值算法相较其他两种算法得到的图像更加平滑。但是随着算法的空间复杂度的增加,输出一个校正后的像素值需要读取的像素增多,图像缓冲结构的硬件设计难度也逐步增加。

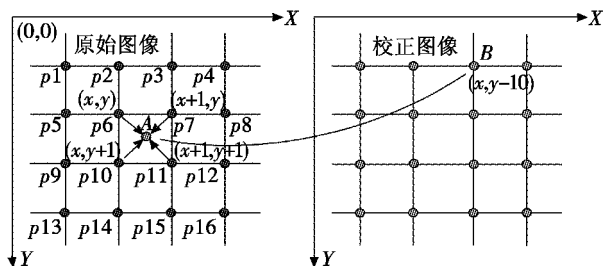


图1 几何畸变校正示意图

Fig. 1 Scheme of distortion correction

## 2 传统的畸变校正实现架构

### 2.1 传统方法

如图2所示,在传统的畸变校正算法硬件实现架构中,校正图像索引查找表存储在ROM芯片中。通过访问查找表,串行读取RAM中畸变图像,计算输出校正图像。对于分辨率为 $1280 \times 1024$ 、60 Hz的视频图

像,像素时钟将达到108 MHz,ROM芯片的访问周期较长,其工作频率无法满足实时视频的要求,需要采用高速的查找表缓冲器件,例如DDR2, QDR等。

其次,在该架构中采用两片RAM芯片作为图像输入,乒乓缓冲操作。乒乓缓冲扩展吞吐量的同时增加图像算法输出的延时,实时性低。且每个时钟只能读取1个像素值,对于双线性插值等高阶算法,输出1个校正点像素需要读取4个或者更多像素,线性图像缓冲结构难以保证算法的实时性。就资源消耗而言,以 $1280 \times 1024$ 分辨率8位的灰度图像为例,通用畸变校正算法架构将需要4片10 Mb的RAM存储器,而选用昂贵的大容量高速静态RAM芯片将极大地增加工程成本。

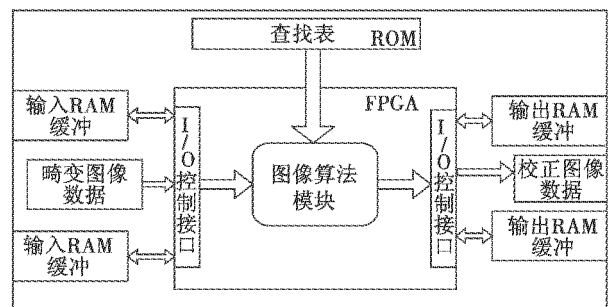


图2 通用畸变校正算法架构

Fig. 2 General distortion correction structure

### 2.2 改进的方法

图3所示为改进畸变校正算法实现架构<sup>[4]</sup>。

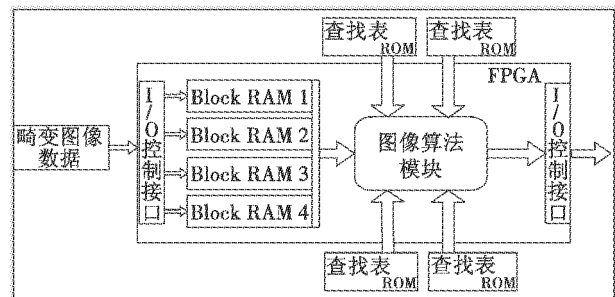


图3 改进的畸变校正算法架构

Fig. 3 Improved distortion correction structure

根据光线通过光学系统中心不发生畸变的特性,将输入图像按照由上至下,由左至右分成4块分别存储到FPGA内部的块RAM1~4中。然后,根据每个图像块查找表不重叠的特性,图像去畸变算法在RAM1、RAM2与RAM3、RAM4中乒乓操作输出校正后图像。该架构相比传统方法降低了存储器资源,一定程度上并行计算,缩短了算法输出延时。就资源消耗而言,以 $1280 \times 1024$ 分辨率8位的灰度图像为例,该架构将需要10 Mb的Block RAM资源,这对于中低端的FPGA而言是无法满足的,特别是对于畸变情况比较复杂非共轴、大视场光学系统产生的畸变特性不对称的高分辨率图像,该畸变校正算法硬件架构不再适用。最

后,该架构相对传统架构增加了外部ROM的数量,且ROM芯片的工作频率将成为系统工作频率的瓶颈。对于双线性插值以及双三次插值等每个时钟需要提供多个校正参数的算法,ROM芯片的数据位宽很难满足应用要求。

### 3 实时畸变校正 FPGA 实现方法

#### 3.1 架构设计

以双线性插值算法为例,本文提出的实时畸变校正FPGA实现架构如图4所示。

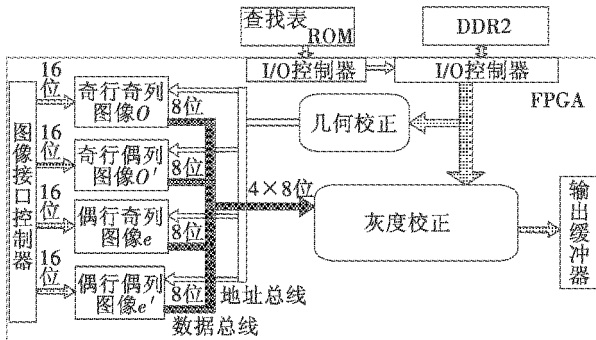


图4 图像实时畸变校正系统框图

Fig.4 Real-time image distortion correction structure

4个独立的图像缓冲中: $O$ 和 $O'$ 分别存储奇数行图像的奇数像素和偶数像素; $e$ 和 $e'$ 分别存储偶数行图像的奇数像素和偶数像素。这4个独立缓冲只缓冲有限的图像,可以完成同时读写一幅图像中的4个像素,并进行环形缓冲。查找表固化于ROM芯片,工作开始时缓冲到DDR2芯片。那么,几何校正单元每个时钟可读取一个像素的索引坐标和校正参数,灰度校正单元每个时钟能读取4个或者更多的灰度校正的像素值。输出图像缓冲用于延迟图像的输出时间,满足显示器的时序要求。详细功能描述见3.2节。

#### 3.2 模块设计

1) 查找表模块。每个待校正像素的索引坐标以及插值算法的参数构成查找表固化在ROM芯片中。由于ROM芯片数据总线位宽较窄,制约了查找表参数较多的情形,而访问周期较长制约了系统工作频率的提高。选用DDR2芯片作为查找表的缓冲存储器,在FPGA上电后,状态机将ROM中的查找表拷贝到DDR2芯片中。算法工作时,顺序读取查找表,每个像素时钟得到一个待校正像素的索引地址。

2) 图像数据缓冲模块。双线性插值算法中需读取相邻两行的4个像素,双三次插值算法中需要在连续的4行分别读取4个像素才能完成计算。为了并行访问畸变图像中的像素值,不仅把奇数行图像和偶数行图像分开存储,而且同一行内奇数像素和偶数像素

也分开存储。在FPGA中有丰富的块RAM资源,可以订制合适容量的双端口存储器。以8位灰度值分辨率为 $1280 \times 1024$ 的图像为例,具体定制的模式如图4所示。每个定制的双端口存储器输入端口为16位,输出8位,每次输入2个像素值,按照图像的奇偶行奇偶列分别存储,有效地降低存储器的写访问频率,同时能够一个时钟读取4个像素,完成双线性插值算法。

3) 几何校正模块。以 $1280 \times 1024$ 分辨率的图像的双线性插值算法为例,几何校正模块完成索引地址到双端口存储器物理地址计算,同时送给4个双端口图像缓冲器读取4个像素的灰度值。其中的关键点在于,4个地址计算完成后需要根据奇偶行以及奇偶像素,分别送给相应缓冲存储器,输出的像素也要做相应的切换。

4) 灰度校正模块。该模块选择满足性能要求的图像插值算法,例如双线性,双三次插值算法等。对于双线性插值算法,将完成8次乘法,5次加法运算;对于双三次插值算法将需要20次乘法,15次加法运算。在本设计中实现的是双线性插值算法。

#### 3.3 灰度校正算法实现

灰度校正也叫图像重采样,如图5所示,假设经过几何校正,图像上的像素点 $c$ 与原始图像上像素点 $d$ 相对应。由于点 $d$ 不是整像素点,根据双线性的方法,它的灰度值与其四周的像素点的灰度值的关系如图5所示。

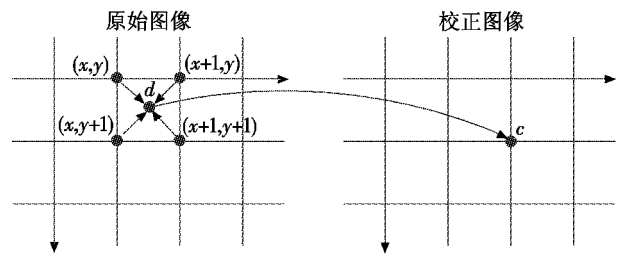


图5 双线性插值示意图

Fig.5 Bilinear interpolation

设 $d$ 点的坐标为 $(x_d, y_d)$ , $x_d$ 和 $y_d$ 大部分情况下都不是整数。原始图像中,点 $d$ 周围的4个像素点距离 $d$ 越近,对点 $d$ 的灰度值权重越大。双线性插值的方法定义为

$$f(x_d, y_d) = (x+1-x_d)(y+1-y_d)f(x, y) + (x+1-x_d)(y_d-y)f(x, y+1) + (x_d-x)(y+1-y_d)f(x+1, y) + (x_d-x)(y_d-y)f(x+1, y+1) \quad (1)$$

令 $\delta x = x_d - x, \delta y = y_d - y$ ,且 $0 \leq \delta x \leq 1, 0 \leq \delta y \leq 1$ ,由式(1)可知

$$f(x_d, y_d) = (1-\delta x)(1-\delta y) \cdot f(x, y) + (1-\delta x)\delta y \cdot f(x, y+1) + \delta x(1-\delta y) \cdot f(x+1, y) + \delta x\delta y \cdot f(x+1, y+1) \quad (2)$$

在式(2)中可看到相类似的结构,每一项都是2个8位的正小数与1个8位灰度值的像素乘法,避免了负数变成补码的运算过程,且整个公式中只包含4次乘法和3次加法运算。具体实现方法为:第1步,8位的小数  $\delta y$ ,以及  $1 - \delta y$  分别与8位的灰度数据相乘,得到4个不损失数据精度的16位宽度的运算结果;第2步,8位的小数  $\delta x$ ,以及  $1 - \delta x$  分别与上一步4个16位位宽的运算结果相乘,得到24位的运算结果;第3步,对4个24位运算结果分两步求和;第4步,取上一步24位运算结果的高8位输出。FPGA芯片中包含的大量的高效乘法器可以满足以上乘法运算的宽度和精度的要求,利用DSP48E实现的灰度插值模块的RTL电路如图6所示。

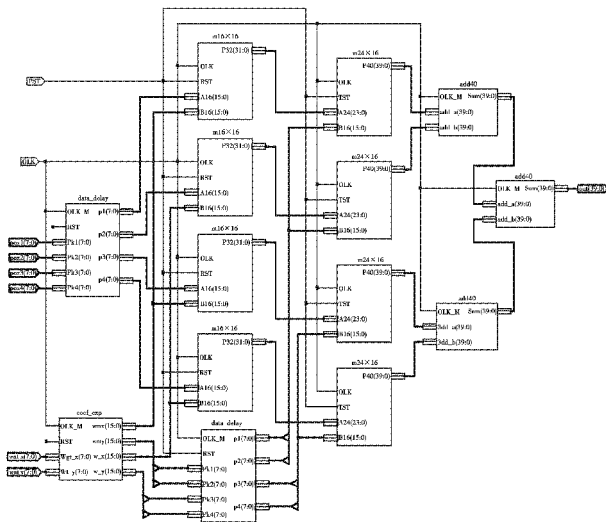


图6 双线性插值RTL电路图

Fig. 6 RTL diagram of bilinear interpolation

#### 4 实验结果

在本系统中,几何畸变校正算法采用XILINX公司XC5VFX130T芯片实现,DDR2芯片采用WHITE的W3H32M72E芯片,容量为256 MB。实时图像的帧频为60 Hz,分辨率为  $1280 \times 1024 \times 8$  bit,考虑到畸变的最大行偏差,每个图像缓冲存储器的容量为20 kB,即4个图像缓冲存储器共缓冲64行图像,几何校正效果如图7所示,速度和资源消耗如表1所示。相比较以往的几何畸变实现架构,本文提出的方法仅用相当于

改进方法四分之一的RAM资源,图像输出延时仅为64行图像,效果和速度满足实时视频的要求。

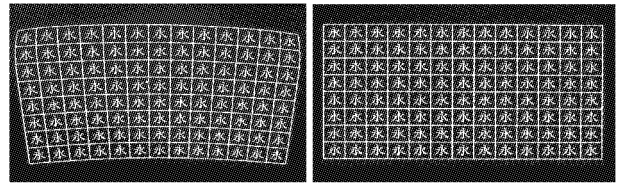


图7 畸变图像与校正图像比较

Fig. 7 Contrast of a distorted image and a corrected image

表1 算法性能比较

Table 1 Performance comparison of traditional and proposed algorithms

	传统方法	改进方法	本文方法
RAM/MB	2.5	1.25	0.078125
DSP48E	16	16	10
帧率/fps	12.5	50	60
输出延时/帧	1	0.5	0.0625

#### 5 结语

针对几何畸变校正,每个像素的输出都需要查表,在畸变图像中选取相应的点完成灰度插值。为了实现高畸变率、高分辨率的视频图像低延迟、高实时性几何畸变校正,本文提出了根据畸变最大偏差图像分奇偶行奇偶列缓冲的机制,并在该架构上实现了双线性插值算法。实验结果表明,本文实现的硬件架构以及畸变校正算法对大视场光学显示设备的畸变具有良好的校正效果,并且保证了畸变校正的准确性和实时性,具有广泛的工程应用价值。

#### 参考文献

- [1] 张蔚,李恩普,陈建明. 大视场光学系统畸变曲线拟合[J]. 电光与控制,2004,11(4):57-59.
- [2] 马广彬,章文毅,陈甫. 图像几何畸变精校正研究[J]. 计算机工程与应用,2007,43(9):45-48.
- [3] GONZALEZ R C, WOODS R E. Digital image process [M]. New Jersey:Prentice Hall, 2007.
- [4] ZHENG H, LI J. Real-time correction of distortion image based on FPGA[C]//International Conference on Intelligent Computing and Integrated System, 2010:167-170.