

信号与信息处理

基于FPGA的DDS函数信号设计

李 帅 蒲金龙

(中国电子科技集团公司光电研究院,天津 300308)

摘 要 直接数字合成(DDS, direct digital synthesizer)是一种把一系列数字信号通过D/A转换器转换成模拟信号的数字合成技术。DDS函数信号设计由相位累加器、波形存储器、D/A转换器和低通滤波器构成。FPGA完成相位累加和波形存储器设计,输出数字序列,经过D/A转换器和低通滤波后,产生模拟信号。使用示波器显示验证,将波形频率上限为5 KHz的单片机电路提升为20 KHz,并提高信号精度。本方案进行了大量实验验证,可以广泛应用于可编程片上系统。

关键词 FPGA; DDS; 信号产生; 提高精度

中图分类号: TN911.72

文献标识码: A

文章编号: 1673-1255(2017)-03-0049-05

Direct Digital Synthesis Function Signal Design Based on Field-programmable Gate Array

LI Shuai, PU Jin-long

(Academy of Opto-Electronics, China Electronics Technology Group Corporation (AOE CETC), Tianjin 300308, China)

Abstract: Direct digital synthesis (DDS) is a digital synthesis technology that converts a series of digital signals to analog signals via digital to analog (D/A) converters. DDS function signal designing system consists of a phase accumulator, a waveform memory, a D/A converter and a low-pass filter. The design of phase accumulation and waveform memory is implemented by field-programmable gate array (FPGA), digital sequence is output, and the analog signals are generated via D/A converters and low-pass filtering. Using the oscilloscope to verify the waveform, the 5 KHz maximum waveform frequency of the single-chip circuit is enhanced to 20 KHz and the signal accuracy is improved. The scheme is verified by experiments and can be widely used in programmable systems.

Key words: field-programmable gate array (FPGA); direct digital synthesis (DDS); signal production; enhance-ment the accuracy of signal

在各行各业的应用中,信号源扮演着极为重要的作用。但信号源具有许多不同的类型,不同类型的信号源在功能和特性上各不相同,分别适用于许多不同的应用。信号源中采用DDS技术在当前的测试测量行业已经逐渐称为一种主流的做法。

DDS有如下优点:频率分辨率高,可达 N 个频点(N 为相位累加器位数);频率切换速度快,可达微秒量级;频率切换时相位连续;输出相位噪声低,对参考频率源的相位噪声有改善作用;全数字化实

现,便于集成,体积小,质量轻。

目前实现信号发生设计的方案有DDS芯片方案和基于DDS原理进行程序实现的方案。DDS芯片是各个芯片生产商将DDS实现方法集成到一块芯片上,将波形控制字和频率控制字发送给DDS芯片即可产生相应波形。基于DDS原理,采用FPGA程序可以实现简易的DDS函数信号发生器。

采用FPGA程序实现DDS函数信号发生器的方案可以应用于各种板级嵌入式测试测量装置中。

波形控制程序与应用程序进行融合,使用更加方便,应用前景更加广泛。

1 原理分析

1.1 DDS实现算法

可编程片上系统使用时钟维持系统运行,文章以正弦波为例,波形频率可以通过时钟频率获得。相位描述信号波形变化的度量,以角度为单位,当信号波形周期变化时,循环一周为 360° (2π 弧度,即 2π rad)。若相位累计器的宽度为 N 位,则 2^N 就相当于 2π rad。

$$\text{故 DDS 公式为 } f_0 = \frac{\Delta\varphi_f}{2^N} f_c \quad (1)$$

其中,时钟频率为 f_c ;输出频率为 f_0 ; $\Delta\varphi_f$ 表示相位增量。

N 位中的最低有效位相当于 $\frac{2\pi}{2^N}$ rad,即最小的相位增量, $\Delta\varphi_f$ 对应的相位为 $\Delta\varphi_f \times \frac{2\pi}{2^N}$ rad,完成一个周期的正弦波输出需要 $\frac{2\pi}{\Delta\varphi_f \times \frac{2\pi}{2^N}}$ 个参考时钟周期。所以,输出正弦波的周期为: $T_0 = \frac{2^N}{\Delta\varphi_f} T_c$,

相应的输出正弦波频率为: $f_0 = \frac{\Delta\varphi_f}{2^N} f_c$,在一定的时钟频率 f_c 下,相位增量 $\Delta\varphi_f$ 决定了合成信号的频率,所以, $\Delta\varphi_f$ 被称为频率控制字,习惯用 K 表示。因此合成信号的频率为: $f_0 = \frac{K}{2^N} f_c$ 。

当 $K=1$ 时,DDS输出最低频率(即频率分辨率)为: $\frac{f_c}{2^N}$ 。

DDS最大输出频率取决于Nyquist采样定理,即 $\frac{f_c}{2}$,也就是说 K 的最大值为 2^{N-1} 。

要改变DDS的输出频率,只要改变频率控制字 K 即可。

1.2 DDS实现原理

虽然正弦波的幅度不是线性的,但是它的相位却是线性增加的。相位累加器用于将频率控制字转换为相位量化序列,量化序列从波形存储器获得

数字波形序列。波形序列经过D/A转换器、低通滤波器后完成信号输出。DDS实现原理示意图如图1所示。

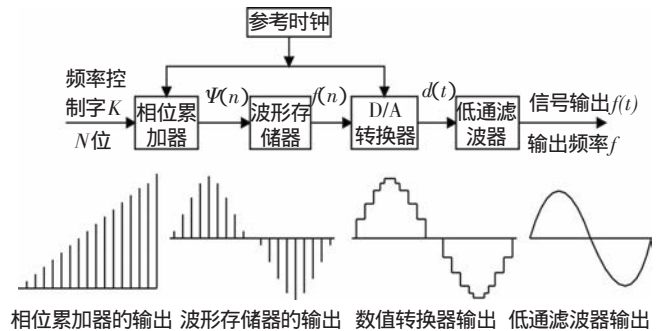


图1 DDS原理框图

1.2.1 相位累加器

相位累加器由 N 位加法器和 N 位寄存器组成。原理如图2所示。

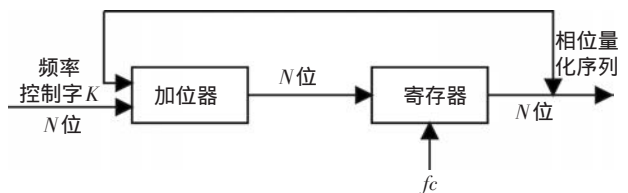


图2 相位累加器原理

相位累加器的作用:在时钟的作用下,进行相位累加,当相位累加器累加满量时产生一次溢出,完成一个周期性的动作。

1.2.2 波形存储器

波形存储器的作用是将需要产生的波形进行相位-幅值转换,如图3所示。



图3 波形存储器

实现原理:把 $0^\circ \sim 360^\circ$ 的正弦波、三角波和方波(以下选择正弦波作为说明)角度离散成具有 2^N 个样值的序列进行存储。由相位累加器生成的 N 位相位量化序列波形选择地址,地址选择出 D 位正弦

幅度量化序列,此序列为需要产生波形的数字量。

1.3 数/模转换器

从波形存储器中选择出幅度量化序列之后,需要使用数模转换器 D/A 将已经合成的正弦波的数字量转换成模拟量,完成波形模拟信号的输出。此处 D/A 转换器称为“波形转换 DAC”。D/A 转换器原理如图 4 所示。

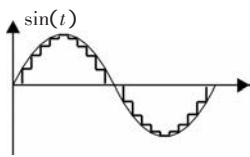


图 4 D/A 转换原理图

1.4 信号幅度控制

由程序产生固定二进制序列,经过 D/A 转换器之后可以产生一个固定的模拟电压量,此电压作为“波形转换 DAC”的参考电压,可以实现波形幅度程序控制,此处的 D/A 转换器称为“幅度控制 DAC”。

1.5 低通滤波器

由量化序列经 D/A 转换之后产生的波形呈阶梯状,此阶梯为正弦波中的高频成分,采用低通滤波器可以滤除阶梯波形,使波形变成光滑的正弦波,滤波原理如图 5 所示。

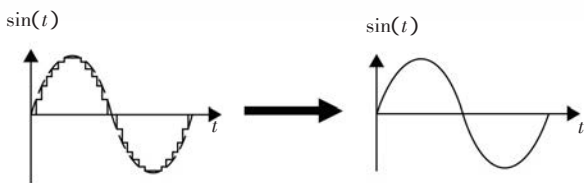


图 5 低通滤波原理图

2 系统设计

DDS 信号发生器由控制模块和信号产生模块组成,控制模块产生频率控制字通过串口传递给信号产生模块,信号产生模块完成波形的产生,系统框图如图 6 所示。

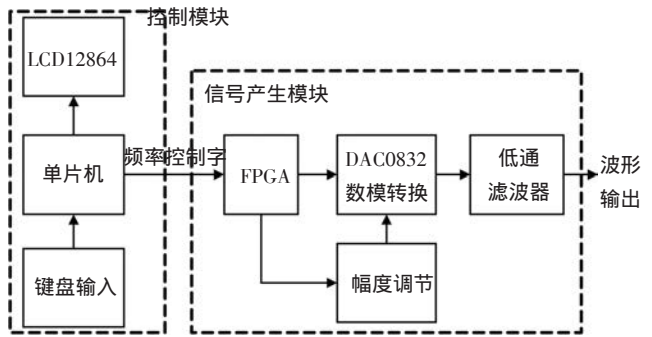


图 6 系统框图

2.1 控制模块

控制模块由单片机、键盘和 LCD12864 组成。单片机接收键盘输入频率、波形选择和幅度三种参数,液晶显示器作为用户界面显示当前输出信号的波形、幅度、频率等参数。

2.1.1 硬件电路

4×4 键盘与单片机 P1 口相接, LCD12864 与 P0 口连接, P2.0(TXD)和 P2.1(RXD)完成与 FPGA 的串口通信,单片机控制电路如图 7 所示。

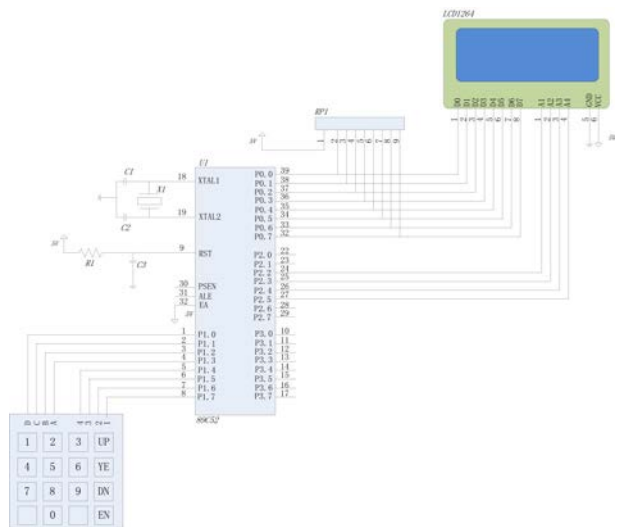


图 7 单片机控制电路

2.1.2 软件设计

用户界面主菜单分为三个选项:波形选择、频率调节和幅度调节。通过键盘的上下键和确认键进行选择并分别进入不同菜单。液晶显示器实时显示波形信息。单片机软件流程如图 8 所示。

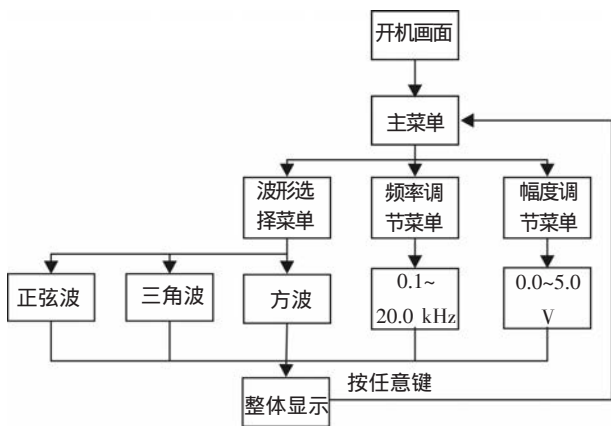


图8 显示菜单框图

2.2 信号产生模块

FPGA实现DDS函数信号数字量的产生,经过D/A转换将数字量波形转换为模拟量,低通滤波器将高频阶梯信号滤除后输出平滑的信号。

2.2.1 硬件电路

FPGA与两片D/A转换芯片相连,D/A转换器选用DAC0832芯片。设计简易RC低通滤波器对波形滤波,RC低通滤波器电路简单易行。因本次设计只是保留低频波形,所以,设计100 kHz低通滤波器即可满足需求。RC低通滤波电路如图9所示。

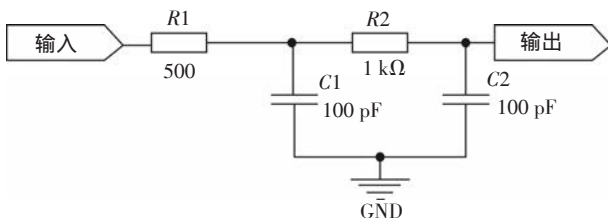


图9 100 kHz低通滤波器

2.2.2 软件设计

在Quartus II软件环境下进行对FPGA的编程与仿真,编程语言为VHDL,通过VHDL语言可以生成功能模块,模块管脚与芯片管脚一一对应。

软件部分需要完成频率控制字的累加与读取、波形数据ROM表的生成和波形选择程序。

2.2.2.1 频率控制字

参考AD9850相位累加的方法,将控制字的位

数提高,可获得精确的步进频率信号。将控制字乘以某一个数然后送给相位累加模块,相位累加器是由一个加法器和一个寄存器组成,在ROM中只存放了1/4的波形数据,可以提高频率的上限。频率控制字的最高两位用来翻转信号,完成完整信号的生成。每一个时钟信号相位寄存器增加 M 长度,相位寄存器将加法器在上一个时钟作用后所产生的新相位数据反馈到加法器的输入端,用于加法器在下一个时钟的作用下继续与频率控制字相加。同时相位寄存器的输出与相位控制字相加,然后输入到波形查询表地址上,相位累加器在参考时钟的作用下,进行线性相位相加,当相位累加器加满的时候就会产生一次溢出,完成一个周期性动作,这个周期就是DDS合成信号的一个周期,相位累加器的溢出频率就是DDS输出信号的频率。相位累加器VHDL模块如图10所示。

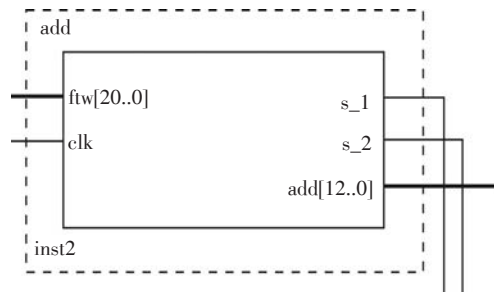


图10 相位累加

图10中ftw为输入频率控制字,ack为输入使能,s_1、s_2为1/4周期计数输出管脚,addr为波形ROM地址。

2.2.2.2 波形ROM表

假设波形频率范围要求为100 Hz~20 kHz,步进100 Hz。为保证在一个周期内需要有至少32个采样点才能使输出波形不失真,所以波形量化后点采样点应不少于 $(20\ 000/100) \times 32 = 6\ 400$ 个,在此选取8 192个。由于在波形表中储存1/4周期的采样点,故ROM表为11条地址总线,8位数据宽度。

正弦波、三角波和方波的ROM表在Quartus II软件环境下生成。Quartus II软件加载由matlab软件生成mif文件到FPGA片内LMP_ROM中,实现波形的存储。LMP_ROM设置页面如图11所示,图12为片内生成的3种波形的ROM程序块。

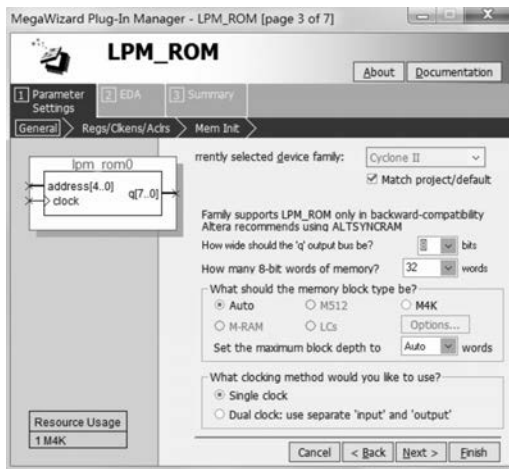


图 11 ROM的参数选择界面

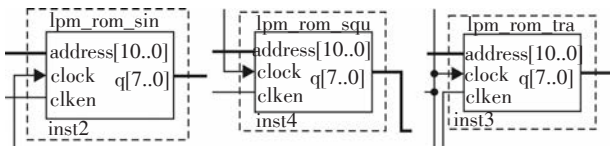


图 12 3个程序块存放3种波形数据

2.2.2.3 波形选择程序

通过波形选择管脚 sel0 ~ sel2 控制 3 个 ROM 单元时钟引脚,进行波形选择,被选择的 ROM 输出对应数据,未被选择的 ROM 时钟锁存,输出所需波形的数字序列,波形选择模块如图 13 所示。

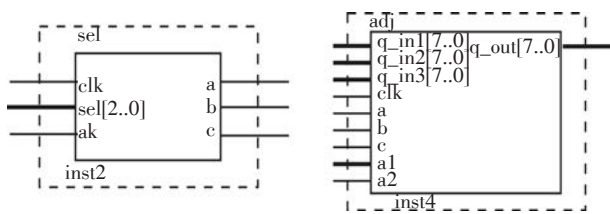


图 13 波形选择模块

3 测试结果

通过键盘设置波形类型、频率和幅度三个参数,在液晶 12 864 实时显示当前命令及波形信息,

具有较强的可操作性。

将波形输出到示波器上进行测试,结果如下:

(1)可以产生正弦波、方波、三角波三种周期性波形的功能,失真度很小;

(2)输出波形的频率范围为 10 Hz~20 kHz,并且频率步进间隔为 10 Hz,频率精度高;

(3)输出波形幅度范围 0~5 V (峰-峰值),可按步进 0.1 V (峰-峰值)调整。可以比较准确的实现调节幅度的能力,但会略微引入干扰。

4 结论

本设计采用 FPGA 程序实现 DDS 函数信号发生器,信号输出稳定、精度高、幅度可调,频率范围大于单片电路。相比于 DDS 芯片方案,更适合嵌入板级系统中。此方案可行有效,可以应用于当前的测试测量行业电路设计中。

参考文献

- [1] 林占江. 电子测量技术[M]. 2版. 北京:电子工业出版社,2007.
- [2] 何桥,段清明,邱春玲. 单片机原理及应用[M]. 北京:中国铁道出版社,2009.
- [3] 徐丹旻,张晓红,王勇. 任意波形发生器 ROM 查找表的设计[J]. 电子技术,2008(11):172-173.
- [4] 田宝凤. 信号发生器[J]. 仪器科学与电气工程,2011.
- [5] 刘宝军,王中训,钟强,等. 基于FPGA的FFT算法设计与实现[J]. 光电技术应用,2016,31(3):46-49.
- [6] 石科仁,朱长青. 基于改进混合粒子群算法 MPPT 控制研究[J]. 光电技术应用,2016,31(4):37-41.
- [7] 宋庆峰,吕绪良,隋明序,等. 一种基于小波变换的图像增强方法[J]. 光电技术应用,2014,29(6):39-42.
- [8] 党浩淮,赵冬娥. 基于FPGA的多路光电信号采集存储系统设计[J]. 光电技术应用,2014,29(1):61-64.
- [9] 刘万成,唐树威. 基于FPGA实现的IRFPA探测器驱动电路的设计[J]. 光电技术应用,2014,29(1):65-67.
- [10] 邹坚,王超,杨伟庆,等. 基于FPGA的面阵CMOS图像传感器多模式采集系统[J]. 光电技术应用,2015,30(3):49-53.