

·信号与信息处理·

红外图像存储与回放系统的设计

张 华, 张海斌

(中国电子科技集团公司光电研究院, 天津 300308)

摘要:随着红外技术的发展,红外传感器在各领域内广泛应用,常用于监控、安检、目标跟踪等。在一些特殊场合,如无人机获取目标信息,都需要记录整个过程,以备后续进行分析处理,与其他样本进行综合比较,从而获取更多信息。针对上述需求,进行了基于FPGA+DSP架构的红外图像存储与回放系统的设计,同时对存储芯片进行坏块管理,保证存储的可靠性,图像数据通过千兆以太网发送到上位机,完成数据卸载与回放。

关键词:FPGA; DSP; 存储; 红外图像

中图分类号: TN216

文献标识码: A

文章编号: 1673-1255(2017)-02-0032-04

Design of Infrared Image Storage and Playback System

ZHANG Hua, ZHANG Hai-bin

(Academy of Opto-Electronics, China Electronics Technology Group Corporation (AOE CETC), Tianjin 300308, China)

Abstract: With the development of infrared technology, infrared sensors are widely used in various fields such as monitoring, security checking and target tracking. In some special occasions, for example unmanned aerial vehicle (UAV) acquiring target information, the whole process is needed to be record to prepare for the subsequent analysis, treatment and comparison with other samples, so as to get more information. According to above requirements, the infrared image storage and a playback system based on FPGA+DSP architecture are designed. And bad block management for memory chip is performed to ensure the reliability of the memory. Image data is sent to the host computer through Gigabit Ethernet to complete data offload and playback.

Key words: field programmable gate array (FPGA); digital signal processor (DSP); memory; infrared image

红外成像技术广泛应用于民用、军用领域^[1-2],在很多场合需要对获得的视频图像进行存储并处理,鉴于以上需求,采用FPGA+DSP的架构,控制6片32 GB的FLASH读写,实现了存储容量为192 G字节的红外图像存储,该红外传感器输出数据格式为LVDS(低压差分信号),分辨率为256×256,帧频为50 Hz。存储的图像可通过千兆以太网发送到上位机,完成数据的卸载与回放。

1 系统组成

红外图像存储与回放系统由FPGA、DSP、

FLASH阵列等组成。系统组成如图1所示。

采用Xilinx公司的Spartan-6系列FPGA(XC6SLX150),此系列FPGA具备高性能逻辑结构,大规模的逻辑单元,具有极低的静态功耗和动态功耗;采用TI的高性能定点DSP(TMS320C6455),该型号的DSP主频可达1 GHz,具备千兆以太网控制器,以及高速串行RapidIO总线^[3-5];采用Micron MT29F256G08的FLASH芯片,此型号FLASH支持断电续存,具备快速的读写性能及体积小、容量大、可靠性高的特点。

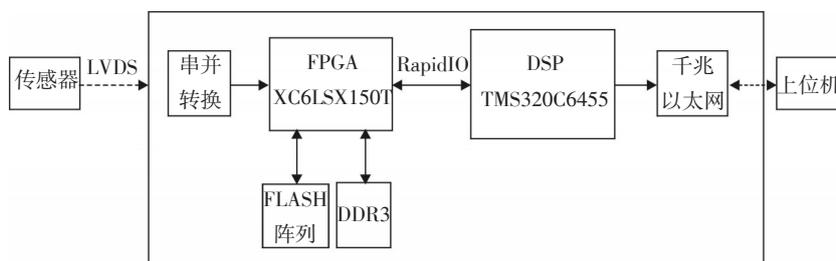


图1 系统组成框图

2 工作原理

红外传感器输出高速 LVDS 图像信号,高速串行信号通过串并转换芯片 DS92LV3222 将数据转换为并行数据进入 FPGA,当检测到图像接口有数据后,FPGA 将图像等数据暂存至存储单元 DDR3 中,再发送给 FLASH 进行存储,同时将数据发送给 DSP 进行分析处理。

存储空间为 192 G 字节,整个存储空间分为 160 G 和 32 G 两部分空间。160 G 空间为上电即存部分,存满后从头覆盖;而 32 G 空间则通过 DSP 指令进行存储,FPGA 把图像数据从 RapidIO 接口发送到 DSP,DSP 经过分析处理后决定是否需要发送特殊数据记录指令让 FPGA 将数据存入 32 G 空间中,每次收到 DSP 相应指令后存储当前时刻前后 150 M 字节内容,32 G 空间存满后从头覆盖,存储内容添加起始标志,便于后续分析处理。数据存储的逻辑流程如图 2 所示。

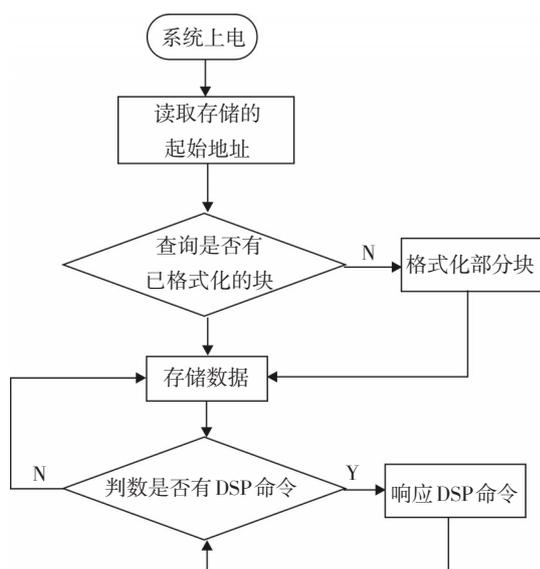


图2 数据存储流程图

上位机利用软件通过与 DSP 相连的千兆以太

网向 DSP 发送控制命令,DSP 再通过 RapidIO 将控制命令发送到 FPGA,FGPA 接收到命令后再执行相应的操作,当 FPGA 收到数据卸载指令后把数据通过 RapidIO 接口发给 DSP,再由 DSP 通过千兆以太网发送到上位机,完成数据卸载,再进行回放显示。

3 数据流通模块的逻辑设计

FPGA 接收到进行存储的图像数据与需要卸载的图像数据都将经由 FPGA 内部逻辑设计的数据流通模块,再对 FLASH 阵列控制模块进行读写等操作。数据流通模块的逻辑框图如图 3 所示。

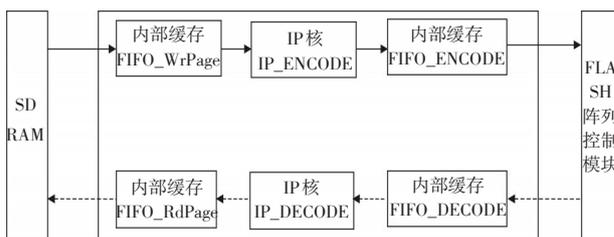


图3 数据流通模块逻辑框图

数据流通模块内的数据流向步骤如下:

(1)按照接口协议,请求 DDR 将数据以整包的大小写入到内部缓存 FIFO_WrPage 中,此 FIFO 存储的数据即为原始图像数据,每个数据包大小为 64x32 bit(256 Byte);

(2)IP_ENCODE 与 IP_DECODE 是 Xilinx 提供的 IP 核^[6-7],用作对数据进行编解码,可以实现校验与纠错。每一个数据包内包含 128 Byte 的原始数据和 7 Byte 的冗余数据,可以实现 7 bit 纠错。由于 NAND FLASH 的工艺特性,每个 Block 在进行读写的时候,不可避免的出现个别 bit 错误,因此必须使用带纠错功能的编解码器才能保证数据的正确性;

(3)从内部缓存 FIFO_WrPage 内取 128 Byte,经过 IP_ENCODE 模块后生成带冗余校验数据的 135 Byte 校验数据包,并将该数据写入内部缓存 FIFO_ENCODE 中;

(4)操作 FLASH 阵列控制模块执行写入功能,将内部缓存 FIFO_ENCODE 内的数据写入到 FLASH 中,即完成存储。

卸载图像与存储图像数据路径刚好是相反:

(1)接收到卸载图像的命令后,从 FLASH 阵列读取数据并存储在内部缓存 FIFO_DECODE 中;

(2)从内部缓存 FIFO_DECODE 内取 135 Byte,经过 IP_DECODE 模块进行解码,得到经过校验与纠错的 128 Byte 原始图像数据,并将该数据写入到 FIFO_RdPage 中;

(3)按照接口协议,请求 DDR 从内部缓存 FIFO_RdPage 内以整包的大小读取数据;

(4)数据通过 RapidIO 接口发给 DSP,DSP 通过千兆以太网发送到上位机,完成数据卸载,利用上位机软件可进行图像的回放显示。

4 FLASH 阵列控制模块的逻辑设计

FPGA 内部逻辑设计的 FLASH 阵列控制模块是产生具体的 FLASH 接口操作时序,实现对 FLASH 的操作^[8]。设计中 6 片 FLASH 的数据接口信号 DQ [7:0]与片选信号是独立的,而其他控制信号均是共用接口。这样在操作 FLASH 时,既可以选择多片并行操作以提高读写速度,也可以通过片选信号对某

一片 FLASH 进行操作。设计中采用的是单片操作模式,即同一时间只对 1 片 FLASH 进行操作。对 FLASH 各操作控制的 FPGA 逻辑时序实现情况如图 4 所示。

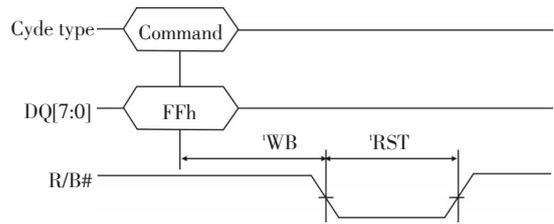


图 4 复位的逻辑实现

(1)复位

每次上电后,首先执行复位操作,对 FLASH 进行复位,确保 FLASH 工作在确定的工作模式下。发送命令“FF”,等待 nRB 信号拉低,即完成此操作。

(2)配置工作模式

每次上电后,在完成复位操作后,执行配置工作模式操作,配置 FLASH 工作在需要的模式下。先写入命令“EF”,再写入地址“01h”,然后依次写入 4 个字节配置数据“05h-00h-00h-00h”,等待 nRB 信号拉低后,即完成操作。如此操作后,将 FLASH 配置在“异步 50 MHz”模式下。配置工作模式的逻辑实现如图 5 所示。

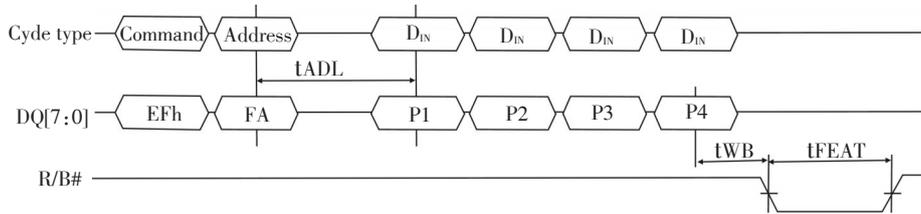


图 5 配置工作模式的逻辑实现

(3)读取 ID

可以通过读取 ID 操作,验证 FLASH 芯片是否符合预期。写入命令“90h”,再写入地址“00h”,然后连续读取 8 个字节数据。针对本设计采用的

FLASH,读取 ID 值应为:

“2Ch-88h-01h-A7h-A9h-00h-00h-00h”。读取 ID 的逻辑实现如图 6 所示。

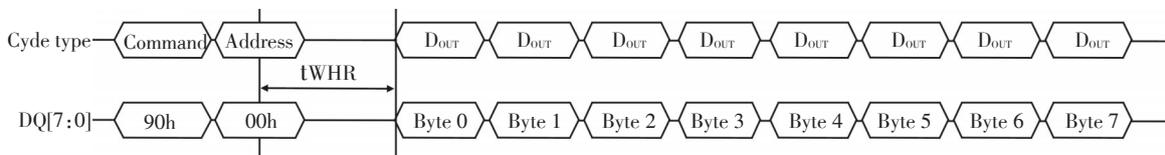


图 6 读取 ID 的逻辑实现

(4) 擦除

NAND FLASH 在进行写入操作前,必须先要进行擦除操作,并且每次擦除必须是1个Block。先写入命令“60h”,再连续写入3个字节要擦除的地址,再写入命令“D0h”,等待寄存器的“RDY”位拉低后,

即表示 FLASH 开始进行 Erase 操作了。

擦除操作等待时间较长,一般为毫秒级,此时可以选择对其他芯片进行各操作。待“RDY”拉高后(1 = Ready)即表示完成擦除操作。擦除的逻辑实现如图7所示。

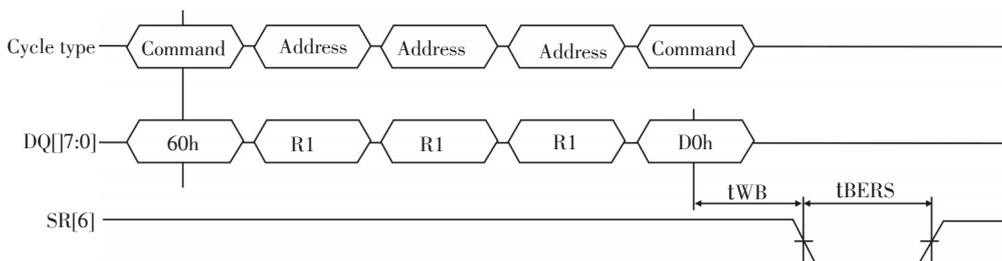


图7 擦除的逻辑实现

擦除操作会影响 FLASH 的寿命,多次的 Erase 操作,可能会导致 Block 出现某个 bit 无法翻转,这也就是所谓的“坏块”。

(5) 写入

写入操作一般是针对页(Page)操作的,也就是要求写入的数据至少达到1个Page容量(8KByte),最多不超过8K + 448Byte。写入操作是先把数据写入的FLASH内部的缓存中,然后再执行编程操作固

化到 FLASH 中,因此如果写入的数据不够1个Page,那就有可能与上一次操作的数据混在一起。

写入命令“80h”,再连续写入5Byte目的Page地址,然后接着写入1个Page的数据。对写入数据需要的总时间没有限制,因此可以在写入途中暂停。最后再写入命令“10h”,等待寄存器的“RDY”拉低(0 = Busy),即开始进行编程固化操作。写入的逻辑实现如图8所示。

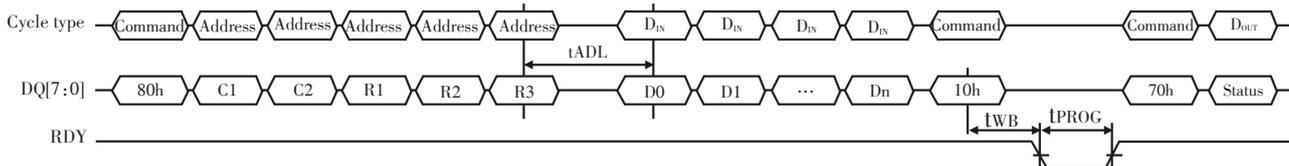


图8 写入的逻辑实现

FLASH 编程固化时间较长,一般为350 μs左右,此时可以选择对其他芯片进行操作。待寄存器“RDY”拉高后(1 = Ready)即表示完成操作。

(6) 读取

读取操作也是针对 Page 进行操作的,每次最多可以读取1个完整Page的数据(8K + 448Byte),也可以根据需求读取一部分,但无法跳到某个字节地址上进行读取。读取的逻辑实现如图9所示。

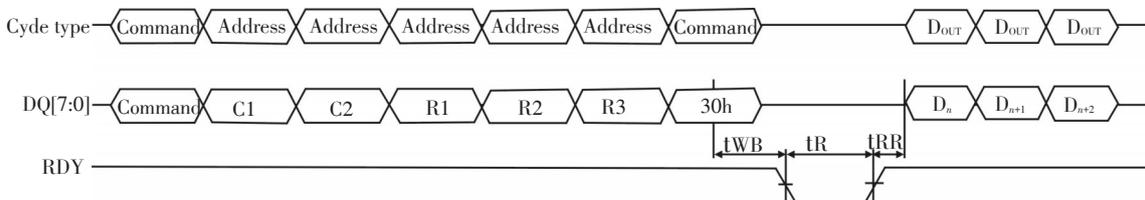


图9 读取的逻辑实现

写入命令“00h”后,再连续写入5字节目的Page地址,最后再写入命令“30 h”,等待寄存器“RDY”拉

低后,FLASH开始读取数据到内部缓存。待寄存器

(下转第53页)

运用分段函数法对误差补偿值数据进行拟合,即每两个补偿点拟合为一线性函数,总共可拟合出17段线性函数,将所有线性函数信息存储在综合信息处理单元中;综合信息处理单元根据探测目标信息的俯仰数值,判断此数值位于哪个角度区间,代入相对应的线性函数,得出当前目标的方位码补偿值和俯仰角补偿值(Δ'_x , Δ'_y),分别控制方位码匹配和快反镜驱动;对于 $0^\circ\sim 0.25^\circ$ 和 $8.75^\circ\sim 9^\circ$ 区间内的目标,可以近似等效为 $0.25^\circ\sim 0.75^\circ$ 和 $8.25^\circ\sim 8.75^\circ$ 区间的线性函数段。标定结束后,将基线调节步长设置为 0.2° 进行全视场激光指向精度的校验。经校验,分段函数法补偿可将激光指向精度控制在 0.5 mrad 以内,能够较好地解决设备动态误差的影响。

5 结论

提出了一种基于视轴平行原理的位置解算检测设备内场标定方法,详细介绍了系统组成和原理,该方法采用模块化设计,便于扩展和升级。本方法已在某型位置解算检测设备调试过程中成功应用。结果表明,该标定方法精度较高、系统布设简便、可操作性强,可快速、精确地实现位置解算检测设备内场标定的目的,有效提高了设备的探测

概率。

参考文献

- [1] 周斌,刘秉琦,张瑜,等.利用CCD实现猫眼目标探测的实验研究[J].光电工程,2011,38(11):35-38.
- [2] 刘志春,袁文,苏震.光电侦察告警技术的装备与发展[J].中国学术期刊文摘,2009(4):7-7.
- [3] 郭劲,姜润强,陈健.直升机载光电对抗情报侦察系统研究[J].光机电信息,2011,28(10):6-14.
- [4] 时光,张海洋,耿仲博,等.大视场激光主动探测系统实验[J].红外与激光工程,2013,42(4):890-894.
- [5] 张玉蝶,柳万胜,罗一涵,钟代均.一种三轴光电跟踪系统指向误差修正的方法[J].光电工程,2014,41(6):51-55.
- [6] 卢科青,王文,陈子辰.点激光测头激光束方向标定[J].光学·精密工程,2010,18(4):880-886.
- [7] 王斌,张林,吴刚,等.一种新型便携式CCD自准直仪图像测量系统研究[J].计算机测量与控制,2014,4:019.
- [8] 张晖,刘静军.激光回波模拟系统[J].光电技术应用,2016,31(1):1-3.
- [9] 程伟宁,孙宏宇.基于AOTF的光学系统设计[J].光电技术应用,2016,31(2):1-4.
- [10] 程伟宁.中长波共孔径光学系统设计[J].光电技术应用,2016,31(3):1-3.

(上接第35页)

“RDY”拉高后即表示FLASH已经准备好全部数据了,此时可以进行读取操作。读取操作一般比较快,最多为 $35\ \mu\text{s}$,一般只有几微秒。

5 结论

采用FPGA+DSP的架构实现了红外图像的存储与回放,该系统存储空间为192 G,通过观察分析回放的数据验证了系统的可靠性,详细介绍了FPGA内部的逻辑设计,该系统适用范围广,无需改变系统硬件,通过内部逻辑的设计即可适用于多种分辨率的红外传感器,运用到多种场合。

参考文献

- [1] 王永仲.现代军用光学技术[M].北京:科学出版社,2009:139-168.
- [2] 吴晗平.红外搜索系统[M].北京:国防工业出版社,2013:157-173.
- [3] 汪安民,张松灿,常春藤.TMS320C6000DSP实用技术与开发案例[M].北京:人民邮电出版社,2018:287-301.
- [4] 张雄伟,陈亮,徐光辉.DSP芯片的原理与开发应用[M].3版.北京:电子工业出版社,2006:12-34.
- [5] 刘向宇.DSP嵌入式常用模块与综合系统设计实例精讲[M].北京:电子工业出版社,2009:204-238.
- [6] FORSBERG H, BJUREUS P, SODERQUIST I, et al. Next generation COTS-commercial IP blocks in avionics [C]// The 23rd Digital Avionics Systems Conference. Geneva, Switzerland.2004:121-132.
- [7] 黄万伟,董永吉,伊鹏,等.Xilinx FPGA应用进阶—通用IP核详解和设计开发[M].北京:电子工业出版社,2014:171-215.
- [8] 李宪强.FPGA项目开发实战讲解[M].北京:中国工信出版社,2015:195-217.