

·信号与信息处理·

基于 MPC8377+JEM971A 以太网设计的故障分析

田晓波

(中国电子科技集团公司光电研究院,天津 300308)

摘要:论述了基于 MPC8377+JEM971A 以太网接口部分电路设计,对该设计在应用中出现的信号传输速度慢的问题进行了测试和分析,逐步查找分析故障原因,对使用中的元器件进行应用测试分析;对硬件电路输出输入可能引起的故障进行测试;利用编写软件进行试验分析;通过对比的手段分析测试印制板走线,逐步排除故障,找出了问题的原因和解决方法,得出正确的设计结论,为设计人员提供了有应用价值的设计建议。

关键词:以太网;CPU;PHY;匹配电阻

中图分类号:TN702

文献标识码:A

文章编号:1673-1255(2017)-01-0040-04

Fault Analysis of Ethernet Design Based on MPC8377 and JEM971A

TIAN Xiao-bo

(Academy of Opto-Electronics, China Electronics Technology Group Corporation (AOE CETC), Tianjin 300308, China)

Abstract: The circuit design of Ethernet's interface based on MPC8377 and JEM971A is described. The design problem of low signal transmission speed in application is tested and analyzed to find and analyze the fault reasons. The components in application is tested and analyzed. The faults from input and output of the hardware circuit are tested. The writing software is used to test and analyze. Printed board circuit is analyzed and tested to shoot the fault through comparing method. The fault reasons and solutions are found to obtain the correct design conclusion, which provides the valuable application design advices to the designers.

Key words: Ethernet; central processing unit (CPU); physical layer (PHY); matching resistance

随着网络的发展,传统的局域网已经难以满足日益增长的网络数据流量和速度的需求,尤其在多个设备共享传输通道的应用上。因此以太网以其廉价的适配器、易安装、速率高等优点被广泛使用,并在众多短距离传输方式中崭露头角,成为当前应用最普遍的局域网技术,它在很多领域已经取代了其他局域网的标准。

10M/100M 以太网口常用的硬件平台包括 MPC8280、MPC8315、MPC8377 等,对基于 MPC8377+JEM971A 的 10M/100M 以太网接口设计及应用中常出现却不易查找的问题进行逐步剖析、测试,得出正确的使用方法。在设计中使用的软件平台为 Vxworks 5.5,

CPLD 开发工具为 ispLEVER6.1。

1 现象描述

以太网与外部通讯是通过 CPU 连接 PHY 再接变压器和接口器件来实现的,文中设计的以太网 CPU 采用的是 Freesca 产的型号为 MPC8377ECVRANGA 器件,PHY 采用的是国产的 JEM971A 器件,基于 MPC8377+JEM971A 的以太网设计方法应用在某科研项目控制设备内部的接口模块 T1 上,控制设备外接两个分机,它通过接口模块 T1 上的两路以太网与两个分机进行信息交换,上传或下载控制设备工作中存储的各种信

息。以太网与分机接口部分框图如图1所示。与分机1连接的以太网口叫A网口,与分机2交换的以太网口叫B网口。设计的以太网数据读取速度不低于8 MB/s。

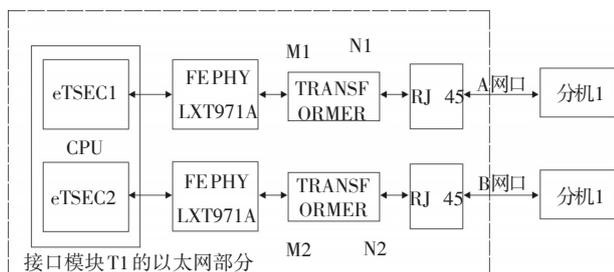


图1 以太网与分机接口部分框图

在控制设备通过接口模块T1与分机1和分机2的交联试验中,使用100 M以太网通信时,出现A网口与分机1通讯异常,而B网口与分机2通讯正常的现象。故障现象是,A网口通讯时速率比较慢,把分机1换成电脑,测出下载1 M数据需要6 s时间,进一步测试,通讯时间更长。

2 分析

2.1 硬件测试

针对上述出现的现象,对以太网电路进行检查、分析和测试,在测试中使用的仪器是500 MHz、4 G/s 高端有源示波器。

(1) 元器件检查

对故障现象进行分析,A、B网口使用同一个CPU,B网口通讯正常,说明CPU能够正常工作,可以先判断CPU芯片无质量问题,再进一步判断PHY器件。

将另一块传输正常的接口模块T2(CPU不同)上的PHY芯片JEM971A与故障接口模块T1上相同芯片位置对换,进行测试,判断是否PHY芯片故障。对换后正常接口模块T2仍然正常,故障接口模块T1以太网口传输慢的问题依然存在,可以确定PHY芯片无质量问题。

(2) 模拟信号测试

采用示波器测试故障模块T1上以太网电路的模拟端信号波形,即从PHY端到变压器再到RJ45连接器的信号质量。分别测试图1中PHY端与变压器(TRANSFORMER)连接处M1、M2端,变压器与RJ45连接处N1、N2的发射和接收信号。通过示波

器测试到的波形图显示信号质量清晰、正常,可以确定,出现的问题不是因为信号质量太差导致。测试模拟信号波形如图2所示。

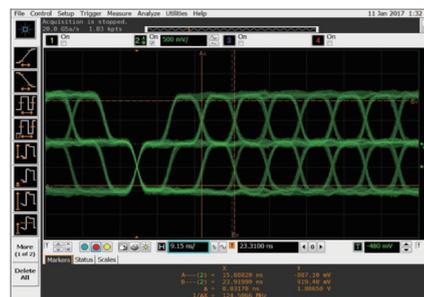


图2 模拟信号波形图

(3) 对比分析

由于故障接口模块T1与正常接口模块T2上使用的CPU芯片不同,PHY相同。因此对不同CPU进行对比分析,确定是否由于CPU芯片特性不同造成。

接口模块T2上应用的CPU为MPC8315,与接口模块T1上的CPU MPC8377芯片的内部结构非常相似,但是两种不同CPU原理图上的网口设计方式存在不同。两种CPU网口设计对比表如表1所示。

表1 两种CPU芯片网口设计对比表

	CPU 端发射信号端 串接电阻值	CPU 配置控制 下拉电阻/kΩ	其他 用法
MPC8377	33 R	1	基本
MPC8315	不接	1	一致

(1)MPC8377芯片端发射信号(TXD0_0, TXD1_0, TXD2_0, TXD3_0)均串接33R电阻,而MPC8315芯片无串接电阻。把MPC8315芯片的串接电阻33R用0R代替,加电测试,网口传输慢的问题依然存在;

(2)MPC8377芯片端发射信号还兼容CPU配置控制(CFG_RESET_SOURCE_0, CFG_RESET_SOURCE_1, CFG_RESET_SOURCE_2, CFG_RESET_SOURCE_3),它们在CPU上电时决定复位控制字是从何处读取,电路默认采用1 kΩ电阻下拉。为了分析判断是否1 kΩ电阻影响发射端TXD驱动能力,把1 kΩ更换为10 kΩ, 50 kΩ与100 kΩ,分别测试,A网口依然存在传输慢的问题。

通过上述对比分析。确认不是因为CPU芯片存在不同设计差异导致的网口通信较慢。

2.2 软件定位

在硬件初步检测之后,进行了软件测试和定位:

(1) 抓包测试

将接口模块 T1 的 A 网口与电脑/交换机相连,编写软件让 T1 的 A 网口发送固定数量的包,电脑/交换机接收端收到包后计数,再将收到的包发回接口模块 T1 的 A 网口,通过计数进行比较。结果显示,接收到的包数少于发送的包数,确定发射通路没问题,问题出在接收通路上。

(2) 丢包分析

查看 PHY WJJEM971A 芯片的数据手册,它通过设置寄存器可实施内部回环测试,如图 3 所示。它支持 10 M/100 M 回环测试。

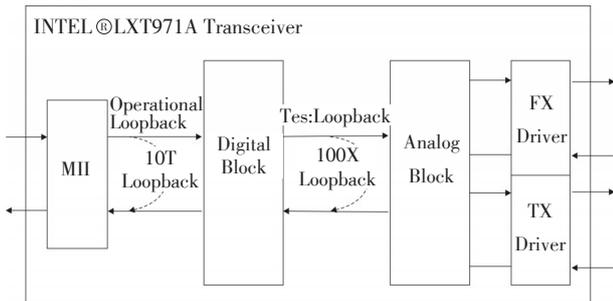


图3 PHY内部实现框图

测试结果显示,PHY 芯片内部回环没有问题,可以判断在外部 PHY 芯片与 CPU 连通时,接收交互导致网络丢包。

通过编写软件,对接口模块 T1 的 PHY 芯片进一步确认,分析发寄存器 26 bit11 位表示 MII Drive Strength,0 为正常百兆驱动,1 为增强型百兆驱动。当设置为 1 时,即将 RXD[3:0],RX_DV, RX_CLK, RX_ER,RX_COL 和 RX_CRS 等接收相关信号置为高驱动能力,此时测试接口模块 T1 的 A 网口和 B 网口。测试结果显示,A 网口通讯恢复正常,B 网口工作仍然正常。用同样方法测试接口模块 T2,以太网网口通讯正常。

通过上述方法验证,丢包问题可以定位,原因是接收相关信号驱动能力不够导致丢包,直接影响接口模块 T1 的 A1 网口正常通信,而且问题出在 PHY 的与 CPU 的连接之间。

对有可能影响接收信号驱动能力的电路印制板布线进行检查分析。

2.3 布线检查分析

由于接口模块 T1 的 B 网口通信正常,因此,首先检查 T1 的 A 网口接收信号在印制的走线分布,来判断是否由于印制板布线的原因影响传输的信号时序。A 网口接收端 RXD0_0, RXD1_0, RXD2_0, RXD3_0, RXCLK_0 布线长度为 4 000 mil 左右,对照 B 网口接收端 RXD0_1, RXD1_1, RXD2_1, RXD3_1, RXCLK_1 布线长度为 2 510 mil 左右,每根信号线过孔均为 2 个,为了确定是否由于长度和过孔等参数影响网口通信,测量采用不同 CPU 平台,相同 PHY 芯片的类似项目网口 PCB 布线,对比结果如表 2 所示。

表2 网口接收走线长度对比

项目	CPU	网口个数	走线长度(MIL)	过孔数
T1	MPC8377	2	(1)DATA:4000,CLK:3811	2
			(2)DATA:2500,CLK:2131	2
F14	MPC8280	2	(1)DATA:4584,CLK:4736	2
			(2)DATA:4791,CLK:4954	2
E12	MPC8280	2	(1)DATA:1977,CLK:2000	2
			(2)DATA:5415,CLK:5400	2

从以上表格可以看出,所有项目每根信号线均为 2 个过孔,F14 与 E12 走线均有超过 4 000 mil,但通讯正常。可以确定 PCB 布线过长不是导致 A 网口通信速率较慢的主要问题。

3 解决问题

由于问题发生在 PHY 的始端到 CPU 末端通路上,首先确认 CPU 末端对接收信号时序要求,如下表 3 所示。

表3 CPU MII接收时序要求

Parameter	Symbol ¹	Min	Typical	Max	Unit
Input low voltage	V _{IL}	-	-	0.7	V
Input high voltage	V _{IH}	1.9	-	-	V
RX_CLK clock period 10 Mbps	t _{MRX}	-	400	-	ns
RX_CLK clock period 100 Mbps	t _{MRX}	-	40	-	ns
RX_CLK duty cycle	t _{MRXH} /t _{MRX}	35	-	65	%
RXD[3,0],RX_DV,RX_ER setup time to RX_CLK	t _{MRDVKH}	10.0	-	-	ns
RXD[3,0],RX_DV,RX_ER hold time to RX_CLK	t _{MRDKH}	10.0	-	-	ns
RX_CLK clock rise time (20%~80%)	t _{MRXR}	1.0	-	4.0	ns
RX_CLK clock fall time (20%~80%)	t _{MRXF}	1.0	-	4.0	ns

从表3中可以看出,CPU的时钟信号上升时间和下降时间有明确规定,在20%~80%分别为1 ns和4 ns。因此分析,基于MPC8377+JEM971A的应用是否对时钟信号的要求比较高。用示波器测试旧版软件接口模块T1的A网口CPU端的接收时钟信号,发现接收时钟有台阶,并且上升时间较缓,波形图如图4所示。B网口接收时钟没有台阶,上升时间较快。更改软件为增强型千兆驱动后,A网口接收时钟也有台阶,但上升时间比未改软件前要快得多。



图4 接口模块T1故障时钟波形

可以确认基于MPC8377+JEM971A的设计,的确对时钟信号和时序有很高的要求。A1网口传输慢也是由于A1网口所匹配的时钟时序不满足要求导致的。因此只要消除更改软件为增强型千兆驱动后的接收时钟台阶,即可保证网络通信稳定。

软件增强更改后,经过硬件调试发现,将A网口接收时钟串接电阻由33R更改为0R,得出接收时钟单调上升,上升时间约1 ns多,与第二路网口接收时钟表现一致,后经软件测试对网络通信进行全面验证,工作均正常,至此接口模块T1的A网口传输信号慢的问题得以解决。波形图如图5所示。



图5 接口T1模块正常时钟波形图

4 结论

在基于MPC8377+JEM971A以太网的设计应用中,内部时钟对时序要求较高,设计千兆时,虽然对时钟没有明确要求,但对外部匹配有较高需求。而其他类似如MPC8280、MPC8315等芯片无论设置千兆还是千兆对时钟均无很高要求。

因此在设计中除了正常的技术要求外,还要注意以下几点:

(1)在软件设计时,需通过PHY芯片设置寄存器增强MII驱动位,设置为1;

(2)在硬件设计中,建议对接收时钟做相应匹配,即在PHY始端与CPU的终端都预留匹配设计;

(3)在印制板布线时,CPU到PHY的数据线和时钟线的走线长度都要尽可能短。

参考文献

- [1] 刘文忠. 传输以太网故障原因分析及防范措施[J]. 内蒙古电力技术, 2015(1S): 63-65.
- [2] 牟涛. 传输设备的以太网业务对接故障分析[J]. 铁道通信信号, 2015, 51(8): 63-65.
- [3] 黄立胜. 以太网故障诊断[J]. 逻辑学研究, 1999(3): 126-130.
- [4] 贾鸿莉, 吴玲. 现场总线技术及其应用[M]. 北京: 化学工业出版社, 2016.
- [5] 程澜, 罗建, 张鹰. 智能化工业以太网故障诊断体系研究[J]. 航空计算技术, 2012, 42(4): 124-126.
- [6] 梁庚. 工业测控系统实时以太网现场总线技术[M]. 北京: 中国电力出版社, 2013.
- [7] 许洪华. 现场总线与工业以太网技术[M]. 北京: 中国工业出版社, 2015.
- [8] 肖维荣, 王谨秋, 宋华振. 开源实时以太网Powerlink详解[M]. 北京: 机械工业出版社.
- [9] 王静霞. FPGA/CPLD应用技术 Verilog语言版[M]. 北京: 电子工业出版社, 2014.
- [10] 王芳. CPLD/FPGA技术应用[M]. 北京: 电子工业出版社, 2011.