

· 电路与控制 ·

## 一种双路图像融合实时处理系统的设计

王培利, 陈 伟

(中国电子科技集团公司光电研究院, 天津 300000)

**摘 要:**提出了一种关于双路图像融合实时处理系统的设计,介绍了融合处理系统的总体架构和系统的功能。对系统的硬件设计和软件设计分别进行了说明,硬件设计对电源设计、采集模块设计和处理模块设计进行了详细阐述;软件部分细致分析了现场可编程门阵列(FPGA)的设计和数字信号处理器(DSP)的设计。最后对处理系统进行了测试,表明该设计满足实时处理的需求。同时,可对系统进行扩展,实现更多路图像的融合处理。

**关键词:**图像融合; FPGA; DSP; 图像处理

中图分类号: TN702

文献标识码: A

文章编号: 1673-1255(2015)-02-0061-05

## Design of Real-time Processing System for Double Channel Image Fusion

WANG Pei-li, CHEN Wei

(Academy of Opto-Electronics, China Electronics Technology Group Corporation (AOE CETC), Tianjin 300000, China)

**Abstract:** The design of a real-time processing system for double channel image fusion is proposed. The structure and function of the fusion processing system are introduced. The designs of software and hardware in the system are described respectively. In hardware design, power supply, acquisition module and processing module design are described in detail. In software design, field-programmable gate array (FPGA) and data signal processor (DSP) design are analyzed in detail. The processing system is tested finally to show that the design can meet the requirements of real time processing. At the same time, the system can be expanded to realize multichannel image fusion processing.

**Key words:** image fusion; field-programmable gate array (FPGA); data signal processor (DSP); image processing

随着探测成像技术的发展,单一波段的成像系统已无法满足系统在复杂背景下对探测精确度的要求。对两个或多个波段的辐射进行探测比较,多光谱成像成为研究的热点,对融合成像系统的迫切需求已提上日程<sup>[1-3]</sup>。而高速数字电路的快速发展, DSP 芯片和 FPGA 芯片的集成度、运算速度、数据吞吐率等性能的不断提高,使得图像处理系统在有限的时间内完成大量信息数据的处理得以实现,为图像融合实时处理提供了可靠的处理平台<sup>[4-5]</sup>。

### 1 系统设计

实时处理系统设计的重点是如何在有限的时间

内完成大量图像数据的处理。处理系统输入的图像数据速率为 25 帧/s,这就要求系统必须在 40 ms 内完成对一帧图像的处理,才能保证系统的实时性。为了达到处理的速度,设计的双路图像融合实时处理系统采用多 DSP+FPGA 架构,系统主要由以 FPGA 为核心的图像采集模块和以 DSP 为核心的图像处理模块构成。实时处理系统框图如图 1 所示。

系统工作时,首先 DSP 和 FPGA 进行程序加载完成初始化工作。探测器以 25 帧/s 的速率向 FPGA 输送图像数据, FPGA 实时采集来自探测器 1 和探测器 2 的数据,进行图像预处理,之后将预处理的图像数据写入对应的双口 RAM 内进行缓存。然后, DSP1 和 DSP2 分别读取双口 RAM1 和双口 RAM3 中

的数据进行图像分割、特征提取等预处理,并将处理后的图像数据写入下一级双口RAM存储。最后,由

DSP3读取在双口RAM2和双口RAM4中的图像数据按照特定的算法进行融合处理,实现探测需求。

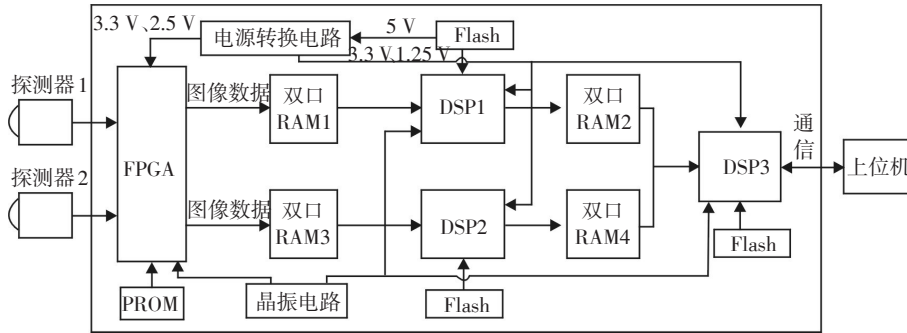


图1 实时处理系统框图

## 2 硬件设计实现

### 2.1 采集模块设计

由于FPGA具有灵活的在线编程功能,在不改变硬件的情况下,可以对软件进行升级,且开发成本越来越低。正是由于FPGA的灵活性和较高的性价比,使其得到广泛应用<sup>[6-7]</sup>。该处理系统中采用了Xilinx的FPGA作为采集模块的核心,模块的接口电路如图2所示。FPGA在该系统主要完成时钟管理、地址产生、读写控制、滤波等任务。

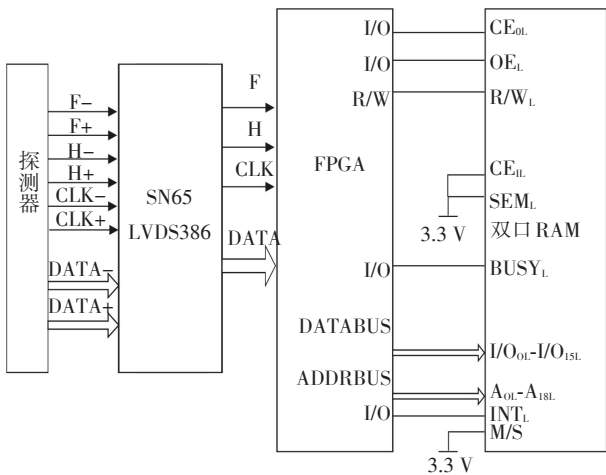


图2 采集模块接口电路

FPGA作为采集模块的主芯片,其选型必须满足对数字图像的采集需求。系统采用的探测器图像分辨率为 $256 \times 256 \times 14$  bit,图像的帧频为25 Hz,则探测器图像数据的带宽为

$$B_{\text{sensor}} = 256 \times 256 \times 50 \times 14 \text{ bit/s} = 2.7 \text{ MByte/s} \quad (1)$$

所选FPGA的工作频率为40 MHz,数据位宽为14 bit,则FPGA读取图像数据的带宽为

$$B_{\text{fpga-sensor}} = (40 \times 10^6 \times 14) \text{ bit/s} = 66.7 \text{ MByte/s} \quad (2)$$

$B_{\text{fpga-sensor}} > B_{\text{sensor}}$ ,故FPGA能够满足图像数据的读取带宽需求。

采用的双口RAM可高速存取数据,最快存取时间为10 ns,数据位宽为14 bit,则RAM存储图像数据的带宽为

$$B_{\text{ram}} = (1 / (10 \times 10^{-9})) \times 14 \text{ bit/s} = 166.8 \text{ MByte/s} \quad (3)$$

$B_{\text{ram}} > B_{\text{fpga-sensor}}$ ,故双口RAM能够满足图像数据的存储带宽需求。

FPGA接口电路模块主要是完成对双路图像数据的读写,产生对两块双口RAM的地址信号、片选信号(CE)、读写信号(WE)和输出使能信号(OE)。由于探测器的图像数据为低压差分信号(LVDS),在FPGA处理前需将信号转换为LVTTTL信号,方便FPGA的读取,保证系统工作的可靠性。

系统工作后,探测器将图像数据以LVDS的方式传输给处理系统,由高速差分芯片SN65LVDS386将探测器的LVDS信号转换为LVTTTL信号,FPGA在时钟的驱动下,将由SN65LVDS386芯片转换后的图像数据读入,送入缓冲器锁存,FPGA内部的运算单元将锁存的数据进行滤波等预处理,同时将处理后的图像数据写入对应的双口RAM中进行缓存,为后续的DSP读取以及处理图像数据做好准备。

### 2.2 处理模块设计

DSP由于其快速的运算能力及高效的数字处理性能,在图像处理方面表现出显著优越性而被广泛

应用<sup>[8-9]</sup>。该系统硬件平台选用美国TI公司的6000系列DSP芯片作为核心器件,为系统提供强大的处理能力。DSP主要完成对图像的预处理以及融合等功能。DSP与双口RAM通过EMIF接口进行连接,通过EMIFA接口从前一级的双口RAM读入经过FPGA预处理的图像数据,经过DSP处理后经EMIFB接口将图像数据写入后一级的双口RAM中存储,以便DSP3对双路图像数据做最终的融合处理。

DSP的EMIF接口进行读数据或者写数据操作,需要根据软件设计要求,依次完成信号的建立、选通和保持三个阶段,而这三个阶段的时间为7个时钟,EMIF接口工作频率为100 MHz,则EMIF接口的数据带宽如下

$$B_{emif} = ((100 \times 10^6) / 7) \times 2 \text{ Byte/s} = 28.5 \text{ MByte/s} \quad (4)$$

$B_{emif} > B_{sensor}$ ,故DSP能够满足系统带宽的需求。

处理模块的接口电路如图3所示。DSP处理的图像数据由EMIF接口进行交换。EMIF接口为DSP提供访问外部存储器的标准接口,6000系列DSP的EMIF具有很强的接口能力,EMIFA的数据总线宽度为64 bit,EMIFB的数据总线宽度为16 bit,分为4个空间CE0~CE3,每个CE空间彼此独立,可以进行不同的访问控制。同时也提供对8/16 bit存储器的读写支持;既提供了同步存储器的高吞吐率接口,也支持异步RAM的存储接口,可以与目前几乎所有类型的存储器直接接口使用<sup>[10]</sup>。

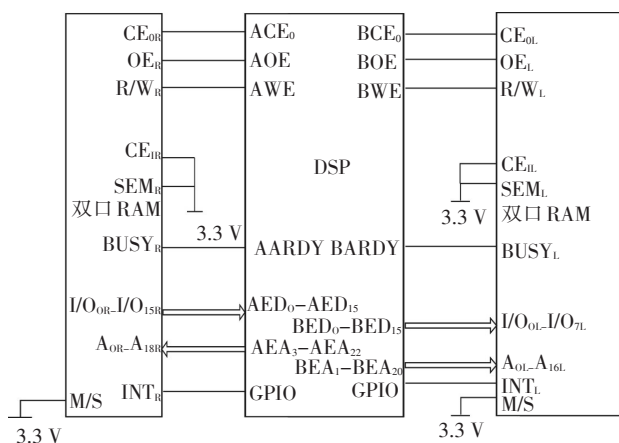


图3 处理模块接口电路

EMIF的读操作和写操作分为建立、选通和保持时间三部分。CE片选信号和OE信号拉低选中进行操作双口RAM,WE信号为低表示写操作,为高表示

读操作,同时地址线EA给出读操作和写操作地址,数据线ED给出需要读出或写入双口RAM的数据,完成相应的读写操作。

系统工作后,DSP将存储于Flash芯片的程序读入内部完成程序的加载,DSP1通过EMIFA将存储于双口RAM1的图像数据读入内部进行预处理,并将经过处理的图像数据经EMIFB写入双口RAM2。DSP2通过EMIFA将存储于双口RAM3的图像数据读入内部进行预处理,并将经过处理的图像数据经EMIFB写入双口RAM4。DSP3通过EMIFA将存储于双口RAM2和双口RAM4的图像数据读入进行图像融合处理。

### 3 软件设计

该系统的软件根据硬件架构可以分为两部分,即FPGA部分的预处理软件和DSP部分的综合处理软件。FPGA部分的软件主要完成图像的预处理和将数据写入到指定的双口RAM进行存储。DSP部分的软件中,DSP1和DSP2的软件一致,将前一级的双口RAM中的图像数据读取到DSP内部,作相关的处理,并写入下一级相应的双口RAM中存储,等待DSP3读取;DSP3的软件将存储于两个双口RAM中的双路图像数据读入内部,进行图像融合处理。

#### 3.1 预处理软件设计

FPGA使用Verilog HDL语言编程,软件环境为Xilinx ISE 10.1。FPGA软件组成框图如图4所示。主要包括顶层模块、采集探测器数据模块、预处理模块、写双口RAM模块以及图像数据状态的监控模块等。FPGA功能主要是实时采集来自探测器的图像数据,将图像数据预处理后,由写双口RAM模块将图像数据写入到指定的双口RAM空间进行存储,以便DSP读取图像数据进行后续处理。

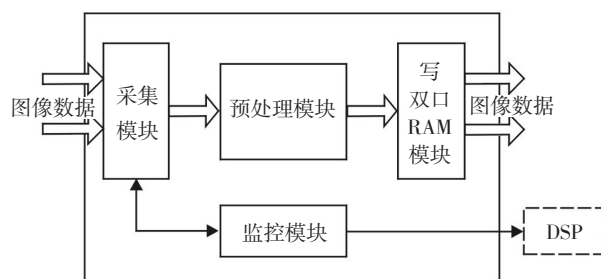


图4 FPGA软件组成框图

FPGA 写双口 RAM1 模块的软件程序如下:

```
//写双口RAM//
wr_count dpram_1(
    .clk_image(clk_IO_image_1),
    .h_image(h_write_IO_image_1),
    .f_image(f_write_IO_image_1), .data_image (data_image_1),
    .dpram_data_out(dpram_data_out_1),
    .dpram_writen(dpram_writen_1),
    .dpram_ce0(dpram_ce0_1),
    .dpram_oe(dpram_oe_1),
    .dpram_address(dpram_address_1),
    .DSP_GP06(DSP1_GP06),
    .clock_in(clock_in_1),
    .clock_test(pix_clk_1)
);
```

### 3.2 综合处理软件设计

DSP 采用 TI 公司的集成电路,用 C 语言和 TMS320C6000 系列汇编语言编写程序,编程环境为 CCS3.3。DSP 的软件主要由主函数、多个功能模块

函数以及驱动函数等组成,图 5 为 DSP 软件的流程图。DSP1 和 DSP2 通过 EMIFA 接口以 EDMA (enhanced direct memory access) 的方式将经 FPGA 处理后存储于双口 RAM 中的图像数据读入 DSP 内部进行预处理,并将处理后的数据经 EMIFB 接口写入到下一级的双口 RAM。

DSP 读双口 RAM 和写双口 RAM 的软件程序如下:

```
//读双口RAM//
unsigned char* Image_Dram1_Addr = (unsigned char*)
0x80000000;
memcpy(pImageData,Image_Dram1_Addr,114688);
//写双口RAM//
unsigned char* Image_Dram2_Addr = (unsigned char*)
0x60000000;
memcpy(Image_Dram2_Addr, ImageData,114688);
```

DSP 采用 EDMA 方式读写数据,EDMA 是 DSP 为满足图像处理需求而设计的,可以在没有 CPU 参与的情况下,实现数据在 DSP 的片内存储器 and 外部存储器之间的搬移,满足实时图像数据高速传输的需求<sup>[11-12]</sup>。

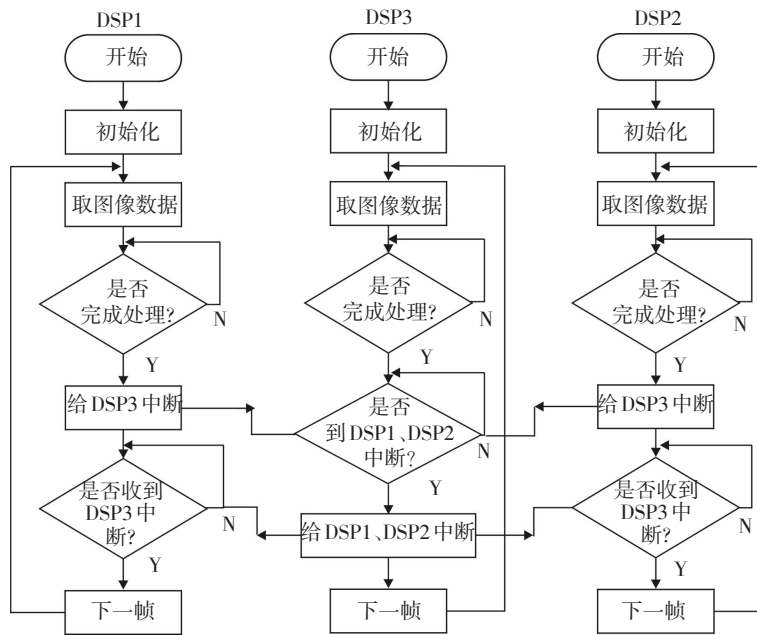


图 5 DSP 软件流程图

DSP3 的 EMIFA 接口对两个双口 RAM 采用复用的方式进行读取数据的操作。DSP3 同样采用 EDMA 的方式,通过 EMIFA 接口将存储于两个双口

RAM 中的图像数据读入内部,进行图像融合处理。图像融合处理需根据系统需求,采用特定的算法对图像进行融合以便得到需要探测的信息。

## 4 测试结果

利用上述处理系统,对输入双路图像数据进行了融合处理,使用TI公司的集成开发环境CCS中DSP的定时器技术对DSP1的预处理算法(DSP2预处理算法同DSP1)运行时间和DSP3的融合算法运行时间进行了测试。预处理算法的运行时间为21.2 ms,融合算法的运行时间为26.7 ms,小于40 ms,因此处理系统可以满足实时性要求。

## 5 结论

采用一种架构实现了对双路图像融合的实时处理系统的设计,采用的架构能够满足系统融合实时处理的需求,达到了设计要求。系统完成了硬件设计以及相关的验证,但为了使图像融合实时处理系统的性能更优,就要对融合算法实施优化设计。随着融合算法的改进,系统的性能将得到更好的发挥。

## 参考文献

- [1] 宋璞,董武侃,姜卫东. 双色红外图像融合在目标检测中的应用[J]. 现代电子技术,2011,34(16):58-60.
- [2] 舒志猛,陈素华. 基于FPGA和DSP的高速图像处理系统[J]. 现代电子技术,2012,35(4):142-144.
- [3] 李秋华,杜鹃. 双色红外图像目标多特征决策级融合识别算法[J]. 计算机工程与应用,2010,46(17):171-175.
- [4] 银志军,刘强. 基于多DSP与FPGA的实时图像处理系统设计[J]. 光电技术应用,2012,27(1):76-80.
- [5] 陈素华,郭利辉. 高速图像处理嵌入式系统的设计[J]. 许昌学院学报,2011,30(5):64-67.
- [6] 张晔,邵涛,严萌. 基于DSP和FPGA的高光谱图像处理系统设计[J]. 光电技术应用,2010,25(1):56-60.
- [7] 邢素霞. 基于DSP与FPGA的红外与可见光实时图像融合系统硬件设计[J]. 北京工商大学学报,2008,26(6):44-47.
- [8] 刘燕,陈兴文,李敏. 基于DSP嵌入式实时图像处理系统的设计与实现[J]. 大连民族学院学报,2013,15(1):76-78.
- [9] 谢明,吉书鹏,段哲民. 一种基于高速双DSP的柔性机载实时图像跟踪系统[J]. 激光与红外,2005,35(4):281-284.
- [10] 雷选华,闫森,马治国,等. 基于EMIF接口的图像处理系统设计[J]. 光电技术应用,2014,29(3):30-33.
- [11] 郭卓锋,丁艳. 基于DSP的实时图像处理系统的设计[J]. 光学技术,2004,30(1):78-80.
- [12] 周渝斌. 基于CPLD+DSP的实时数字图像稳定系统[J]. 电子设计工程,2010,18(6):170-173.

(上接第56页)

- [9] 赵霜. 红外成像制导及其干扰技术[J]. 红外与激光工程,2006,35(10).
- [10] 丁全心. 光电探测与制导技术在机载成像系统中的应用与展望[J]. 红外与激光工程,2007,36(增刊).
- [11] 胡志鹏,李耐和. 机载红外对抗系统[J]. 红外,2005(11):31.
- [12] 刘志春. 国外先进战斗机的光电自卫系统[J]. 激光与红外,2009,39(1):3.

## 本刊声明

《光电技术应用》期刊因故通信地址变更为天津市空港经济区纬五道9号,300000。因相关手续正在办理中,现暂用旧的通信地址和邮发代号,即辽宁省锦州市31号信箱19分箱,121000,原邮发代号8-314。特此声明。

《光电技术应用》编辑部