

·信号与信息处理·

基于时序逻辑的测试系统的设计与实现

王华乔, 王明忠, 王会鹏

(湖北三江航天红林探控公司第三研究室, 湖北 孝感 432000)

摘要:为对某系统工作状态中的重要性能参数进行全程监测和定量分析,并满足在高冲击等特殊环境下使用的要求,提出了一种基于FPGA以及Flash介质的测试存储系统设计方案。详细阐述了硬件系统各组成模块的电路及其工作原理,给出了系统内部数字电路的时序逻辑,介绍了采集中的编码方法和提高存储速度的方法。在实际工作过程中,测试系统达到了准确、可靠的记录技术要求,记录下的数据为器件的工作状态分析提供了详实的依据。

关键词:时序逻辑;测试;存储;硬件设计

中图分类号: TN710.4

文献标识码: A

文章编号: 1673-1255(2014)-02-0043-03

Design and Implementation of Testing System Based on Logic Time Sequence

WANG Hua-qiao, WANG Ming-zhong, WANG Hui-peng

(No.3 Research Department of Space Honglin Detection & Control Ltd. of Hubei Sanjiang, Xiaogan 432000, China)

Abstract: In order to monitor and analyze quantitatively the important performance parameters of a system in operation during full process and satisfy the operation requirements under special operation environments such as high pressure impact, a measurement and storage system design method is proposed based on field-programmable gate array (FPGA) and Flash dielectric. The circuits and operation principles of the modules in hardware system are described in detail. The corresponding timing sequence logic of digital circuits in the system is given. The methods for encoding in collection and for improving storage speed are introduced. The accurate and reliable design requirements in operation are achieved. And detailed basis is provided for analyzing the operation states of the device based on the recorded data.

Key words: time sequence logic; measurement; storage; hardware design

在电子技术深入发展以及工程应用要求日益精准的背景下,无论是相关科学研究还是技术预研以及工程应用中愈发要求进行实时的全程状态监测。对项目中重要工程参数进行全工作状态下的定量分析与研究,以便获取工作状态下对应参数的变化规律^[1],提升性能。测试系统常常在恶劣的工作环境中工作,受到各种干扰,从而影响了系统的正常工作以及采集的测量数据,导致整个系统的可靠性大为降低。因此存储介质的测试数的安全性对于整个存储记录系统具有重要的实际意义。闪存作为一种非挥发性的半导体存储芯片,具有体积小、功耗低、不易受物理破坏的优点,是记录仪的理想存储介

质。器件从设计到实验、定型的过程中,工作状态下工作参数的记录环节便显得必不可少。全程工作状态下的实时参数有助于快速定位故障原因,发现设计中的缺陷与不足。后期处理数据后绘制出的数据拟合曲线使测试结果的分析更为形象、直观。

1 设计与实现

采用Altera公司Cyclone II系列中的FPGA器件EP2C15为数字主控器,控制与调度整个测试系统中各部分的协作与运行。全系统分为供电电源、数据采集与调理、FPGA主控、存储介质、接口五大部

收稿日期: 2013-12-02

作者简介: 王华乔(1984-),男,湖北云梦人,湖北三江航天红林探控有限公司第三研究室主管设计师,研究方向为测试系统。

分。其系统结构图如图1所示。

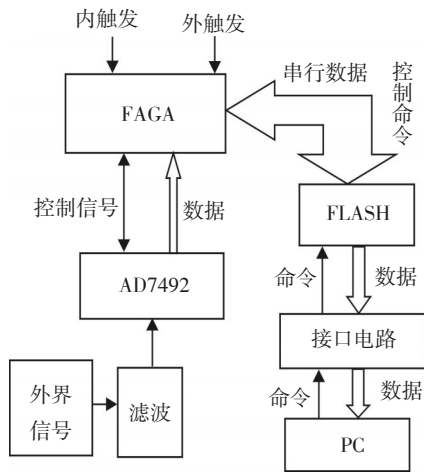


图1 整体系统框图

1.1 信号采集

依据测试对象,要求测试系统具备8个有效采样通道,4个系统编码通道,单通道信号采样频率为100 kHz。A/D采集转换器件采用12 bit分辨率、最高采样率1 Mbps的AD7492即可满足全部性能要求^[2]。总采样率为800 kHz,要求模拟开关动作后的稳定时间参数必须远小于1.25 μs。MAX4634通道模拟开关的断开和导通稳定时间参数如表1,完全符合采样要求^[3],因此可采用两片MAX4634作为全部通道的模拟切换开关。

表1 MAX4634特性参数

| 参数 | min | typ | max | 单位 |
|------|-----|-----|-----|----|
| 导通时间 | | 14 | 18 | ns |
| 断开时间 | | 6 | 11 | ns |

1.2 状态设计

根据外部信号特点,整个系统需对全系统状态进行合理分配,结合不降低记录质量的前提下尽量减少工作功耗的要求,全系统是逻辑状态分配如图2。

1.2.1 上下电状态

上电状态由两种信号控制:采集信号中的12 V直流信号,经过消抖动处理后取其上升沿触发;读数接口中的上电线,由其高电平状态触发。上电同时给两片闪存发控制命令,然后开启AD对外部敏

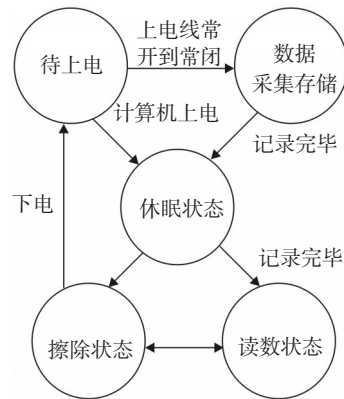


图2 状态转换逻辑图

感信号进行转换,系统进入等待状态。FPGA主控对敏感信号的转换数值与触发值进行比较,当连续大于设定的触发值后,触发系统进入高速采样和存储状态。其时序如图3所示。

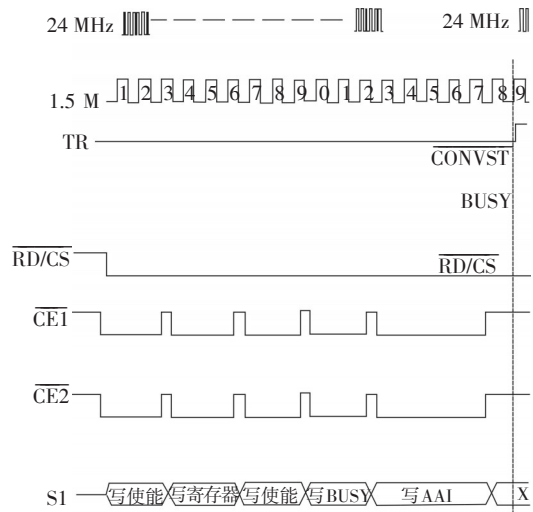


图3 上电及等待状态时序

由于整个存储系统需独立工作,在其他状态下尽量关闭非必须部分的电源以降低功耗。下电由两种信号源控制:读数接口中的下电线信号处于高电平时,整个系统全部下电;记录完毕时,FPGA对系统电源进行配置管理,关闭模拟电路电源^[5]。

1.2.2 采集控制

当数字板上的触发信号由低变成高电平,FPGA主控检测该信号并多次判断无误后,开启时钟开始转换,直到记录满。在此状态下,主控FPGA向AD7492输出占空比为10:1、频率为100 kHz的CONVST信号,控制其进行AD转换,并等待BUSY信号的下降沿。与此同时FPGA对AD7492输出的12位

并行数据进行并串转换,并向闪存发送片选指令、时钟信号以及计数,将串行数据存到闪存中。当闪存存满、数据记录完毕后,整个系统就退出数据采集,进入休眠状态,等待外部计算机读数以及系统下电信号。采样控制时序如图 4 所示。

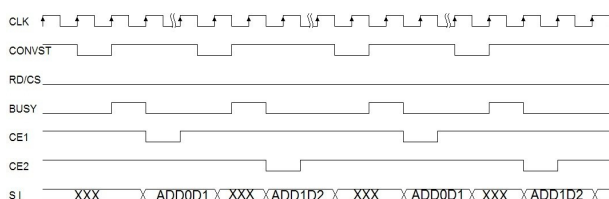


图 4 数据采集及写入状态时序

数据安全性原则,即未读取过的数据不能擦除。因此可在在 E²PROM 单元中对未读取过的数据进行标记,以便与已读取过的数据进行区分。在等待读数和擦除状态下须先对存储器中的数据进行判断。此措施可有效防止误擦除数据,确保了存储数据的安全性。

1.2.3 存储设计

使用两片三星公司 K9F1G08U0 系列 NAND 闪存芯片,单片容量为 512 MB。在存储系统中采用乒乓操作,即对两片 Flash 存储芯片采取数据和控制命令交替写入的方式,其读写控制如图 5 和图 6 所示。在对其中一片闪存芯片进行数据编程时,对另外一片发送命令,然后两者的工作方式互换。不仅可以提高整个存储系统数据存储的稳定性,还可大幅度提升采集数据的存储速度,间接提高整个系统的工作速度^[6]。

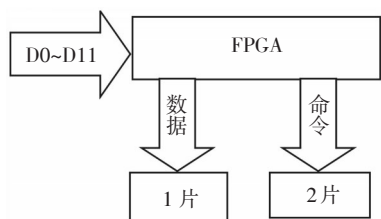


图 5 1 片写数据时控制

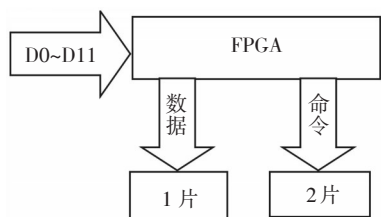


图 6 2 片写命令时控制

1.3 数据编码

闪存中的数据每 8 个字为一帧,每页闪存(2048 Byte)可存储 128 帧。若以 AD7492 的转换信号 convst 作为时钟进行计数,则可实现输出通道的选择。每帧中前 7 个字为 1~7 路采集信号的数据,最后一个字为校验码,对前面位数的有效数据进行校对^[7],其帧格式如图 7 所示。

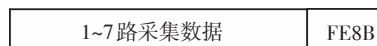


图 7 存储数据的帧格式

2 测试结果

通过接口电路与上位计算机相连,应用上位机软件控制读取接口电路进行读数,就可将存储器中存储的数据读取到电脑中,以供分析和查看。图 8 即为记录下的被测器件的工作状态参数中通道 1 信号图像。

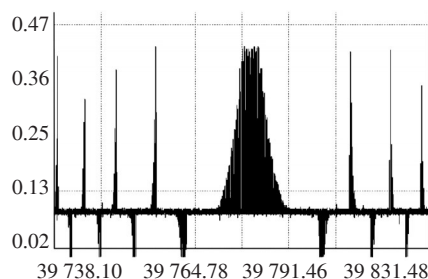


图 8 通道 1 的信号

3 结束语

设计了基于 FPGA 以及 Flash 介质的测试存储系统的时序逻辑,并设计了针对性的信号调理电路。在充分考虑到测试系统的工作环境的状态下,采用多种手段提高了数据的存储速度和可靠性,并尽可能地降低了整个系统的功耗。全程实时信号数据存储为器件相关工作状态的特性测试与理论校验提供了详细、精确的原始数据,为其改进和状况分析提供了有力、准确的分析资料。

参考文献

[1] 黄俊钦.测试系统动力学[M].北京:国防工业出版社,1996:1-5.

(下转第 56 页)

理方法[J]. 传感技术学报, 2011, 24(5): 710-713.

- [16] 顾铮, 邓传鲁. 镀膜光纤光栅应用与发展[J]. 中国激光, 2009 (6): 1317-1326.
- [17] 孟展, 陈瑞霞, 金何, 等. 基于双材料悬臂梁的光纤光栅应力与温度传感器[J]. 光电子·激光, 2011, 22 (3): 343-346.
- [18] 曾虹, 乐淑萍, 刘月明. 高温光纤布拉格光栅“T”型应变片技术研究[J]. 传感技术学报, 2013, 26 (3):

338-341.

- [19] 安佳丽, 梁厚慧, 金永兴, 等. 基于倾斜光纤光栅的温度不敏感振动传感器[J]. 中国激光, 2012, 39 (B06): 402-406.
- [20] 刘君华. 智能传感器系统[M]. 西安: 西安电子科技大学出版社, 2010: 182-185.
- [21] 蔡怀崇, 闵行. 材料力学[M]. 西安: 西安交通大学出版社, 2004: 93-96.

(上接第30页)

光能力要比短波长区域弱, 光场向包层泄露, 光功率降低, 从而 Γ 值减小趋势越明显。

3 结论

通过对气孔八边形排列的光子晶体光纤进行数值模拟计算发现, 掺杂纤芯直径、掺杂折射率是影响掺杂光子晶体光纤的关键因素。掺杂纤芯直径、掺杂折射率的变化会引起纤芯和包层的相对折射率差的变化, 从而使得光功率分布发生变化, 引起掺杂光子晶体光纤的特性变化。这些规律对使用光子晶体光纤构建高功率光纤激光器、光纤放大器提供了必要的理论指导。

参考文献

- [1] 王伟, 侯蓝田. 光子晶体光纤的现状和发展[J]. 激光与光电子学进, 2008, 45(2): 43-58.
- [2] Cucinotta A, Selleri S, Vincetti L, et al. Holey fiber analysis through the finite-element method [J]. IEEE Photonic Technol Lett, 2002, 14(11):1530-1532.

- [3] 关春颖, 苑立波. 基于有限元方法的光子晶体光纤特性分析[J]. 哈尔滨工程大学学报, 2004, 25(4):532-535.
- [4] 吴重庆. 光波导理论[M]. 北京: 清华大学出版社, 2000: 267-269.
- [5] Haxha S, Ademgil H. Novel design of photonic crystal fibers with low confinement losses, nearly zero ultra-flatted chromatic dispersion, negative chromatic dispersion and improved effective mode area[J]. Opt. Communications, 2008, 281 (2) 278-286.
- [6] Beeker P C, Olsson N A, SimPson J R. Erbium-doped fiber amplifiers: fundamentals and technology[M]. San Diego: Academic Press, 1999:140-144.
- [7] 李书婷. 光子晶体光纤的数值模拟[D]. 西安: 西北大学, 2006.
- [8] Lim H, Ilay F, Wise F. Femtosecond ytterbium fiber laser with photonic crystal fiber for dispersion control [J]. Opt. Express, 2002, 10(25):1497-1502.
- [9] 宋有建, 胡明列, 张弛, 等. 高脉冲能量大模场面积光子晶体光纤飞秒激光器[J]. 科学通报, 2008, 53(13):1511-1515.
- [10] Randy C Gile, Emmanuel Desurvire. Modeling Erbium-doped fiber amplifiers[J]. Journal of Lightwave Technology, 1991, 9 (2):271-283.

(上接第45页)

- [2] 阎石. 数字电子技术[M]. 北京: 高等教育出版社, 2004: 475-477.
- [3] 谢自美. 电子线路设计[M]. 武汉: 华中科技大学出版社, 2003: 105-109.
- [4] 李运涛, 王庸贵, 刘继平. 一种实时数据采集与监控系统[J]. 中国测试技术, 2004, 30(1): 25-28.
- [5] 罗苑棠. CPLD/FPGA 常用模块与综合系统设计实例精

讲[M]. 北京: 电子工业出版社, 2007: 22-25.

- [6] 高健. 动态参数检测与虚拟仪器综合系统[J]. 国外电子元件, 2006, 14(2): 60-61.
- [7] 赵俊超. 集成电路设计VHD教程[M]. 北京: 希望电子出版社, 2002: 47-49.
- [8] 李红旗, 李东光, 李世义. 基于CPLD的弹载高速存储测试系统关键技术研究[J]. 弹箭与制导学报, 2007, 72(1): 1-3.