

· 电路与控制 ·

## 电子倍增 CCD 驱动电路设计

白玉栋<sup>1</sup>, 张守才<sup>2</sup>

(1.91404部队, 河北 秦皇岛 066000; 2.北京空间机电研究所, 北京 100076)

**摘要:**提供了一种针对电子倍增 CCD(EMCCD)驱动电路的设计方案。通过 FPGA 编程产生符合 EMCCD 时序要求的信号波形, 采用 EL7457 高速 MOSFET 驱动芯片对 FPGA 输出信号进行电平转换以满足 EMCCD 驱动电压要求, 并由分立的推挽放大电路驱动高电压信号, 输出电压 20~50 V 可调, 像素读出频率达 5 MHz。实验结果表明, 该驱动电路能够使 EMCCD 正常工作输出有效信号。

**关键词:** EMCCD; FPGA; 驱动电路; MOSFET

中图分类号: TN702

文献标识码: A

文章编号: 1673-1255(2013)-03-0051-04

## Driving Circuit Design for Electronic Multiplication CCD

BAI Yu-dong<sup>1</sup>, ZHANG Shou-cai<sup>2</sup>

(1. 91404 Army Unit, Qinhuangdao 066000, China; 2. Beijing Institute of Space Mechanics & Electricity, Beijing 100076, China)

**Abstract:** A design method is provided for driving circuit of electronic multiplication CCD (EMCCD). Waveforms in accordance with the requirements of EMCCD timing sequence are generated by field programmable gate array (FPGA). Level conversion is performed to FPGA output signal by EL7457 high speed metal-oxide-semiconductor field effect transistor (MOSFET) driving chip so as to meet the requirements of EMCCD driving voltage. And high voltage signals are driven by discrete push-pull amplifier circuits. Output voltage can be adjusted from 20 V to 50 V and pixel read frequency is 5 MHz. Experimental results show that EMCCD is at normal operation state in the driving circuit and effective signals are output.

**Key words:** electron multiplication CCD (EMCCD); field programmable gate array (FPGA); driving circuit; metal-oxide-semiconductor field effect transistor (MOSFET)

在微光领域, 较早的成像技术主要包括通过像增强器实现电子倍增的 ICCD 以及直接加高电压通过电子轰击产生倍增的 EBCCD<sup>[1]</sup>, 然而两者都有一定的缺点。EMCCD(电子倍增 CCD)作为最新型的 CCD 图像传感器的代表, 采用独特的片上增益(on chip multiplication)技术实现了与 ICCD 相近的灵敏度。而与 ICCD 不同的是, 它采用全固态工艺制作, 继承了传统 CCD 的优点, 具有很高的量子效率(可达 90% 以上), 适于大批量生产, 因此相比 ICCD 和 EBCCD 成本较低。EMCCD 的这些优点使其在军事、航天、生命科学等领域具有广阔的发展前景。

EMCCD 与传统 CCD 类似, 其应用的关键技术在

于驱动电路和输出信号处理采集电路的设计<sup>[2]</sup>。但 EMCCD 中独特的片上增益驱动是技术难点, 驱动电路设计的好坏直接关系到最终的成像质量, 而这一核心技术仅掌握在几个大的制造商手中。针对这一技术难点, 文中提出了一种驱动电路的设计方案, 并通过实验使所采用的 EMCCD 芯片-CCD97 正常工作输出信号, 为后续图像信号采集奠定了基础。

### 1 CCD97 概述

英国 E2V 公司生产的型号为 CCD97 的 EMCCD 是一款帧转移型面阵 CCD 芯片, 像素数 512 × 512, 像

元尺寸  $16\ \mu\text{m} \times 16\ \mu\text{m}$ , 成像面积  $8.192\ \text{mm} \times 8.192\ \text{mm}$ , 最大像素读出速率为  $15\ \text{MHz}$ 。该芯片采用反向输出模式以减少暗电流噪声, 通过背照明可以显著提高量子效率(最高可达  $90\%$ ), 两相驱动模式则可提高芯片的并行输出速率<sup>[3]</sup>。

该芯片结构如图1所示。由光敏区、电荷暂存区、水平移位寄存器、增益寄存器以及读出放大电路五部分组成。在两相时钟  $I\phi_{12}$ 、 $I\phi_{34}$ 、 $S\phi_{12}$  及  $S\phi_{34}$

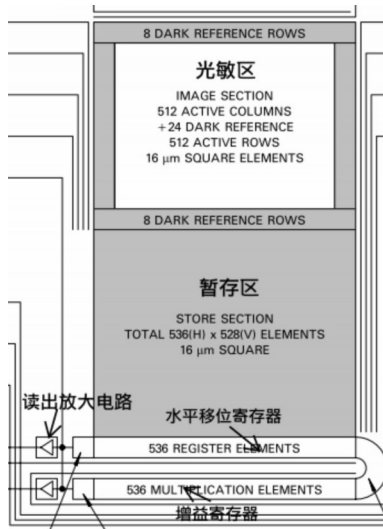


图1 EMCCD结构图

驱动下, 信号电荷经光积分后由光敏区转移到暂存区, 而后信号电荷又在  $S\phi_{12}$  及  $S\phi_{34}$  转移脉冲驱动下从暂存区转移至水平移位寄存器, 信号电荷在水平移位脉冲  $R\phi_1$ 、 $R\phi_2$ 、 $R\phi_3$  共同作用下进入增益寄存器。信号电荷在增益寄存器转移过程中, 受高压作用发生电离, 电荷数量得以大大增加, 最后经由读出放大电路输出。输出电路采用了两级源跟随浮置扩散放大电路。 $R$ 用于消除浮置放大区的电荷, 将读出放大电路复位, 并可提供电荷合并功能。

CCD中电荷转移对所加驱动信号电压往往有特

CONNECTION	AMPLITUDE
	Typical
$I\phi_{1,2,3,4}$ high	+7
$I\phi_{1,2,3,4}$ low	-5
$S\phi_{1,2,3,4}$ high	+7
$S\phi_{1,2,3,4}$ low	-5
$R\phi_{1,2,3}$ high	+12
$R\phi_{1,2,3}$ low	0
$R\phi_{2HV}$ high	+40
$R\phi_{2HV}$ low	+4
$\phi_{RL}, \phi_{RH}$ high	+10
$\phi_{RL}, \phi_{RH}$ low	0

图2 CCD97驱动电压要求

殊要求, 图2为CCD97各引脚工作电压要求。从表中分析得知, 为满足CCD97的供电及驱动要求, 共需要9路不同电压值的电源输入, 其中最高电压值达  $40\ \text{V}$ 。

## 2 驱动时序设计

目前, 国内外在设计CCD驱动时序时采用的方法主要有以下几种: 数字集成电路、单片微处理器、EEPROM器件或可编程逻辑器件FPGA。采用数字逻辑电路虽然可以获得高速的驱动频率, 但其电路体积较大、成本高、逻辑设计较复杂, 不便作适当的变动, 调试也困难; E<sup>2</sup>PROM驱动方法结构简单, 不论对何种型号的CCD, 只需把程序装载到可擦除只读存储器E<sup>2</sup>PROM中, 其硬件结构几乎不需要变化, 但随着CCD像元数、读出频率的不断增加, 对E<sup>2</sup>PROM的容量和速度都提出了更高的要求, 且高速E<sup>2</sup>PROM需要配合高速的ASIC电路寻址, 因此其电路的芯片数、体积、功耗、成本都需要仔细考虑; 单片机方案也较简单, 通过计数器输出时序信号, 外加驱动芯片便可驱动CCD, 但其缺点在于单片机能产生的移位脉冲频率不高、速度慢, 不适用于高速CCD的驱动; 采用DSP设计时序逻辑可以实现高速CCD的驱动, 并可应用于后期CCD图像优化, 但DSP配置较复杂; 而近十几年新兴发展起来的可编程逻辑器件FPGA/CPLD, 拥有强大的系统可编程能力、可重复擦写的灵活设计及相对低廉的价格, 其在数字逻辑电路设计上拥有无可比拟的优势。文中即采用美国Altera公司的Cyclone系列FPGA完成CCD97的时序逻辑设计。

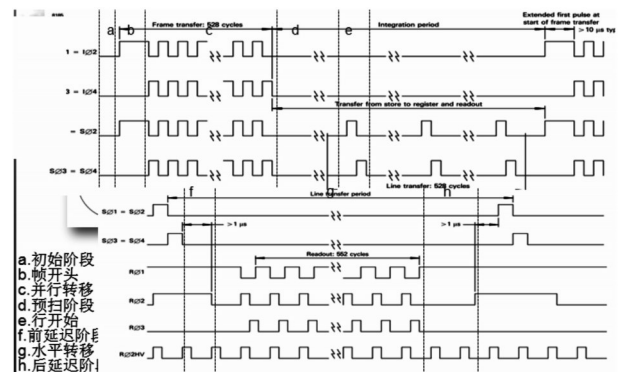


图3 驱动时序图及方案

设计采用VHDL语言实现FPGA的设计输入<sup>[3]</sup>, 根据芯片手册所给驱动波形如图3所示, 采用功能强大

的有限状态机(finite state machine)设计大框架,分时段对电平置高置低生成所需波形<sup>[5]</sup>。采用 Verilog HDL 硬件描述语言进行设计,相对 VHDL 而言,Verilog HDL 程序设计更灵活、更简洁。

该方案将 CCD 驱动时序逻辑、A/D 采样时序按照时间顺序分为若干状态,得到传输一帧图像的有限状态机流程图如图 4 所示。其中 a-d 为帧转移阶段,主要完成 527 个帧转移脉冲  $I\phi_{12}$ 、 $I\phi_{34}$ 、 $S\phi_{12}$  及  $S\phi_{34}$  高低电平的轮换,e-h 为行转移阶段,主要完成水平转移脉冲  $R\phi_1$ 、 $R\phi_2$ 、 $R\phi_3$  高低电平的轮换。

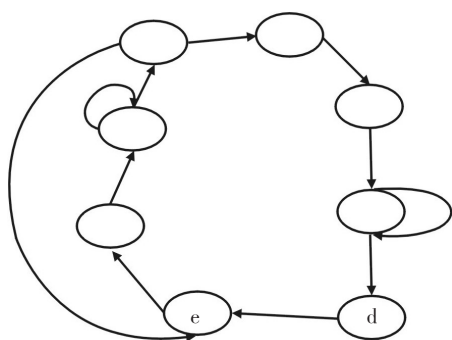


图4 CCD97驱动时序有限状态机图

各阶段功能如下:

(a)初始阶段:初始化各寄存器、计数器及时序脉冲电平初值。

(b)帧开头( $>10 \mu s$ ):通过计数器控制帧开关脉冲宽度使其大于  $10 \mu s$ 。

(c)并行转移阶段:状态机中设置两个互补的状态,通过在两状态间跳转来实现一定频率的并行转移脉冲波形( $I\phi_{12}$ 、 $I\phi_{34}$ 、 $S\phi_{12}$ 、 $S\phi_{34}$ ),并行转移计数器控制转移行数为 527 行。

(d)预扫阶段:移除 CCD 水平移位寄存器中残留的少量电荷。

(e)行开始阶段:水平转移脉冲工作前需要并行转移脉冲( $S\phi_{12}$ 、 $S\phi_{34}$ )将一行信号电荷转入水平移位寄存器。行转移计数器设置为 528 行。

(f)前延迟阶段:水平转移脉冲工作前延迟( $>1 \mu s$ )

(g)水平转移阶段:状态机中设置三个状态并结合计数器生成水平转移脉冲波形( $R\phi_1$ 、 $R\phi_2$ 、 $R\phi_3$ )以及 A/D 采样时钟、相关双采样信号和光学暗电平钳位信号,水平转移计数器控制每行水平读出 552 个像素。

(h)后延迟阶段:水平转移脉冲工作后延迟( $>1 \mu s$ )

该方案思路更清晰,有限状态机的工作模式能

够较好地配合 CCD 驱动时序设计要求;通过对整体设计进行结构划分后,程序设计得以大大简化,解决了波形错位的问题;同时,引入状态机后,可把每帧像元的传输打包,方便实现单帧触发功能。

通过 Modelsim 仿真后所得波形图如图 5 所示。结果表明,仿真波形完全符合 CCD97 芯片手册中的时序逻辑设计要求。

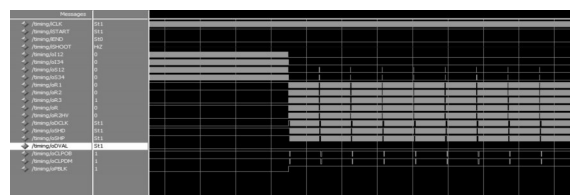


图5 Modelsim时序逻辑仿真图

### 3 驱动电路设计

由于 CCD97 要求的驱动信号电平比较特殊,而 FPGA 输出信号为 LVTTTL 电平,其高、低电平分别为  $+3.3 V$ 、 $0 V$ ,所以 FPGA 输出的驱动信号并不能直接用于 EMCCD 的驱动,需要扩展外围驱动电路提高带负载能力<sup>[6]</sup>。文中设计采用美国 Intersil 公司生产的 EL7457 MOSFET 驱动器实现 FPGA 输出信号的电平转换<sup>[7]</sup>。EL7457 为四通道高速 MOSFET 驱动器,输出电压范围为  $-5 \sim 16 V$ ,时钟频率达  $40 MHz$ ,上升、下降时间约为  $10 ns$ ,完全能满足 CCD97 驱动信号要求。电路设计图如图 6 所示。 $R$ 、 $R_1$ 、 $R_2$ 、 $R_3$  为 FPGA 输出的 TTL 时序,经 EL7457 驱动后,输出高电平为  $+7 V$ ,低电平为  $0 V$  的驱动时序,满足驱动电压要

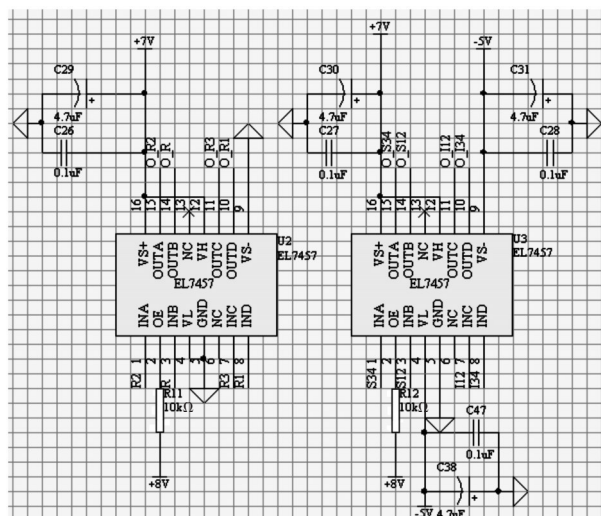


图6 R、 $R\phi_1$ 、 $R\phi_2$ 、 $R\phi_3$ 、 $I\phi_{12}$ 、 $I\phi_{34}$ 、 $S\phi_{12}$ 、 $S\phi_{34}$ 驱动电路

求,用来驱动 CCD97 完成信号在水平移位寄存器中的转移。同理,S12、S34、I12、I34 为 FPGA 输出的 TTL 时序,经 EL7457 驱动后,输出高电平为+7 V,低电平为-5 V 的驱动时序,用来完成 CCD 信号的帧转移。

CCD97 中用于实现增益倍增的 RΦ2HV 信号高电平最高要求 40 V,而常见 MOSFET 驱动芯片无法满足如此高电压的驱动要求,因此本设计拟采用分立驱动电路实现电平转换。

通过查阅相关资料<sup>[8-9]</sup>,针对 R2HV 的驱动电路如图 7 所示。其基本结构由两个对称的三极管

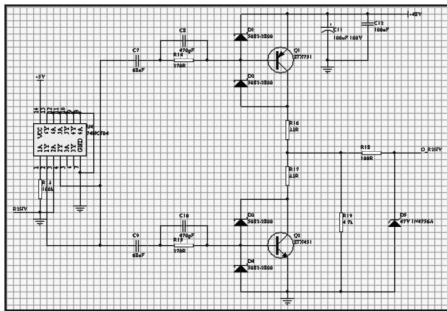


图 7 R2HV 驱动电路图

组成的推挽放大电路构成,由于 FPGA 直接输出的信号电流较小,不足以驱动三极管,故在前端加入 74HC04 以提高其负载能力。推挽放大电路中的三极管工作在开关状态,可以有效地降低功耗,但三极管有可能进入深度饱和状态,以致降低开关速度。通过在三极管基极与集电极、基极与发射极之间加入高速肖特基二极管,可将其两端电压钳位在 0.7 V 左右,使三极管工作在临界饱和状态,这样即保证了较低的功耗,又可达到较快的开关速率。

#### 4 实验结果与结论

采用 Protel 99SE<sup>[10]</sup>设计生成 CCD97 的驱动电路板,图 8 为 R2HV 与 R1 的波形图,从图 8 中可以看到,



图 8 R2HV 与 R1 波形

在像素读出频率为 5 MHz 时,R2HV 输出电压 48 V,波形不是完美的方波,但与 R1 的相位关系符合。图 9 是 CCD97 工作时的输出信号波形图,输出波形存在一定的噪声。经测试,在不同光照条件下,CCD 输出信号幅值有明显变化,幅值最高 400 mV 左右,CCD97 能够正常工作。通过波形仿真和实验验证,证明该驱动电路方案切实可行,且电路简单,编程方便,最高像素读出频率可达十几兆甚至几十兆,性价比高。

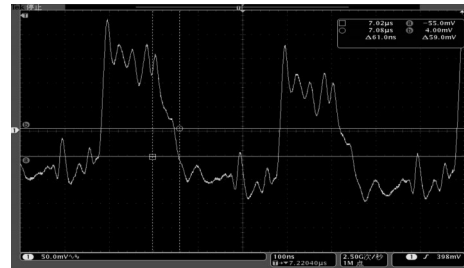


图 9 CCD97 输出信号

#### 参考文献

- [1] 程开富. 微光摄像器件的发展趋势[J]. 电子科学技术评论, 2004, 6(10): 44-48.
- [2] 米本和也.CCD/CMOS 图像传感器基础与应用[M]. 北京: 科学技术出版社, 2006: 24-50.
- [3] e2v Technology LTD. CCD97-00 Back Illuminated Electronic Multiplying CCD Sensor, www.e2v.com, 2004.
- [4] 刘延飞.基于 Altera FPGA/CPLD 的电子系统设计及工程实践[M]. 北京:人民邮电出版社, 2009.
- [5] 刘小平,何云斌,董怀国.基于 Verilog HDL 的有限状态机设计与描述[J]. 计算机工程与设计,2008, 29 (4): 958-960.
- [6] 薛旭成,曲洪丰,李洪法,等.CCD 相机功率驱动电路设计[J]. 微计算机信息,2007, 23(8): 272-273.
- [7] 程鹏飞,顾明剑,王模昌.基于 FPGA 的帧转移面阵 CCD 驱动电路设计[J]. 红外技术,2006, 28(9): 519-522.
- [8] Craig Mackay. Astronomical imaging with L3CCDs: detector performance and high-speed controller design. Proc. SPIE, 2004, 5499:203.
- [9] 薛旭成,曲洪丰,李洪法,等. CCD 相机功率驱动电路设计[J]. 微计算机信息, 2007(23) : 272-273.
- [10] 胡焯. Protel 99 SE 原理图与 PCB 设计教程[M]. 北京:机械工业出版社, 2006: 78-90.