

· 电路与控制 ·

红外热像仪硬件通讯电路的设计与实现

杨金宝, 杨桦, 张挺, 罗院红, 朱敏, 刘欢

(北京环境特性研究所, 北京 100854)

摘要:设计并实现了基于红外热像仪图像处理板FPGA模块的硬件通讯电路,该电路采用串行通讯和FIFO读写方式。通讯电路一方面接收上位机的控制数据并实时应答反馈,一方面将通过FIFO与图像处理板的DSP模块实时进行控制信息交互,从而形成各模块间的双向通讯链路。该设计避免了传统图像处理板采用专用串行通讯芯片,如TL16CP754等,将该芯片功能通过FPGA实现,节省了面积与成本,提高了系统集成度和稳定性,利于系统的小型化、低成本发展。仿真与实验结果均表明,该设计合理,系统工作稳定。

关键词:硬件通讯;热像仪;串行;FIFO

中图分类号: TN219; TN79*1; TN29

文献标识码: A

文章编号: 1673-1255(2013)-02-0062-05

Design and Implementation of Hardware Communication Circuit in Infrared Thermal Imaging System

YANG Jin-bao, YANG Hua, ZHANG Ting, LUO Yuan-hong, ZHU Min, LIU Huan

(Beijing Institute of Environment Feature, Beijing 100854, China)

Abstract: Hardware communication circuits based on field-programmable gate array (FPGA) module on image processing boards of infrared thermal imaging systems are designed and implemented. Serial communication and first-in-first-out (FIFO) reading and writing modes are used in the circuits. On one hand, control data from PC are received and replied in real time by communication circuits. On the other hand, control information interchange is performed through FIFO and data signal processor (DSP) module on image processing boards to form bidirectional communication links among modules. Special serial communication chips such as TL16CP754 used on traditional image processing boards are not adopted in the design. Functions of the chips are realized by FPGA, so the design area and cost are saved. Integration and stability of the system is improved. It is easy to be a miniature and low cost system. Simulation and experiment results show that the design is correct and the system works stably.

Key words: hardware communication; infrared thermal imaging system; serial; first-in-first-out (FIFO)

红外热像仪由于作用距离远,具有较好的夜视、透雾等功能,且采用被动成像的工作方式,隐蔽性好,因而在军事领域得到了广泛应用^[1-4]。近几年,随着民用市场的需求,红外热像仪在安防监控等民用领域得到了快速发展^[5-7],特别是基于多晶硅、氧化钒等探测器的低成本、便携式红外热像仪。

通讯电路的设计是红外热像仪系统设计的重要

组成部分,通讯电路主要承担着上位机与红外热像仪图像处理电路板的数据交互任务,处于双向工作模式。图像处理板基于FPGA+DSP硬件架构,FPGA实现视频数据输入、输出与图像预处理等功能,DSP进行图像的核心算法处理。传统的硬件通讯电路基于专用ASIC芯片,如TL16C754等,但这种设计一般不利于系统的小型化,且增加成本,降低了系统稳定性和可靠性。文中在传统硬件通讯电路设计的基础

收稿日期:2013-02-01

基金项目:航天自主创新基金(K3010199S142)

作者简介:杨金宝(1987-),男,安徽安庆人,硕士,助理工程师,研究方向为红外光电探测技术。

上,创新性地将红外热像仪与上位机串行通讯和与DSP的数据交换功能集成于FPGA中,设计了基于红外热像仪图像处理板的硬件通讯电路。

1 硬件通讯电路原理设计

硬件通讯电路主要包括两部分,一是与上位机的双向串行通讯接口单元,一是FPGA与图像处理板的DSP模块的数据交换单元,其中数据交换单元基于FIFO双向读写模式,数据流程如图1所示。

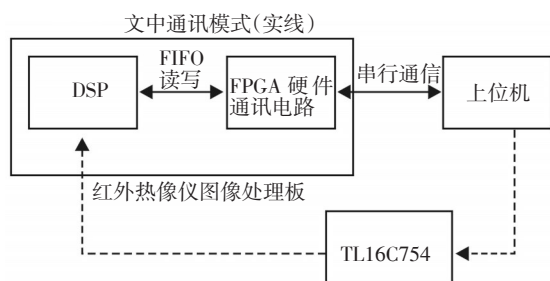


图1 硬件通讯电路数据流程图

1.1 基于FPGA的上下位机串行通讯

串行通讯是指在设备和设备间,通过数据信号线、地线、控制线等,按位进行数据传输的一种通讯方式。这种通讯方式使用的数据线少,在远距离通讯中可以节约通讯成本,具有传输线少、工作稳定等优点,因此在红外热像仪等工业控制领域中得到广泛应用^[8-9]。由于串行通讯采用的是位传输方式,因此在串行通讯中,需设置接收移位寄存器和发送移位寄存器。当数据输入时,数据一位一位从上位机进入红外热像仪串行接口的接收移位寄存器,当接收移位寄存器接收完一个字符后(一般为8 bit位),该字符就从接收移位寄存器转入接收存储器,其中接收存储器采用FIFO。接收移位寄存器的移位速度由接收时钟确定。在数据发送时,工作原理相似,只

是过程相反。

文中所设计的用于上下位机信息交互的硬件通讯电路,是基于通用的RS232 串行通讯协议而设计的。红外热像仪串行接口与上位机通过三根信号线连接,分别为发送信号线TxD,接收信号线RxD和公共地线GND。通过RxD线接收上位机的控制信息,通过TxD发送给上位机相关反馈信息,从而完成信息的交互,本次串行传输波特率为9 600 bps,也可以根据需要设置为其他波特率。串行通讯电路原理如图2所示。

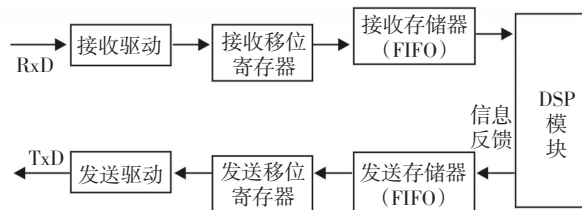


图2 串行通讯电路原理图

接收/发送驱动模块是串行通讯设计的核心单元。以接收驱动模块为例,接收驱动模块是一位一位接收上位机的控制信息后,将数据放入接收移位寄存器中,进而转入接收存储器(FIFO)。接收驱动模块分为时钟分频单元和数据接收单元。时钟分频单元将下位机的系统时钟信号通过计数器分频产生与上位机波特率同步的时钟信号,由于本次串行通讯的数据格式为一个起始位,8个数据位,1个停止位。为保证数据传输的正确性,减少误码率,文中所设计的串行通讯基于8倍波特率时钟,对每一个有效位的接收/发送是通过8个时钟周期而确定,具体的数据接收/发送是在8个时钟周期的最后一个时钟周期下转入发送/接收移位寄存器。数据接收单元是将接收数线上的数据一位一位地放入接收移位寄存器,它是在分频时钟的驱动下,通过设置接收状态寄存器,确定接收次序,依次接收数据位,并通过接收

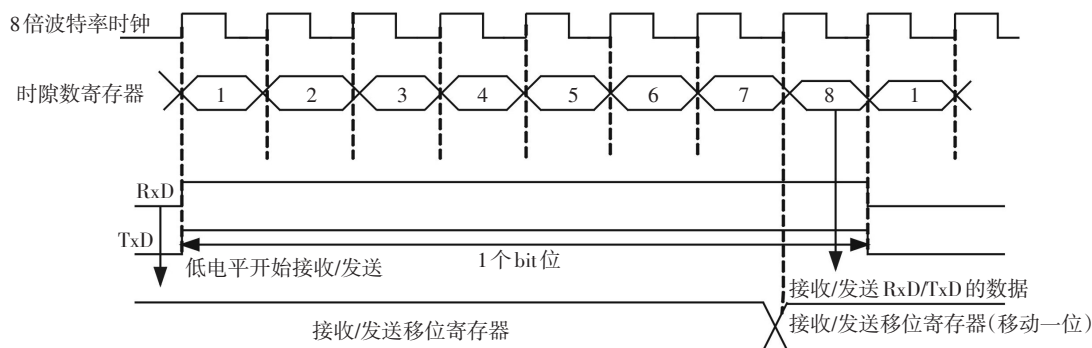


图3 串行通讯时序原理图

移位寄存器将数据逐次移位,当接收到8位有效数据时,将该字节存入接收存储器中,从而完成一次数据接收周期,开始下一次数据接收,依次循环。发送驱动模块与接收驱动模块类似,是接收驱动模块的相反过程,在此不再赘述。串行通讯时序原理如图3所示。

1.2 DSP与FPGA的FIFO读写

FIFO是一种先进先出的数据缓存器,它与普通存储器的区别是没有外部读写地址线,这样使用起来非常方便,它顺序地写入数据,顺序地读出数据,FIFO一般用于不同时钟域之间的数据传输的缓存^[10-11]。

FPGA通过串行通讯接口接收到上位机的控制信息后,最终要将控制信息传送至DSP,以便进行有关图像算法处理。文中所采用DSP与FPGA的FIFO数据通讯方式,FIFO通讯是解决两模块间异步数据交换的良好选择。所设计的FIFO通讯基于FPGA模块,与DSP的通讯连线分别为DSP读写信号线Re和We,DSP片选控制线Ce,以及双向数据总线data[7:0]。接收FIFO可以设定接收字节数门限值,在接收字节数达到门限值时向DSP发送中断信息,DSP启动EDMA读取FIFO中的数据;发送FIFO在待发送数据发送完成之后,向DSP发送中断信息,DSP向FIFO发送新的数据。FIFO读写通讯原理如图4所示。

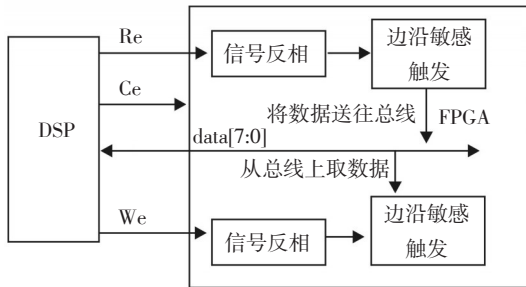


图4 FIFO读写通讯原理图

DSP在读写数据时,Re和We均为低电平,而平时为高电平,因此在FPGA的FIFO读写设计时,可以通过边沿敏感而非电平敏感的方式读写数据,从而避免了传统采用电平敏感方式导致的数据读写的信息错误。为避免FPGA负边沿触发在判别时的不稳定性,本设计将DSP的读写信号进行反相处理,从而在边沿触发的选择上可以选择稳定性更高的正边沿触发,提高了信号读写的稳定性,其读写时序原理如图5所示。

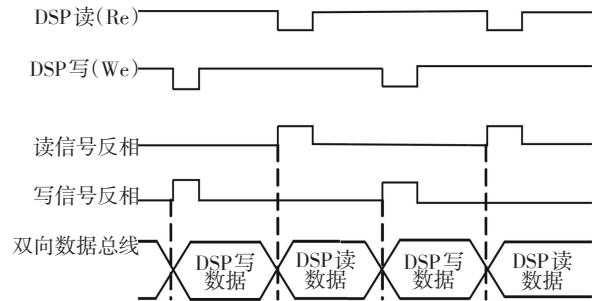


图5 DSP与FPGA间读写时序

2 仿真分析与实验

2.1 仿真分析

在程序运行前,首先对电路进行仿真。仿真分为两部分,一部分是串行通讯仿真,另一部分是FIFO双向读写仿真。在上下位机串行通讯仿真中,为易于观察,设置接收6个数据,其中在接收到第3个数据时,FPGA向上位机发送接收到的第1个数据。接收的数据依次为十进制数183,159,239,247,143,255,则发送到的数据为十进制183,通过Quartus II软件平台,仿真如图6所示。其中dis1,dis2,dis3,dis4,dis5,dis6分别显示接收到的6个数据,txd_buf显示发送的数据。从图6可以看出,仿真正确,达到预期的设计目的。

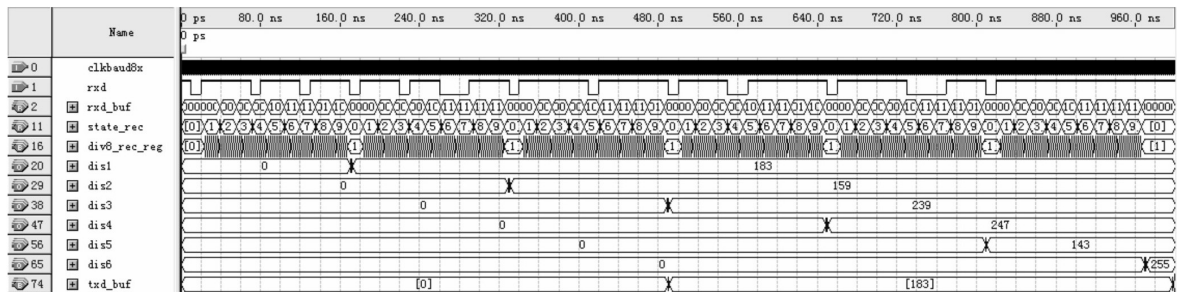


图6 串行通讯仿真图

FIFO 双向读写数据仿真同样基于 Quartus II 软件平台,由于 DSP 的读写信号为低电平有效,程序对其反相,从而改为正边沿判定。程序按照先读后写的读写顺序,先读 FPGA 内部的 6 个数,分别为十进制 20,21,22,23,24,25,然后 DSP 向 FPGA 写入 6 个十进

制数 40,41,42,43,44,45,仿真结果如图 7 所示。其中 display1~display6 分别显示 DSP 写入 FPGA 的 6 个数,在 data[7:0]双向总线上可以看出 DSP 从 FPGA 读出的数据依次为十进制 20,21,22,23,24,25,从而验证了设计的正确性。

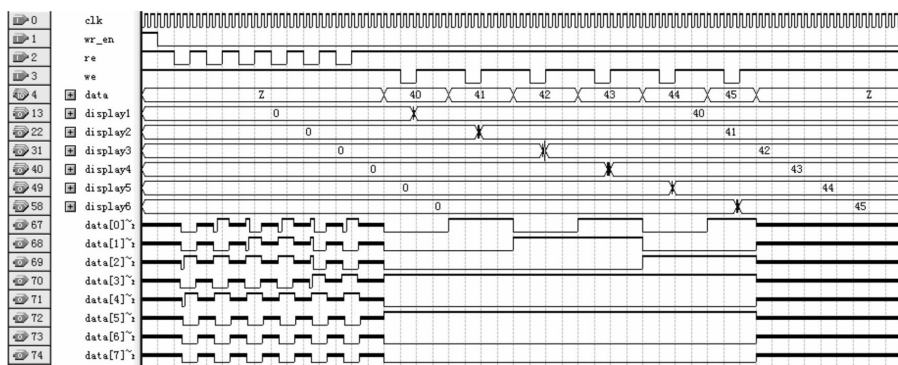


图7 FIFO 仿真图

2.2 实验验证

为有效验证红外热像仪通讯电路设计的正确性与可靠性,本设计验证分为两部分,分别为上下位机串行通讯实验验证和 DSP 与 FPGA 间 FIFO 读写验证,其硬件平台为红外热像仪图像处理板,如上文所述,该板基于 FPGA+DSP 硬件架构,如图 8 所示。其中 DSP 为 TI 公司的 TMS320C6415, FPGA 为 Altera 公司 EP2K35F 系列,晶振时钟为 50 MHz。

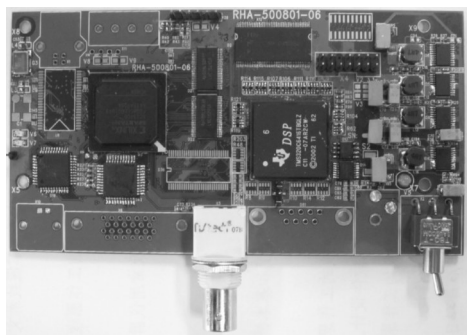


图8 图像处理板实物图

上下位机串行通讯实验通过上位机对 FPGA 发送一系列数据,为简便起见,数据暂定为 6 个,FPGA 将该数据接收后,进而又发送给上位机并显示,以验证通讯是否正常。上位机串行通讯界面基于通用串行调试助手——Comtool2.0,其发送栏控制数据设为 16 进制数“20,21,22,23,24,25”,其接收栏也应为该数据,通过多次发送,多次接收,验证传输的稳定性,其结果如图 9a 所示。实验表明,串行通讯部分设计

正确,工作稳定。

FPGA 与 DSP 间的 FIFO 读写实验验证同样基于图像处理板。FPGA 存储器的初始数据为十进制“20,21,22,23,24,25”。DSP 首先读出 FPGA 的初始



(a) Comtool2.0 串行调试助手界面

Name	Value	Type	Radix
RecvData	39426	un...	dec
[0]	FPGA	20	un... dec
[1]	读出	21	un... dec
[2]	的	22	un... dec
[3]	数	23	un... dec
[4]	据	24	un... dec
[5]	据	25	un... dec
TextData	39425	un...	dec
[0]	写	30	un... dec
[1]	入	31	un... dec
[2]	FPGA	32	un... dec
[3]	的	33	un... dec
[4]	数	34	un... dec
[5]	据	35	un... dec
RecvDataNew	39427	un...	dec
[0]	外	30	un... dec
[1]	FPGA	31	un... dec
[2]	读出	32	un... dec
[3]	DSP	33	un... dec
[4]	写入	34	un... dec
[5]	的数	35	un... dec

(b)FIFO 读写结果(DSP 寄存器显示结果)

图9 通讯电路调试结果

数据,然后向FPGA写入十进制数30,31,32,33,34,35,进而回读所写入的数据。FPGA在DSP读信号的下降沿(即反相信号的上升沿)先取出FIFO存储器中相应数据,送入输入/输出复用端口,然后在DSP写信号的下降沿(即反相信号的上升沿)将输入/输出复用端口的数据写入FIFO存储器中。为观察读写数据是否正确,可以通过DSP设置的寄存器的值看出,如图9b所示。ReceData为DSP接收FPGA初始数据的寄存器,ReceDataNew为回读DSP写入FPGA数据的寄存器,TestData显示的是DSP写入FPGA的数据,为十进制“30,31,32,33,34,35”。从图9b可以看出,DSP与FPGA的FIFO读写正常,表明FIFO读写设计正确。

3 结 论

设计并实现了红外热像仪硬件通讯电路,通过将FPGA与上位机的串行通讯、FPGA与DSP的双向FIFO数据传输均集成于FPGA中,从而避免了传统采用基于专用串行通讯芯片如TL16CP754等的设计方式,提高了系统集成度和稳定性。仿真和实验验证了设计的正确性,能够有效稳定地完成系统的通讯功能。该设计集成度高,稳定性好,可广泛应用于小型化、低成本红外热像仪的系统设计中。

(上接第26页)

4 结 论

基于速率方程理论和行波方程,充分考虑了影响激光输出的各种因素,建立起了线型腔、环形腔的CW、主动/被动调Q光纤激光器通用的行波模型。此模型相比传统模型充分考虑了各种损耗、信号光与泵浦在光纤中的分布、掺杂与非掺杂光纤长度的影响。结合有限差分理论推导出了光纤激光器行波模型的通用算法,并编写了基于本算法的计算机软件,通过与文献中实验结果的对比,证明了本模型与算法具有较高的精度。

参考文献

[1] Kelson I, Hardy A A. Strongly pumped fiber lasers[J]. IEEE J Quantum Electron, 1998, 34(9): 1570-1577.

参考文献

[1] 耿春萍,张建辉,张丽霞,等. 激光与红外隐身效果的测量评估方法研究[J]. 光电技术应用,2008,23(4):78-80.
 [2] 李清安,万中南,鄂盛国. 红外热像仪在水平空投系统的应用研究[J]. 红外与激光工程,2008,37(4):588-590.
 [3] 郭旭敏,李艳宁,段萌,等. 红外成像导引头信号调理卡的设计[J]. 传感器与微系统,2012,31(7):80-83.
 [4] 郑智惠. 红外遥感用低温制冷器的进展[J]. 电光与控制,2002,9(2):9-13.
 [5] 赵石彬,张存林,伍耐明,等. 红外热波无损检测技术用于聚丙烯管道缺陷的检测[J]. 光学学报,2010,30(2):456-460.
 [6] 安俊超,荆洪阳,徐连勇,等. 一种用红外热成像仪测定焊接热循环的新方法[J]. 天津大学学报,2011,44(2):148-153.
 [7] 薛书文,雷雨,陈习权,等. 脉冲红外热成像无损检测的物理检测机理[J]. 电子科技大学学报,2005,34(3):320-323.
 [8] 曹西征,郭立红. 基于VC++的红外相机串行通讯软件设计[J]. 微计算机信息,2007,23(2):289-290.
 [9] 邢素霞. 非制冷红外热成像系统研究[D]. 南京:南京理工大学,2005:63-68.
 [10] 赵正辉,李宇,刘恒辉. 非制冷红外热像仪信号处理系统的设计与研究[J]. 红外,2009,30(10):18-22.
 [11] 罗玉梅,简献忠,裴云天. MCT1024红外热像仪的研制[J]. 仪器仪表学报,2005,26(8):708-709.

[2] K Ueda, A Liu. Future of high-power fiber lasers[J]. Laser Physics, 1998, 8(3): 774-781.
 [3] J Limpert, F Roser, T Schreiber, et al. High-power ultrafast fiber laser systems[J]. IEEE Journal of selected topics in Quantum Electronics, 2006, 12(2): 233-244.
 [4] E Snitzer, H Po, F Hakimi, et al. Double clad, offset core Nd fiber laser[C]. Optical Fiber Sensors, New Orleans, LA, January 27, 1988 Postdeadline Papers.
 [5] Y Jeong, J K Sahu, D N Payne, et al. Ytterbium-doped large-core fiber laser with 1.36 kW continuous-wave output power[J]. Optics Express, 2004, 12(25): 6088-6092.
 [6] M Laroche, H Gilles, S Girard, et al. Nanosecond pulse generation in a passively Q-switched Yb-doped fiber laser by Cr4+:YAG saturable absorber[J]. Photonics Technology Letters, IEEE, 2006, 18(6): 764-766.
 [7] J A Alvarez Chavez, H L Offerhaus, J Nilsson, et al. High-energy, high-power ytterbium-doped Q-switched fi-

(下转第79页)