

· 电路与控制 ·

基于多DSP与FPGA的实时图像处理系统设计

银志军, 刘 强

(东北电子技术研究所, 辽宁 锦州 121000)

摘要:为解决高速数字图像处理系统和实时性相冲突的要求,设计了以多DSP(数字信号处理器TMS320C6416)和现场可编程门阵列(FPGA)相结合的实时图像处理系统。重点介绍了该系统的硬件资源选择、基本组成、工作原理、电源设计、DSP引导方式以及软件设计等,通过对每秒25帧14位640×512像素的数字图像处理结果表明,该系统满足高速图像实时处理的要求。同时,可扩展到更高速度的DSP(如TMS320C6455系列),实现更为复杂的实时图像处理任务。

关键词:TMS320C6416; DSP; FPGA; 实时图像处理

中图分类号: TN79⁺2

文献标识码: A

文章编号: 1673-1255(2012)01-0076-05

Design of Real-time Image Processing System Based on FPGA and Multi-DSP

YIN Zhi-jun, LIU Qiang

(Northeast Research Institute of Electronics Technology, Jinzhou 121000, China)

Abstract: In view of the conflict between the real-time property and high speed digital image processing system, the real-time image processing system based on multi-DSP (digital signal processor TMS320C6416) and FPGA (field programmable gate array) is designed. The selection of hardware source, basic components, working principle, power supply design, DSP boot loading principle and software design of the system are introduced. The experimental result indicates that the system meets the requirement of real time high speed digital image processing by 640×512 pixel, 14-bit, 25 frame/s digital image. At the same time, the higher speed DSP (e.g. TMS320C6455 series) can realize the more complex real-time image processing.

Key words: TMS320C6416; DSP; FPGA; real-time image processing

随着高速数字电路的快速发展, DSP芯片集成度、运算速度、数据吞吐率等性能的不提高, DSP不再局限于传统音视频处理及离线信号处理等方面的应用, 它已被广泛地应用于许多实时视频与信号处理传输领域。在实时图像处理系统中, 如何在有限的时间内完成大量信息数据的处理, 满足系统的实时性要求一直是困扰着人们的一个难题^[1]。考虑到单个DSP难于满足图像处理中运算量大、实时性强、数据传输速率高等要求, 设计一种以多个TMS320C6416为核心处理器和FPGA(Virtex-4)相结合的实时图像处理系统^[2]。该系统可有效地融合DSP和FPGA两方面的优势, 利用FPGA进行了图像的预处理, 从而

极大地提高了系统的灵活性, 为实时图像处理的研究和应用提供了广阔的空间和平台^[3]。

1 系统硬件平台器件选型

1.1 TMS320C6416简介

系统的核心部分选择TI的TMS320C6416 DSP芯片, 这款DSP具有如下特点:

- ① 8 Mbit的片内存储器
- ② 扩展的直接存储器访问(EDMA)
- ③ 主机接口(HPI)
- ④ PCI接口

- ⑤ 外部存储器接口 EMIFA 和 EMIFB。其中 EMIFA 总线宽度为 64 bit, EMIFB 总线宽度为 16 bit
- ⑥ 多通道缓冲串口 (McBSP)
- ⑦ UTOPIA 接口 (ATM 从设备接口)
- ⑧ 32 位定时器
- ⑨ 16 个通用 I/O 口 (GPIO)

由于进行在线图像处理、图像校正、目标识别,所以,系统的运算数据量较大,而这款芯片提供了高运算速度、大内存空间、足够的 I/O 接口、多样的通讯方式、宽范围的使用温度,给系统的软件设计提供了充分的时间及空间运算余地,以及适应严酷运行环境的能力。另外, BGA 封装也为系统的抗干扰能力提供了保障^[4]。

1.2 Virtex-4 简介

系统的 FPGA 选择 Xilinx 公司的 XC4VLX100-10FF1513 芯片^[5], 该型器件具有丰富的逻辑资源, 能够满足设计要求。Virtex-4 FPGA 是 Xilinx 公司推出的第四代 Virtex 系列 FPGA 产品。Xilinx 的 Virtex-4 系列将高级硅片组合模块 (ASMBL) 架构与种类繁多的灵活功能相结合, 大大提高了可编程逻辑设计能力, 从而成为替代 ASIC 技

术的强有力产品。该产品采用先进的深亚微米设计技术、集成硬 IP 模块以及三次氧化 90 nm 铜 CMOS 工艺技术, 使用 300 mm (12 英寸) 晶片技术生产, 因而其器件成本和功耗降低了 50%。基本的 Virtex-4 构建模块是原来的构建模块 (可见于流行的 Virtex、Virtex-E、Virtex-II、Virtex-II Pro 和 Virtex-II Pro X 产品系列) 的增强版本, 所以上一代设计可以向上兼容。

2 系统设计

主要分为三部分, 分别是图像预处理模块、图像并行处理模块和图像综合处理模块^[6]。其系统原理框图如图 1 所示。

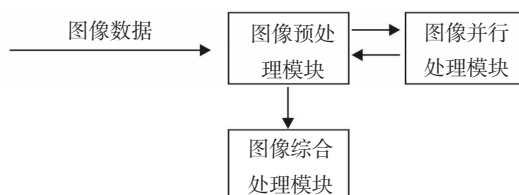


图1 系统原理框图

系统详细设计框图如图 2 所示。

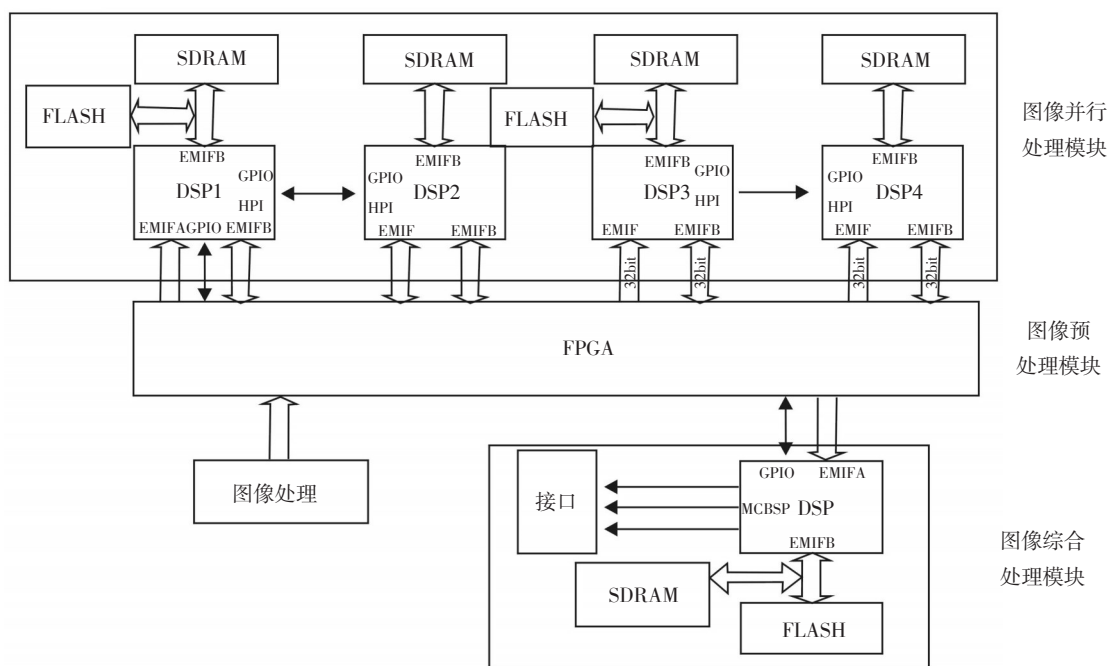


图2 系统详细设计框图

2.1 图像预处理模块

采用 Xilinx 公司的 Virtex-4 系列芯片和 XCF32PVO48C 系列芯片,主要实现对图像数据在 FPGA 内部进行分割,并将图像传送至 4 片 DSP(图像并行处理模块)中并行处理,DSP 对接收的图像实时处理后经 FPGA 传送至图像综合处理模块中的 DSP 作综合处理。FPGA 内定制 8 个双口 RAM,其中为 4 片 DSP 传输图像数据,另外 4 个传输图像并行处理模块处理后的图像到图像综合处理模块 DSP 的 EMIFA 接口。

2.2 图像并行处理模块

采用了 TI 公司的 TMS320C6416 系列 DSP 芯片、AMD 公司的 AM29LV800A 系列 FLASH 芯片和 Micron 公司的 MT48LC16M16A2BG 系列 SDRAM 芯片,主要完成图像数据的并行处理。信号并行处理模块上有 4 个 TI6416DSP,分别为 DSP1、DSP2、DSP3、DSP4。其中只有 DSP1,DSP3 带有 FLASH,因此上电时需要 DSP1 通过 HPI 方式引导 DSP2,DSP3 通过 HPI 方式引导 DSP4。每个 DSP 接收 1/4 帧图像。DSP 通过 EMIFA 的 CE2 从 FPGA 中读取图像数据,图像处理后再通过 EMIFB 写入 4 个 256 Mb 的 DPRAM,并通过 EMIFB 的 CE2 将处理后的数据传给 FPGA。DSP1 的 GPIO1 用于复位 FPGA,GPIO1 为低电平时 FPGA 为复位状态,高电平时为工作状态。DSP1 的 GPIO7、DSP2、DSP3、DSP4 的 GPIO5 用于接收 FPGA 的信号,当 FPGA 准备好图像数据时,会将这几个信号拉低 2 ms 左右,以通知 DSP 读取图像数据。DSP4 的 GPIO15 通过 FPGA 与信号综合处理模块的 DSP 连

接,用于通知 DSP 读取信号并行处理模块处理好的数据。

2.3 图像综合处理模块

采用和图像并行处理模块相近的硬件平台。其中 DSP 通过 EMIFA 接口读取信号并行处理模块处理过的数据,并对数据进行综合处理。DSP 通过 EMIFB 连接了一个 FLASH 和 SDRAM。当图像并行处理模块处理完数据后,先是由 FPGA 给图像综合处理模块 DSP 的外部中断管脚 GPIO5 发送一个低电平,触发 DSP 外部中断,DSP 再通过其 EMIFA 的 CE0 从 FPGA 综合出的 SRAM 中读取数据。DSP1 预留 3 个 MCBSP 通道,实现图像综合处理模块与 PC 机等上位机之间的信息通讯。

2.4 电源设计

由于采用了多种型号的集成芯片,如 FPGA 和 DSP 自身就是多电压工作,需要的工作电压为 3.3、2.5、1.8、1.25、1.2 V 等。采用 TI 公司的 TPS54310 开关电压转换芯片,通过外接不同的配置电阻电容实现输出所需的电压值。

2.5 DSP 程序引导

(1)FLASH 引导

图像并行处理模块的 DSP1、DSP3 和图像综合处理模块的 DSP 是采用这种方式引导的。该引导方式是从 8 bit FLASH 引导(Bootmode [1:0]=10),采用的 FLASH 容量为 1 M×8 bit,最快读写周期为 90 ns。图

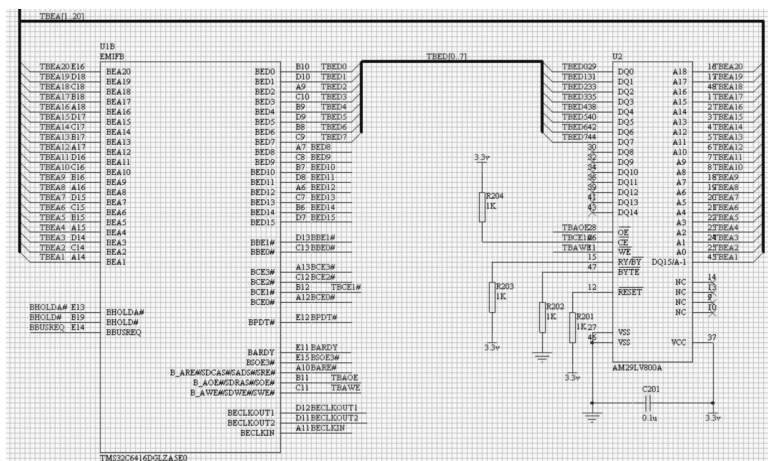


图3 DSP 与 FLASH 的连接图

3为DSP与FLASH的连接图^[7]。DSP的EMIFB按照异步存取模式与FLASH连接,FLASH的1M字节对应DSP的0×64 000 000 - 0×64 100 000(EMIFB CE1)寻址空间。FLASH工作在8 bit模式($\overline{BYTE} = 0$)。

DSP上电复位后,CPU自动将EMIFB的CE1区间的最开始1K字节数据(0×640 000 000 - 0×64 000 400)拷贝到内部RAM(0×00 000 000 - 0×00 000 400),执行一次引导(被拷贝的代码包括两部分:中断向量表(0×64 000 000 - 0×64 000 200)和secondary bootloader程序,这部分代码应事先烧入FLASH)。然后CPU产生复位中断,程序指针指向地址0×00 000 000,执行跳转指令后程序指针指向secondary bootloader的开始。secondary bootloader实现的功能是将整个应用程序(事先已烧入FLASH)拷贝到其运行地址(内部RAM,这样程序运行的最快),执行二次引导。在secondary bootloader程序的最后,是一个跳转指令,CPU跳转到_c_int00,开始执行应用程序^[8]。

(2)HPI引导

图像并行处理模块的DSP2和DSP4是采用HPI方式引导的,DSP2通过HPI接口由DSP1引导程序。DSP1/DSP2的程序都存放在DSP1的片外FLASH中。DSP1上电后程序引导结束后,DSP1程序指针跳转至DSP1应用程序代码的起始地址开始执行程序。DSP1的应用程序首先复位DSP2;然后从FLASH中读取DSP2的程序代码,通过HPI接口写入DSP2的内存中相应地址空间;最后DSP1通过HPI接口唤醒DSP2,完成对它们的程序引导^[9]。

3 软件设计

3.1 FPGA部分

FPGA编程语言使用Verilog HDL语言^[10],软件环境为XILINX ISE10.1。软件主要包括顶层模块,FPGA与图像数据接口驱动模块,双口RAM模块,EMIF接口模块^[11]。

FPGA软件组成图如图4所示。

3.2 DSP部分

DSP程序用C语言和TMS320C6000系列汇编语言编写,编程环境为CCS3.1或CCS3.3^[12]。DSP程序由主函数main.c、多个功能模块函数和驱动函数Drive_EMI-

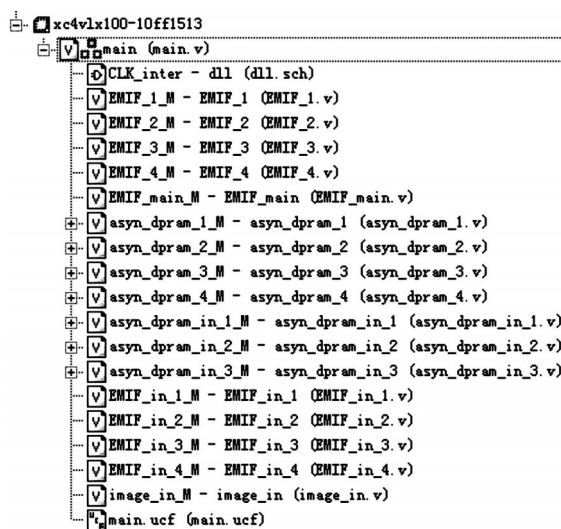


图4 FPGA软件组成图

FA.c、Drive_GPIO.c、Drive_HPI.c、Drive_EDMA.c等组成。second_level bootloader.asm中的内容是二级引导程序,目的是将程序的各段从LOAD地址搬运到RUN地址,烧写时二级引导程序存入FLASH的起始1K的空间,DSP上电复位后自动将这段代码拷贝到内部RAM,然后执行这段代码。vectors.asm是中断向量表,当中断(必须是被使能的中断)产生时,CPU自动跳到中断向量表中相应的位置。DSP软件流程图如图5所示。

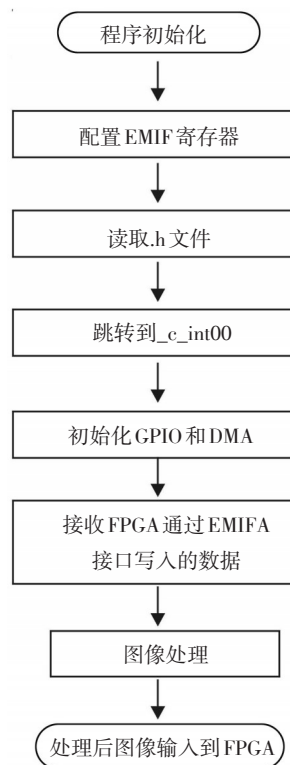


图5 DSP软件流程图

信号并行处理板中DSP的软件主要为接口驱动部分,其中主要接口驱动为DSP读写FPGA,4个DSP的接口驱动相同,以下是DSP从FPGA中读取数据的程序。

```
emif=(unsigned int *)0x00090000;
emif1=(unsigned int *)0x000b0000;
dualram=(int *)0xa0000000;
Drive_GPIO(12, DRIVE_GPIO_Output, 0,0);
memmove(emif,dualram,131072);
Drive_GPIO(12, DRIVE_GPIO_Output, 0,1);
memmove(emif1,dualram,32768);
```

由于采用了DSP的GPIO12作为连接FPGA的最高位地址线。因此,要从FPGA中读取128 K字节的数据需要用到上段程序。

4 实验测试结果

利用上述图像处理平台,对输入640×512×25(帧)4 bit/s的红外图像进行了实时处理,测试结果表明,该处理平台可以实时检测出满足条件的目标信息,满足设计要求。此前利用单DSP平台实现了数据量为256×256×10(帧)×8 bit/s图像的实时处理,相比之下,采用多DSP平台的处理能力较单个DSP有了较大提高。

5 结束语

运用TI的高性能DSP(TMS320C6416)设计了一种通用实时图像处理系统,讨论了系统设计的关键结构和系统处理实时性要求。基于多DSP和FPGA的图像处理系统针对图像数据量大,数据复杂的特

点,充分利用了DSP计算庞大数据的高效性和FPGA精于并行处理的优点,具有集成度高、存储量大、处理速度快和方便传输等特点。结果表明该系统能够有效地实现大量的实时图像处理任务,具有广泛的应用前景,同时也可在更快速度的平台上进行拓展^[13]。

参考文献

- [1] 李方慧,王飞,何佩琨. TMS320C6000系列DSPs原理与应用[M]. 北京:电子工业出版社,2005:35-182.
- [2] 王艳,鲍建跃,林晓春,等.基于FPGA的红外图像目标检测[J]. 西安电子科技大学学报(自然科学版), 2005,32(3):403-407.
- [3] 陈冰,王兴国,刘济林.基于DSP TMS320C6x的实时图像处理系统[J]. 光电工程,2000,27(6):38-43.
- [4] Texas Instruments. TMS320C6414, TMS320C6415, and TMS320C6416 FIXED-POINT DIGITAL SIGNAL PROCESSOR Datasheet. 2003, 3(SPRS146G).1-135.
- [5] Virtex-4系列概述. DS112 (v2.0) 2007.1.23.1-12.
- [6] 刘涛,贺彪,赵登超,等.基于DSP+FPGA的红外成像系统设计[J]. 江西理工大学学报,2008,29(4):27-30.
- [7] Am29LV800B Datasheet.Publication# 21490 Rev: G .August 14, 2000.1-20.
- [8] 郑争兵,张峰,陈正涛.基于TMS320C6416的FLASH加载方式的设计与实现[J]. 电子技术,2005:84-86.
- [9] 舒望.基于HPI方式的DSP引导方法的研究[J]. 电子科技, 2008,21(11):9-11.
- [10] 夏宇闻.Verilog数字系统设计教程[M]. 北京:北京航空航天大学出版社,2008:25-123.
- [11] 田耘,徐文波.Xilinx FPGA开发实用教程[M]. 北京:清华大学出版社,2008:144-232.
- [12] 张晔,邵涛,严萌.基于DSP和FPGA的高光谱图像处理系统设计[J]. 光电技术应用,2010,25(1):56-59.

《光电技术应用》期刊网站简介

《光电技术应用》期刊网站的网址为: <http://www.gdjsy.com>。网站设有:期刊介绍、资质荣誉、编委会、版权声明、征稿简则、征订启事、联系方式等栏目。通过上述栏目,作者与读者可对期刊基本情况和编辑部工作有进一步了解。

为方便作者投稿,网站设立了期刊的投稿指南及论文格式模板。投稿指南从文章的题名、摘要、引言、结语、参考文献等几个部分提出对所投稿件(文章)的要求、编写方法、应注意的问题等,供作者参考。论文格式模板以本刊一篇已发表的文章为例,对刊载文章的体例、格式及部分基本要求进行了较为详细的说明(采用红色说明文字),以节省文章编辑修改时间,提高录用的时效。《光电技术应用》期刊的电子邮箱为: neiet@jzptt.ln.cn 以及 nloe@vip.163.com 欢迎广大作者踊跃投稿。