

·光电系统·

## 基于CPLD+FLASH的多通道测试记录仪

董刚刚, 吴建, 曾强

(中北大学 信息与通信工程学院, 山西 太原 030051)

**摘要:**设计了一种基于复杂可编程逻辑器件(complex programmable logic device, CPLD)控制、FLASH MEMORY(闪速大容量存储器)存储的新型存储测试系统。此系统的采样频率最大为1 MHz, 可灵活选择500 kHz、250 kHz的不同采样频率, 并且系统具有内外触发的功能。实验结果表明, 该系统能够准确有效地存储A/D数据的采集。

**关键词:**FLASH; 存储测试; 复杂可编程逻辑器件(CPLD); 高速采集

中图分类号: TP274

文献标识码: A

文章编号: 1673-1255(2011)04-0008-03

## Multi-channel Stored Testing and Measuring Device Based on CPLD and FLASH

DONG Gang-gang, WU Jian, ZENG Qiang

(School of Information and Communication Engineering, North University of China, Taiyuan 030051, China)

**Abstract:** A new storage measurement system based on the CPLD (complex programmable logic device) and FLASH MEMORY (large-capacity flash memory) is designed. The maximum sampling frequency of the system is 1 MHz, but the system can flexibly choose the variable sampling frequencies, such as 500 kHz and 250 kHz, and also has the functions of external and internal trigger. The results show that the system can effectively store the A/D data acquisition.

**Key words:** FLASH; stored testing and measuring; complex programmable logic device (CPLD); high speed data acquisition

在雷达、气象、地震预报、航空航天、通信等领域里, 现场信号具有重要的作用, 这些信号的主要特点是: 实时性强, 数据速率高, 数据量大, 处理复杂, 运算量大。因此, 数据采集的研究一直是工程实践中一项倍受人关注的领域。工程师们都希望能够获得一种能够完全记录现场信号的设备, 特别是那些高速、实时性要求高的场合<sup>[1]</sup>。

研究了一种针对现场数据实时存储、事后进行数据重放的高速数据采集记录装置, 具有采样速度高, 存储容量大, 微体积, 低功耗等特点, 由于其工作稳定、性能可靠, 数次在试验中捕获雷达视频信号, 极大地提高了试验的效率, 缩短了试验时间, 节

约了试验成本<sup>[2-3]</sup>。

### 1 测试系统的总体设计

#### 1.1 系统的结构框图

系统的框图如图1所示, 系统的控制芯片CPLD采用的是XILINX公司的XCR3256XL, 是一款低功耗器件, 有256个宏单元, 3.3~5 V供电范围, 其引脚到引脚的传输延时为7.5 ns, 系统频率可达到140 MHz, 并且该器件采用的TQFP-144封装, 具有4个全局时钟。系统的AD芯片采用的是AD7492, 是一个12位并行输出AD转换器, 它具有1 MSPS

收稿日期: 2011-05-31

基金项目: 山西省自然科学基金(2009011023)

作者简介: 董刚刚(1984-), 男, 山西洪洞人, 硕士研究生, 主要从事测控系统、数据采集系统等方面的研究。

的高数据通过率和低功耗。存储芯片采用的是256 M×8 bit的三星公司的一款2 Gbit并带备用的64 Mbit容量的存储器k9k2G08U0M。页编程时间:300 μs(Typ.);块擦除时间:2 ms(Typ.)<sup>[7]</sup>。

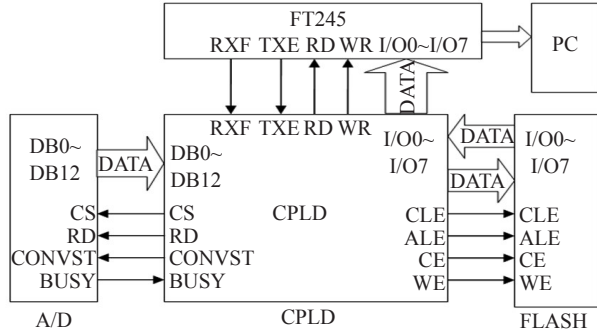


图1 系统的结构图

系统的具体工作流程是:传感器采集的模拟信号经过模拟电路的放大滤波之后,将模拟信号送入AD转换器,AD转换器将模拟信号转化为数字信号,因为FLASH存储器和USB芯片的数据口都是8位的,所以AD转换后的12位的数字信号在CPLD内部分为高6位和低6位,一次A/D转换的数据分两次写进FLASH存储器。读数时,USB芯片FT245和上位机握手成功后,开始向FLASH写入读数的命令60 h,FLASH存储器中的数据通过FT245读到上位机,并通过VB编写的上位机软件显示给用户。

### 1.2 系统的工作时序

系统使用晶振的频率为8 MHz,经过CPLD分频后得到A/D转换信号的频率为1 Mbit,如图2中CONVST所示,即系统能以1 Mbit/s的采样速率采集数据,在模数转换的一个周期里,A/D转换器的忙信号线BUSY在转换起始时为高电平,880 ns后跳变为低电平以表示转换结束。没有与此过程相关的管线延时。转换结果是借助标准CS和RD信号从一个高速并行接口存取的。当BUSY的下降沿来临时,CPLD控制将A/D转换后的数据写入FLASH存储器,分高6位和低6位两次写入。

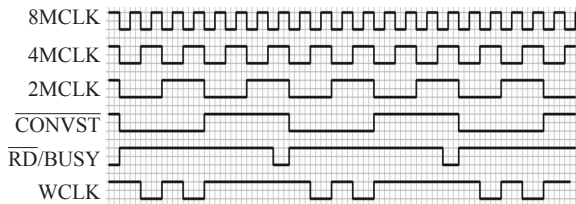


图2 系统的时序图

### 1.3 系统的流程图

如图3所示,当系统上电以后,首先对FLASH进行擦除操作,等擦除完成后接着判断系统是否触发,若系统触发,CPLD提供AD工作的时钟CONVST,同时通过编写的FLASH控制软核,配置FLASH写数的地址,配置完地址后给FLASH芯片10 h的命令,开始向存储器FLASH写入数据,接下来判断所记录的数据的量是否满足设定的值,若满足要求,程序结束,若否接着配置下页的地址,继续向FLASH写数,直到满足所设定采样大小的值。

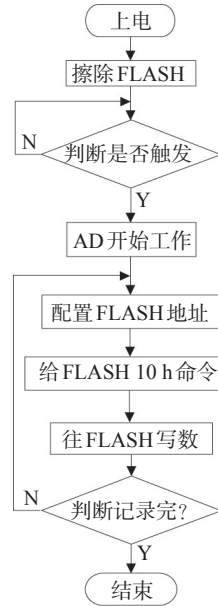


图3 系统主流程图

### 1.4 FLASH控制软核的实现

系统使用的存储器是三星公司的k9k2G08U0M的NAND型FLASH,k9k2G08U0M是由2 048个块组成,一个块由64个页组成,一页有(2 K+64)字节的存储单元。寻址时,NAND型闪存一般通过8条I/O接口数据线传输地址信息包,每包传送8位地址信息。k9k2G08U0M的寻址需要5个周期,A0~A11是对页内进行寻址,可以被理解为“列地址”。A12~A28是对页进行寻址,可以被理解为“行地址”。其中,A0~A11表示一页内的起始地址,A12~A17表示页地址,A18~A28表示块地址。同时,k9k2G08U0M芯片提供了一条状态指示信号线R/ $\bar{B}$ ,当该信号为低电平时,表示FLASH可能处于擦除、编程或读操作的忙状态,而当其为高电平时,

则表示为准备好状态,此时可以对芯片进行各种操作。FLASH的写操作时序如图4所示。

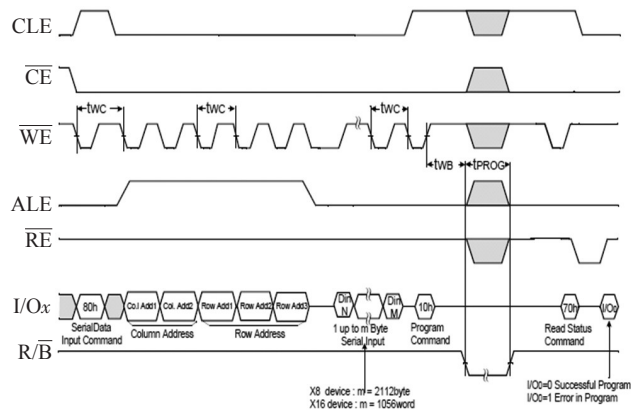


图4 FLASH写数时序图

从图4可知,FLASH芯片的写操作有着严格的时序图,当命令使能CLE为高时,向I/O引脚输入写数命令80h;当地址使能ALE有效时,输入5个周期的地址,接着向芯片写入写数命令10h,在WE上升沿的控制下I/O引脚的数据就写进了存储器,通过给芯片写入70h检测I/O的状态,可以看出数据是否成功写入芯片内部。为此用ISE软件编写了一个用于控制FLASH的软核,通过ModelSim仿真,仿真图如图5所示。

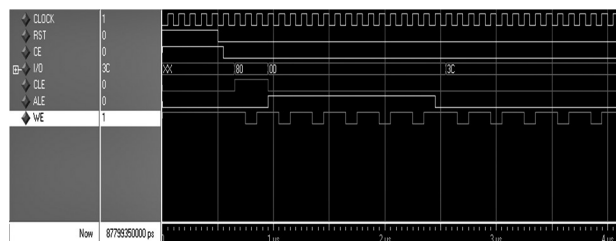


图5 FLASH写数时序仿真图

## 2 实验分析及结论

系统采集了一路最大值5V,最小值0V,频率大约100Hz的正弦信号,图6为输入信号的示波器图。系统的采样频率为1MHz,通过USB读取的结果如图7所示。图7的Y坐标为采集信号的幅值,可以看出信号的最大值为5V,最小值为0V,这与输入信号的最大值和最小值吻合。输入信号的频率是100Hz,AD的采样频率为1MHz。可以看出,一个周期内采集了10000个点,图7的X为一个周期采集的点数,大约10000个点,说明系统的采样频率为1MHz,而且数据曲线平滑,滤波效果好。

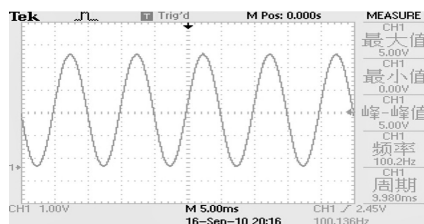


图6 系统输入信号的波形图

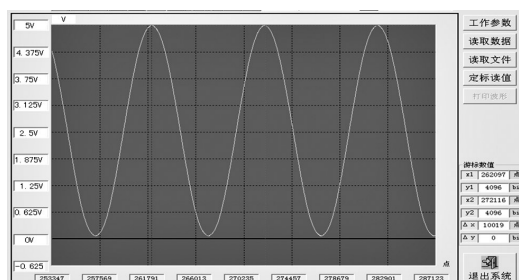


图7 系统调试结果展开图

## 3 结束语

系统以CPLD为控制核心,以闪存FLASH为存储器,实现了高速、多通道的数据采集并实时存储,通过后续的数据处理,能较好地还原输入的原始信号。文中利用CPLD来控制系统的采样和数据的存储,并利用ISE软件编写了控制FLASH存储器的软核,通过Modelsim仿真,该软核能够准确有效地对FLASH进行控制,对FLASH存储器进行操作时,可以直接调用FLASH软核,使得对FLASH的控制变得简单、有效、节省开发时间,具有一定的实际意义。

## 参考文献

- [1] 张文栋. 存储测试系统的设计理论及其在导弹动态数据测试中的实现[D]. 北京:北京理工大学,1995.
- [2] 瞿杨霞,张志杰,杜红棉. FLASH在存储测试系统中的应用[J]. 微计算机信息,2008,24(3-2):222-223.
- [3] 夏伟强,马铁华,范锦彪. 制导炸弹控制信号存储测试系统设计[J]. 弹箭与制导学报,2006,26(4):177-178.
- [4] 董健,蒋建伟,万丽珍. CPLD与单片机在超压存储测试系统中的应用[J]. 测试技术学报,2005,19(1):44-47.
- [5] 文丰,赵小珍,甄国涌. 基于USB总线的高速数据采集存储测试系统的设计[J]. 电测与仪表,2007(11):47-49.
- [6] 黄孟波. 振动信号采集系统中高速缓存的实现[J]. 微计算机信息,2006,22(9-2):66-68.
- [7] 三星闪存数据手册和常见问题解答[DB/OL]. <http://samsung-electronics.com/semiconductors/flash>.
- [8] 高怡祯. 基于闪存的星载大容量存储器的研究和实现[J]. 电子技术应用,2003(8):72-75.