

·光电系统与·设计·

基于 FPGA 的 CMOS 传感器高速视频采集系统

侯宏录, 王蓉, 杜 鹃

(西安工业大学光电工程学院, 陕西 西安 710032)

摘 要:依据图像采集和传输的方式和方法的不同,提出了一种以 CMOS 数字图像传感器作为相机光电转换器件的数据采集方法.设计了一种利用 FPGA 作为核心控制芯片、USB 为传输接口、CMOSOV5620 为图像采集芯片的高速视频采集系统.介绍了系统的总体设计结构,给出了各个模块的具体硬件设计方法和软件流程,得出了可行性结论.

关键词:FPGA; CMOS 传感器; 高速视频

中图分类号: TN919.3

文献标识码: A

文章编号: 1673-1255(2010)05-0024-05

Airborne High-speed Video Acquisition System Using CMOS Sensor Bases on FPGA

HOU Hong-lu, WANG Rong, DU Juan

(School of Optoelectronic Engineering, Xi'an Technological University, Xi'an 710032, China)

Abstract: Based on the difference of image gathering and the transmission, a new approach of data acquisition is proposed, which takes the CMOS digital image sensor as the camera electro-optic transform component. The high-speed video gathering system is designed with FPGA as core control chip, USB as transmission interface; CMOSOV5620 as image gathering chip. The system design structure was presented while each module hardware design method and the software flow were given. The test shows that this system is feasible.

Key words: FPGA; CMOS sensor; high-speed video

国外在基于 DSP/FPGA 的高帧频数据采集系统上,采集帧频已达到从 25 f/s 到 1 000 f/s 甚至更高,在数字像机的存储流量上也能达到 100 M/S 以上^[1].一般通过 CPU/DSP^[2]读写指令的系统,处理速度慢,不能对数据进行并行处理,更不能实现硬件加速,从而直接导致视频采集速度慢.基于 FPGA 技术的高帧频数据采集系统全部是硬件实现,系统工作可靠稳定,且其中大量的运算都采用并行处理的方式,使采集速度大幅提高.采用 FPGA 技术设计高帧频数据采集系统必定成为视频数据采集的发展方向.

文中设计了一种基于 FPGA 的 CMOS 传感器高速视频采集系统,具有体积小,速度高,开发方便

的优点.提出了图像采集系统的硬件总体方案,选用了采集时所需的主要芯片,制作了系统整个原理图及 PCB 图,设计了采集系统的部分程序.

1 系统原理及总体设计结构

数据采集系统主要由三部分组成:CMOS 图像传感器、FPGA 核心控制、USB 缓存传输. CMOS 图像传感器主要负责视频数据的获取;FPGA 完成对 CMOS 芯片采集部分的控制、数据缓存及传送接口控制;传输部分控制传感器的工作状态,并提供缓存传输接口最终将数据传送到 PC 机上.

基于原理分析,提出如图 1 所示的设计方案.

收稿日期:2010-10-12

基金项目:国家部委科研基金资助(B2220061084)

作者简介:侯宏录(1960-),男,西安工业大学教授,主要研究方向为光电测试,信息融合,复杂系统建模、仿真与作战效能评估.

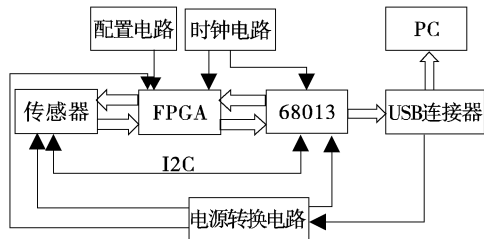


图1 系统总体设计

系统上电工作时,首先进行初始化,USB接口芯片68013接收来自上位机的命令控制字,根据命令控制字设置传感器的工作方式,驱动CMOS传感器工作,配置完毕后68013向FPGA发出控制信号,通知FPGA开始采集数据,经过FPGA编写采样控制信号,传感器输出10位数字信号,FPGA进行加帧处理数据信号,同时FPGA也产生接口同步信号,使数据通过接口芯片68013传输同步,最后由接口芯片68013将数据传输到计算机上显示处理。

2 系统采用的主要芯片

2.1 图像传感器

该设计选用的传感器是OmniVision公司的一款低电压CMOS图像传感器芯片OV5620,分辨率为 $2\ 592 \times 1\ 944$,数据位宽为10位,输出格式为RAW RGB,扫描模式为逐行扫描,封装为CLCC-48^[4]。它在一块小的尺寸封装中实现了单芯片的VGA摄像和图像处理的全部功能。此款传感器内部集成了SCCB控制接口,外围器件与传感器的通信是通过SCCB完成的,通过SCCB接口可以完成对传感器内部寄存器的设置,包括曝光控制、亮度控制、对比度控制、窗口大小设定、帧速率设定、输出格式等。

2.2 控制芯片FPGA

该系统控制芯片选用的是Altera公司CycloneII系列FPGA中的EP2C8T144C8N,它含有8256个查找表单元、使用144脚TQFP封装,共计85个用户可用引脚;具有嵌入式存储器,含有36个M4KRAM块,提供162 kbits存储容量,能够配置成为RAM、ROM、FIFO,并支持单口和双口等多种操作模式;支持各种单端I/O接口标准,并具有可编程驱动能力控制;灵活的时钟管理电路,CycloneII

器件具有2个可编程锁相环PLL和8个全局时钟线,提供健全的时钟管理和频率合成功能,实现最大的系统性能^[5]。

2.3 传输接口芯片

系统选用的是Cypress公司生产的EZ-USB FX2系列的CY7C68013芯片,该芯片支持2种传输速率:全速12 Mbit/s和高速480 Mbit/s,不支持低速。芯片包括1个8051处理器,1个串行接口引擎SIE,1个USB收发器,8.5 KB片上RAM,4 KBFIFO存储器以及1个通用可编程接口GPIF^[6]。

3 系统硬件设计

3.1 传感器及其外围电路模块设计

设计此部分工作电路目的是图像的输出,主要由光学镜头和传感器完成。设计采用了标准镜头,传感器将光信号转换为电信号,在FPGA芯片的控制下,传感器进行A/D转换,控制输出,整个工作过程都是在传感器外部提供的时钟下进行。

SCCB一般通过三条串行线完成数据的交换,这三条串行线分别是:SCCB-E、SIO-C、SIO-D。在该设计中,传感器本身简化了芯片管脚的数量,采用2线模式来实现与外围器件交换信息,其中SIO-C为外围器件访问传感器所必须提供的时钟信号,而SIO-D是外围器件与传感器交换数据的双向数据线。SIO-C和SIO-D分别对应CMOS的45管脚和46管脚(图2所示)。

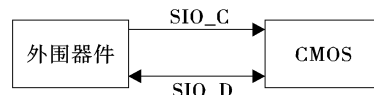


图2 两线控制模式示意图

本设计采用了VGA数据输出格式,在系统设计时,帧同步信号VSYNC,行同步信号HREF,像素时钟输出信号PCLK是要重点考虑的。下面将几个主要管脚与FPGA连接说明如下:(1)D[9:0]:10位数字图像数据输出;(2)VSYNC:帧同步信号;(3)HREF:行同步信号;(4)像素时钟输出信号:PCLK。采集接口如图3所示。

由于传感器芯片的集成度很高,外围电路设计很简化,仅由一些电阻、电容和电感元件组成,主要

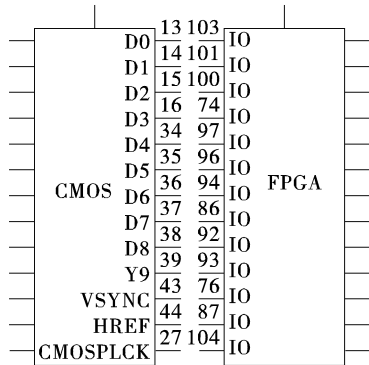


图 3 采集接口示意图

的帧同步信号,行同步信号,像素时钟信号以及 10 位数据接口都与 FPGA 相应的 I/O 口连接.

3.2 FPGA I/O 口连接电路和时钟电路设计

该设计中, FPGA 作为核心控制部分控制了绝大部分单元,关键在于 I/O 口的控制. FPGA、传感器和传输接口数据通道的设计流程是:首先,接口芯片通过 SCCB 协议对 OV5620 寄存器进行配置,完成配置后就进入工作状态,开始图像采集. 然后,在 FPGA 内部对帧同步信号 VSYNC 和 HREF 的下降沿进行判断,判断新的一帧是否开始. 新的一帧开始之后,在同步信号 PCLK 的作用下,OV5620 将原始图像数据传入 FPGA. 原始图像数据 D[9:0]传入 FPGA 之后,经过加头处理后为图像数据 dout,再将图像数据 dout 接入 CY7C68013 的数据输入数据总线 PB. 并且把 PCLK 信号进行复制得到 ifclk 信号,将 ifclk 信号接入 CY7C68013 的 IFCLK 引脚,作为 Slave FIFO 传输模式的同步时钟信号. 生成的 slwr 信号作为 Slave FIFO 传输模式的数据写入使能信号. 加头处理之后的图像数据 dout 就可以通过 CY7C68013 以 Slave FIFO 传输模式传入上位机了.

设计 FPGA 的 I/O 口主要除了对应连接前端 CMOS 传感器采样的时钟和数据信号外,还对应连接后端传输时 FIFO 缓存的选通信号、时钟信号和数据信号. FPGA 的时钟信号需要外部提供, CMOS 所需的标准时钟为 24 MHz,故选用 24 MHz 的有源晶振,时钟从专门的 FPGA 时钟引脚接入,当需要其他频率时钟时,可通过其内部的 PLL 分频或倍频实现.

3.3 FPGA 配置电路设计

FPGA 配置方式分为 JTAG 配置和主动串行配

置 AS 以及被动串行配置 PS. 用户可以根据设计需要通过 EP2C8T144C8N 片上的 MSEL0 和 MSEL1 选择适当的配置方案.

该设计中采用了 JTAG 和主动串行配置. 设计的配置电路中, FPGA 的引脚 MSEL0 和 MSEL1 接地. 用来调试的 JTAG 接口是 4 线: TMS、TCK、TDI、TDO, 分别为测试模式选择、测试时钟、测试数据输入和测试数据输出, 可对 FPGA 内部的所有部件进行访问. 设计还采用了主动配置, 主动配置用到了串行配置芯片 EPCS4, 为低价格的非易失性 Flash 存储器, 4 个配置引脚为: 串行时钟输入 DCLK、串行数据输出 DATA、主动数据输入 ASDI 和低电平有效片选, 分别与 FPGA 上的 DCLK、DATA0、ASDO、nCS0 相连接.

计算机端的应用程序通过下载电缆把配置数据下载到 EPCS4 中的 FLASH 存储器. 以后每次上电时, FPGA 主动输出控制和同步信号给 EPCS4, 在配置芯片收到命令后, 就把配置数据发到 FPGA.

3.4 数据传输接口(内部采用了 FIFO 缓存)电路设计

68013 有 2 种接口方式: Slave FIFOs 和可编程接口 GPIF. 该设计选用了 Slave FIFOs 从机方式. 外部控制器可像普通 FIFO 一样对 68013 的多层缓冲 FIFO 进行读写. Slave FIFOs 工作方式可设为同步或异步; 工作时钟可选为内部产生或外部输入; 其他控制信号也可灵活地设置为高有效或低有效. 图 4 为传输接口框图.

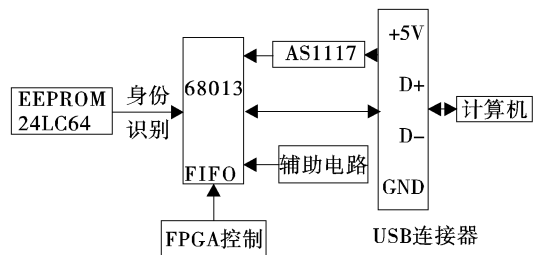


图 4 传输接口框图

在设计中, 传输接口芯片 68013 工作在从模式, 外部设备控制器控制着接口芯片的 FIFO, 68013 的 16 位先入先出数据线和外部设备 FPGA 的数据线相连, 外部设备控制器给 FIFO 提供所需的 5~48 MHz 的时钟信号 IFCLK, FIFO 写允许信号 SLWR、PKTEND 和 FIFOADR[1:0] (如图 5 所示).

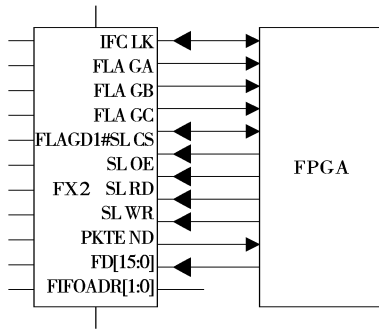


图 5 从模式 FIFO 连接

在设计的电路图中,采用 EEPROM 芯片 24LC64 来存储 USB 芯片 68013 的固件代码,RESET 芯片 MAX811 参与接口芯片复位。

3.5 电压转换电路模块设计

电源设计也是整个系统的重要组成部分,设计时,采集系统中各个芯片的工作电压要求不一样.电压要求:FPGA 核电源 1.2 V,I/O 口电源 3.3 V,锁相环电源 1.2 V,CMOS 传感器的模拟电源 2.8 V,CMOS 传感器的数字电源 2.8 V,传输接口芯片需 3.3 V 电源。

为了满足整个系统的电源要求,减小电源自身对整个电路的干扰,整个硬件电路系统采用 USB 总线供电.整个硬件电路的供电是上位机通过 USB 接口提供的,其提供的电压为 +5V,最大电流为 800 mA.硬件电路中 OV5620 工作电压为 +2.8 V,而 USB 控制器 CY7C68013 的工作电压是 +3.3 V,因此选用了低压差线性稳压芯片 AMS 1117-3.3 将 +5 V 的供电电压转换为 +3.3 V 电压,选用 TPS71229 将 +3.3 V 电压转换为 +2.8 V 和 +1.2 V,从而适应整个硬件系统的供电要求。

3.6 软件设计

软件设计有两大部分,FPGA 控制传感器采集部分和 FPGA 控制缓存传输部分(如图 6 所示)。

FIFO 的缓存实现:在设计中采用了在传输接口处采用接口芯片内部的 FIFO 缓存数据,是通过 FPGA 控制实现的,采用了 verilog VHDL 编程实现。

异步 FIFO 写数据:将 FPGA 数据写入接口芯片的 FIFO,编程过程如下:(1)查询控制信号线,看是否有读事件发生,如果有,就转移到(2)状态,否则保持在状态(1);(2)分配 FIFOADR[1:0]=10,

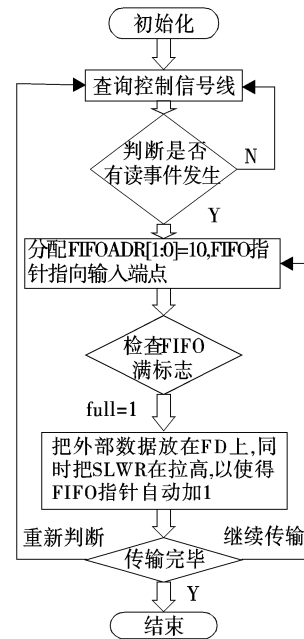


图 6 FIFO 缓存流程图

FIFO 指针指向输入端点,转向状态(3);(3)检查 FIFO 的满标志是否为 1,假如 full=1,表示 FIFO 不满,转到状态(4),否则保持在状态(3);(4)把外部数据放在 FD 上,同时把 SLWR 拉高,以使得 FIFO 指针自动加 1,然后转到状态(5);(5)假如有更多的数据要传输,转到状态(2),否则转到状态(1)。

4 试验验证

在电路板设计软件中依据文中设计,绘制了电路图(如图 7 所示).实现了高速视频采集模块(如图 8 所示).文中所研究的高帧频 CMOS 相机采集系统主要技术指标及功能要求如下。

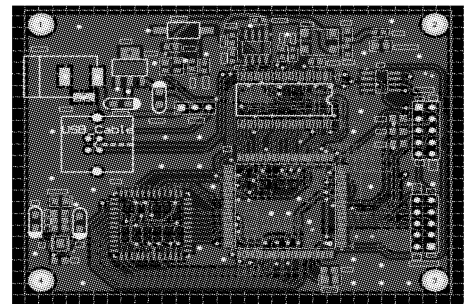


图 7 采集系统 PCB 图

(1)实现高帧频图像的采集、处理、传输、显示及存储;(2)拍摄帧频:30 帧/s;(3)分辨率:不小于 640 × 480;(4)数据位宽:大于等于 10 位;(5)记录时间:1 h。

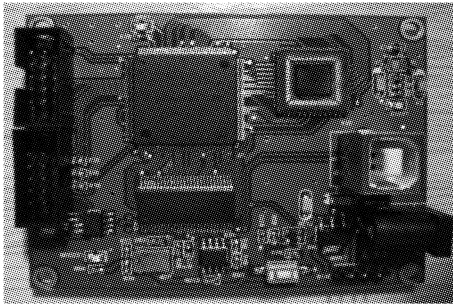


图 8 高速视频采集系统电路板

通过高速模拟试验,设计的系统完全满足设计指标要求.能够实现高速视频的采集.

5 结 论

设计了高速视频采集系统,采用 FPGA 完成对 CMOS 芯片采集部分的控制、数据缓存及传送接口控制,运用 verilog 语言实现高帧频数据的 FIFO 缓存,且不丢失数据.合理布线,设计系统数字硬件电路时,降低布局的毛刺和噪声.当光线饱和或不足时,依据光通量和 CMOS 给定的参数,手动适当调

整镜头的光圈.具有体积小,速度高,实时性好的特点.

参考文献

- [1] Nicolas Blanc. CCD versus CMOS - has CCD imaging come to an end[J]. Photogrammetric Week, 2002: 131 - 137.
- [2] 林凡,吴孙桃,郭东辉. CMOS 图像传感器技术及其研究[J]. 半导体技术, 2006(12): 40 - 44.
- [3] 余国华,冯启明. 基于 CMOS 图像传感器的视频采集系统设计[J]. 武汉理工大学学报(交通科学与工程版), 2004, 28(1): 145 - 147.
- [4] OV5620 Color CMOS QSXGA (2592X1944) Camera Chip Censer datasheet.
- [5] 李洪伟,袁斯华. 基于 Quartus II 的 FPGA/CPLD 设计[M]. 北京: 电子工业出版社, 2006.
- [6] Cypress Semiconductor Corporation. EZ - USB Manual Technical Reference, 2004.
- [7] 侯舒志,姚素英,周津,等. CMOS 图像传感器时序控制方法研究与实现[J]. 固体电子学研究与进展, 2007, 27(1): 119 - 122.

(上接第 5 页)

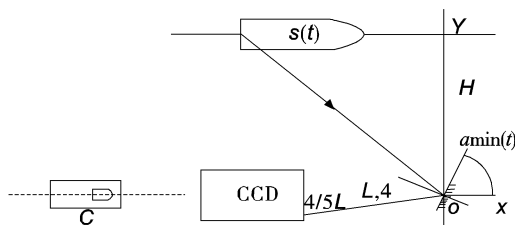


图 6 转镜角度误差下限图

4 结 论

通过对转镜跟踪弹丸成像的研究,得到了系统使用的弹道模型,满足系统要求下转镜的控制数据,并可对跟踪拍摄误差进行校正.

参考文献

- [1] 崔彦平,林玉池. 运动目标姿态与速度测量的理论与实验研究[D]. 天津: 天津大学精密仪器与光电子工程学

院, 2006.

- [2] 苏增立,高晰,王建军,等. 高速摄像系统及其在靶场中的应用分析[J]. 飞行器测控学报, 2003, 22(3).
- [3] 朱新宏,张永生. 某武器外弹道飞行姿态测试方法探讨[J]. 测试技术学报, 1993, 12(3).
- [4] 杨夏. 高速图像实时存储系统研制及目标三维姿态的光测研究[D]. 长沙: 国防科学技术大学, 2002.
- [5] 于纪言,王晓鸣,李文彬. 基于测量预估高速弹丸随动摄影方法研究[J]. 探测与控制学报, 2006, 28(3).
- [6] 徐明友. 现代外弹道学[M]. 北京: 兵器工业出版社, 1999.
- [7] Maccormick J, M accormick F. Stochastic algorithms for visual tracking[M]. London: Springer - Verlag Press, 2003.
- [8] Collies R. A system for video Surveillance and monitoring: VSAM final report[R]. Carnegie Mellon University, Technical Report: CMU - RI - TR - 00 - 12, 2000.