

· 电路与控制 ·

基于 PC104 的视频采集卡设计

李富栋, 丁 超

(哈尔滨工程大学信息与通信工程学院, 黑龙江 哈尔滨 150001)

摘 要:提出了一种基于 PC104 的视频采集卡的设计方案,给出了基于 FPGA 的 PC104 接口的视频采集卡的具体实现方法.采用 2 片 SRAM 实现视频的乒乓缓存操作,降低了设计成本.实现了 PC104 接口的视频采集卡和 Vxworks 系统 PC104 主机之间的通信,实现了视频的采集、显示和保存.

关键词:PC104; 乒乓操作; Vxworks; 视频采集

中图分类号:TP316.7

文献标识码:A

文章编号:1673-1255(2010)03-0050-03

Design of Video Capturing System Based on PC104

LI Fu-dong, DING Chao

(School of Information and Communication Engineering, Harbin Engineering University, Harbin 150001, China)

Abstract:A design program of video capturing system based on PC104 is presented and a specific realization method of video capture card with PC104 interface based on FPGA is given. Two SRAM are used to do ping-pang operation for video caching, which reduces design cost. Communication is realized between video capture card with PC104 interface and host with Vxworks system, and the capture, display and save of the video are realized.

Key words:PC104; ping-pang operation; Vxworks; video capture

目前,视频采集系统正朝微型化,智能化方向发展.PC104 是一种与 IBM 的 PC 机相兼容的嵌入式平台,它具有灵活的可扩展性,其小巧的尺寸非常适合嵌入式系统的应用^[1].基于 PC104 主机建立了一个嵌入式的视频采集系统.给出了以 FPGA 为主控器件设计 PC104 接口的视频采集卡的实现方案.并实现 PC104 接口的视频采集卡和 Vxworks 系统的 PC104 主机的通信,实现视频的采集.采用 FPGA 设计视频采集卡便于功能扩展,而且 PC104 主机也易于实现对视频的进一步的处理.

1 采集卡的构成

视频采集卡主要由 Altera 公司的 FPGA

(EP1C6Q240I7N)、AD 芯片(SAA7113)和 2 片 SRAM(IS61WV10248BLL,内存为 1 M×8 bit,读写速度有 8 ns)组成.其中 2 片 SRAM 用于做视频的乒乓缓存,既可以满足视频采集的速度要求,又可以降低设计的成本.FPGA 的 IO 口电压是 3.3 V,而 PC104 接口的电压是 5 V,所以需要用电压转换芯片(SN74ALVC164245,实现 3.3 V 和 5 V 之间的转换).

视频采集卡的核心器件是 FPGA,在 FPGA 内部实现 3 个主要的功能模块:视频采集模块、总线交换模块和 PC104 接口模块.采集卡的各个模块及数据流程关系图如图 1 所示.

收稿日期:2010-05-11

基金项目:国家级重点实验室研究基金资助

作者简介:李富栋(1979-),男,辽宁锦州人,硕士研究生,主要从事图像识别与跟踪技术的研究.

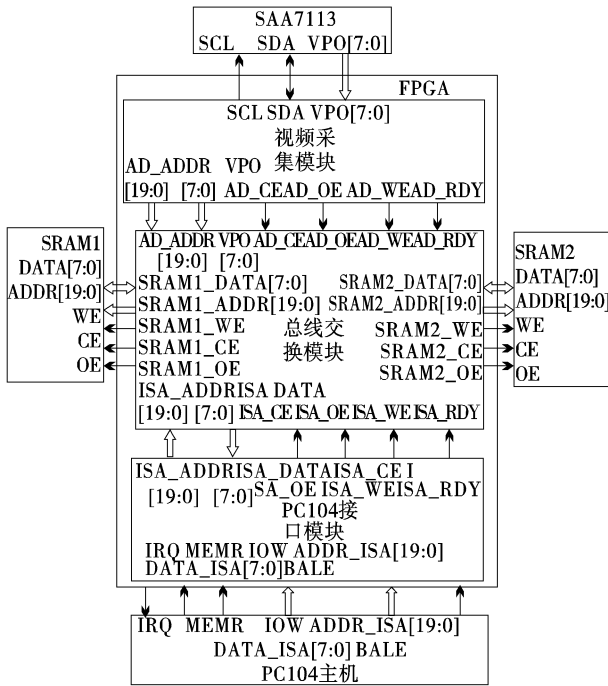


图 1 视频采集卡的总体框图

其中数据的主要处理流程如下:

首先,通过视频采集模块中的 I²C 总线模块对 SAA7113 进行配置,使其正常工作.然后,PAL 制的模拟摄像头将采集到的模拟视频信号传输给 SAA7113,SAA7113 将模拟信号转换成数字信号.然后通过总线控制器,将数字信号传输给一片 SRAM,同时,PC104 主机通过 PC104 接口采用 IO 读写方式读取另一片 SRAM 的数据.总线交换操作由以下信号协调实现.AD_RDY,当完整一帧图像存入到 SRAM 中完毕时置为高电平,ISA_RDY,当 PC104 主机读完 SRAM 中的一帧图像时置为高电平,AD_RDY 和 ISA_RDY 的与操作信号作为总线的交换信号,同时使 IRQ(PC104 主机的中断信号)产生上升沿,通知 PC104 主机读取 SRAM 中的视频数据.

2 各个功能模块的设计

2.1 视频采集模块

视频采集模块,主要实现 I²C 总线的模拟,实现对 SAA7113 的配置;并通过对 SAA7113 中数据流标识位(SAV、EAV)的控制实现视频采集工作.

2.1.1 YUV4:2:2 视频信号格式和 SAV、EAV 的含义

在 FPGA 内实现 I²C 总线,并对 SAA7113 进行配置后,SAA7113 输出 YUV4:2:2 格式的视频,每帧数据有 625 行,分为奇偶 2 场输出.其中 1-22 行、311-335 行以及 624-625 行是场消隐数据;23-310 行和 336-623 行是有效视频数据.一行视频数据的格式如表 1 所示.

表 1 一行 YUV4:2:2 方式视频的格式

消隐数据	...	80	10
定时基准数据	FF	00	00 SAV
有效视频数据	Cb0	Y0	Cr0 Y1 ... Y719
定时基准数据	FF	00	00 EAV

每行数据由消隐信号、定时基准信号和有效视频数据组成,共有 1 728 个字节,其中 1 440 个字节为有效视频数据,其顺序是 Cb, Y, Cr, Y, Cb, Y, Cr, ..., 即一个色度一个亮度交替传输;其余的 288 个字节由消隐信号和定时基准信号组成,消隐信号为固定的 8010 ... 信号.定时基准信号分别为 FF 00 00 SAV 和 FF 00 00 EAV.FF 00 00 SAV 表示每行视频数据的开始,FF 00 00 EAV 表示每行视频数据的结束.

其中 SAV 和 EAV 信号包含奇偶场的标识、场消隐状态和有效视频的信息.主要格式如表 2 所示.文中就是根据这些信号,来确定相应的视频数据所处的位置,实现对视频采集过程的控制,进而完成视频采集工作的^[2].

表 2 SAV 和 EAV 数据格式

第 7 位	第 6 位	第 5 位	第 4 位	第 0-3 位
消隐数据 SAV 中为				
始终为 1	奇场为 0	为 1	0	保留
有效数据 EAV 中为				
	偶场为 1	为 0	1	

2.1.2 隔行视频转换顺序视频

由于视频在采集的时候是隔行采集的,即先采集奇数场(奇数行数据 1,3,5...),然后采集偶数场(偶数行数据 2,4,6...),但是为了方便后续的视频处理,需要将隔行视频数据,变成逐行视频数据.如要采集分辨率为 512×512 的视频信号,将地址信号如下定义:SRAM 地址 = 行标识寄存器(8 位) + 奇偶场标识寄存器(1 位,奇数为 0,偶数为 1) + 列标识寄存器(9 位).视频数据刚采集进来,此时处于奇数场,SRAM 地址 = 00000000 + 0 + 000000000,当一行数据采集完后,SRAM 地址 = 00000000 + 0 + 111111111 采集下一行数据时,此时还是奇数场,所以 SRAM 地址 = 00000001 + 0 + 000000000,这样就

给偶数场的数据留下了存储空间,当偶数场的视频数据采集进来后,补充留下的地址空间,就可以形成一幅完整的顺序的视频信号了^[3].

2.1.3 视频采集流程

视频采集的流程图如图 2 所示.开始采集视频,判断 VPO 是否为 FF0000,如果是则判断 VPO[6:5]是否等于 01.如果等于 01 表示奇数场的消隐阶段,即奇数场的开始.接着判断 VPO[6:4]是否为 000,如果等于表示是奇数场的第一行的有效视频的.接收有效视频数据,文中只采集亮度信息,首先是亮度数据 Yb ,接着是亮度数据 Yr ,然后判断 VPO 是否为 FF0000,如果不是则继续接收 Yb 、 Yr ...,直到 VPO=FF0000.

然后判断 VPO[5:4]是否等于 01,如果等于表示一行视频数据的结束,接着判断 VPO 是否为 FF0000,然后判断 VPO[5:4]是否等于 00,如果等于表示新的一行视频数据的开始,继续采集接收视频数据;

如果 VPO[5:4]不等于 01,判断 VPO[6:4]是否等于 011,如果等于则表示奇数场视频数据的结束.接着判断 VPO 是否为 FF0000,然后判断 VPO [5:4]是否等于 00,如果等于表示新的一行视频数据的开始,继续采集接收视频数据;

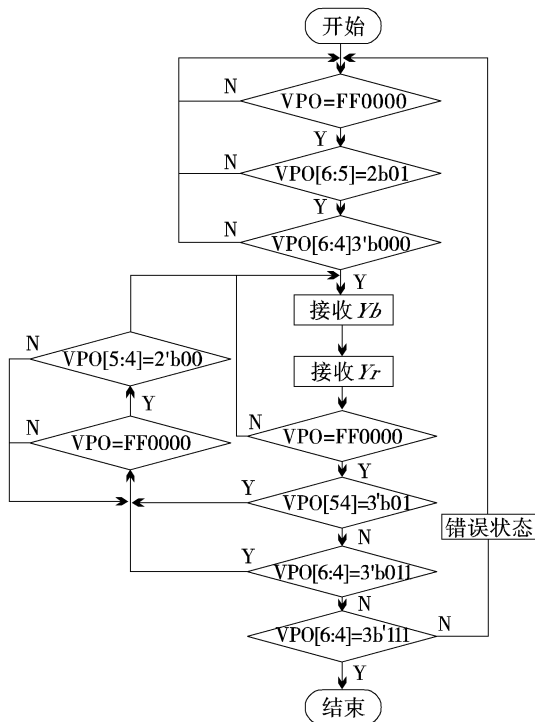


图 2 视频采集流程图

如果 VPO[6:4]不等于 011,判断 VPO[6:4]是

否等于 111,如果等于表示偶数场采集的结束,即一帧视频采集结束.如果不等于则表示视频采集出错,重新采集^[4].

2.2 总线交换模块

总线交换模块主要完成对 SRAM 的乒乓缓存操作,在该模块中地址和使能信号的控制用 Verilog 程序实现.

```

assign SRAM_1_ADDR = toggle ? ISA_ADDR : AD_ADDR;
assign SRAM_1_CE = toggle ? ISA_CE : AD_CE;
assign SRAM_1_OE = toggle ? ISA_OE : AD_OE;
assign SRAM_1_WE = toggle ? ISA_WE : AD_WE;
assign SRAM_2_ADDR = toggle ? AD_ADDR : ISA_ADDR;
assign SRAM_2_CE = toggle ? AD_CE : ISA_CE;
assign SRAM_2_OE = toggle ? AD_OE : ISA_OE;
assign SRAM_2_WE = toggle ? AD_WE : ISA_WE;

```

数据信号的控制采用模块方式实现,如图 3 所示.其中 toggle 是控制信号,当 toggle 为 1 的时候,由 PC104 主机从 SRAM1 中读数据, SAA7113 向 SRAM2 中写数据.当 toggle 为 0 的时候,由 SAA7113 向 SRAM1 中写数据, PC104 主机从 SRAM2 中读数据.

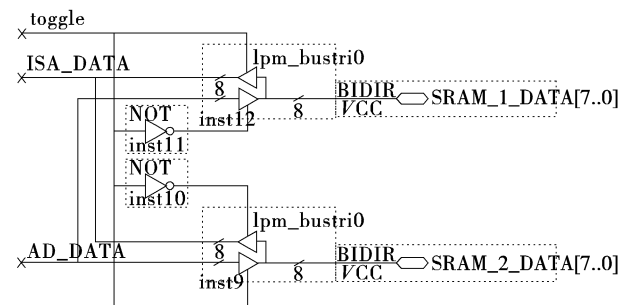


图 3 数据控制模块

图 4 和图 5 是在 signaltap 模式下的仿真图.图 4 是 toggle 为 0 时, SAA7113 向 SRAM1 中写数据, PC104 主机从 SRAM2 中读数据.图 5 是 toggle 为 1 时,总线交换后 SAA7113 向 SRAM2 中写数据, PC104 主机从 SRAM1 中读数据.可以看出,模块可以正常工作,满足设计要求.

2.3 PC104 接口模块

PC104 接口支持 IO 读写和内存读写 2 种方式, (下转第 57 页)

[J]. 仪表技术与传感器,2001(7):32-34.

[9] 海涛. ATmega 系列单片机原理及应用—C 语言教程

[M]. 北京:机械工业出版社,2008.6-310.

[10] 潘焕,罗声,胥光申,等. 面曝光快速成形系统中紫外

光辐照度分布研究[J]. 西安工程大学学报,2009,23

(6):53-57.

(上接第 52 页)

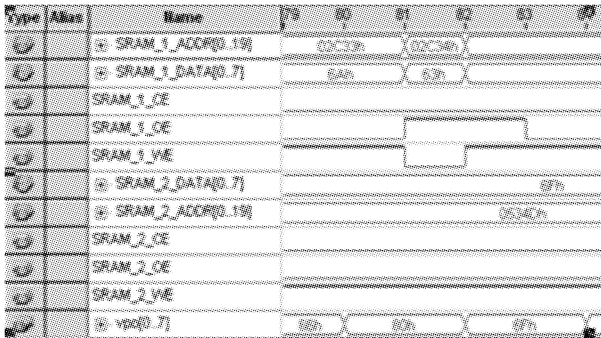


图 4 总线交换前仿真图

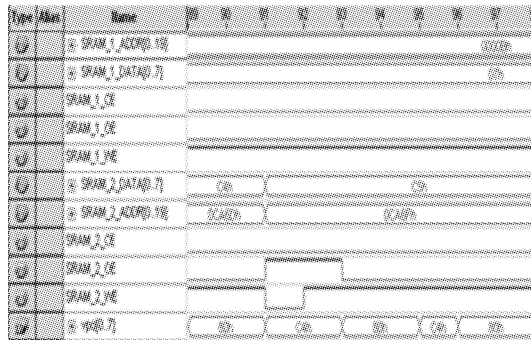


图 5 总线交换后仿真图

文中选择 IO 读写. 在采用 IO 读写的时候,PC104 主机的 PC104 接口有固定的 IO 口地址,文中的是 0x300. 读取 SRAM 的内存地址由 FPGA 中的 PC104 接口模块产生,并控制地址的递增. 然后将读来的数据送给 PC104 接口,PC104 主机就可以通过固定的读操作语句读到 PC104 接口模块的数据,在

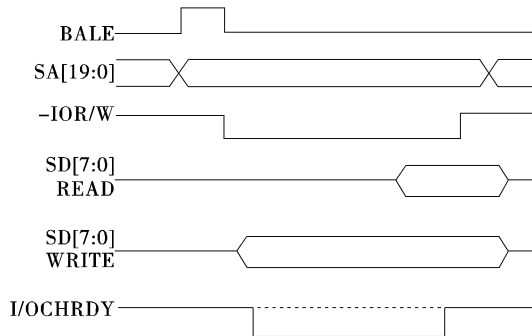


图 6 PC104 的 IO 读写时序

Vxworks 系统下,PC104 接口的读操作语句为 Sys-InByte(0x300). PC104 接口的 IO 读写时序如图 6 所示.

3 系统建立及结果分析

在宿主机上裁剪 Vxworks 内核,加载 WindML 图形处理组件. 通过网线下载到 PC104 主机上,建立 Vxworks 系统. 视频采集卡和 PC104 主机通过 PC104 接口堆叠连接,组成嵌入式视频采集系统.

测试结果表明,视频采集卡和 PC104 主机可以正常通信,可以实现对视频图像的采集、显示和保存. 其中保存的图片效果如图 7 所示. 在分辨率为 256×256 的情况下,可以达到视频的实时采集和显示. 该设计方便灵活,功能可扩展,具有很好的借鉴和推广价值.



图 7 存储的图像

参考文献

[1] 付宁,邓立宝,杨易. 基于 PC104 和 Vxworks 的某导引头测控台的设计[J]. 仪器仪表学报,2008(29): 590-593.

[2] Philips Semiconductors. DATA SHEET SAA7113H 9-bit video input processor,1999:47-73.

[3] 孔祥刚,诸静,阳涛. SAA7113H 在视频采集接口设计中的应用[J]. 电子技术,2003: 26-28.

[4] 齐本胜,付富壮,杨书生,等. 一种有效的视频数据提取方法[J]. 工矿自动化,2007(6):27-29.