

· 图像与信号处理 ·

## 基于 DSP 和 FPGA 的高光谱图像处理系统设计

张 晔, 邵 涛, 严 萌

(哈尔滨工业大学图像与信息技术研究所, 黑龙江 哈尔滨 150001)

**摘 要:**针对高光谱图像的处理系统需要具有数据吞吐率高、处理速度快及存储量大等特点,设计了一套以 DSP 和 FPGA 为核心处理器的嵌入式高光谱图像处理系统.系统采用 USB 接口 IO 方式,选用 TI 公司 TMS320C6000 系列 DSP 和 Altera 公司的 Cyclone II 系列 FPGA 作为核心器件.首先给出了硬件实现总体框图,然后介绍了所采用的芯片,并详细叙述了 FPGA 周围电路的连接及系统工作原理,最后利用高光谱图像目标识别算法对系统加以验证.

**关键词:**高光谱图像;DSP;FPGA;嵌入式系统

**中图分类号:**TN911.73;TP317.4

**文献标识码:**A

**文章编号:**1673-1255(2010)01-0056-04

## Design of Hyperspectral Image Processing System Based on DSP & FPGA

ZHANG Ye, SHAO Tao, YAN Meng

(Institute of Image and Information Technology, Harbin Institute of Technology, Harbin 150001, China)

**Abstract:**In view of the characteristics of hyperspectral image processing system such as high data throughput, high processing speed and large memory capacity, an embedded hyperspectral image processing system based on DSP&FPGA was designed, which adopted USB interface as transmission, and selected TI's TMS320C6000 DSP and Altera's Cyclone II series FPGA. Firstly, the general block diagram of hardware implementation is given; secondly the chips used are introduced, the circuit connecting of FPGA and the working principles of system are described in detail. Finally the system is verified by taking advantage of hyperspectral image target recognition algorithm.

**Key words:**hyperspectral image;DSP;FPGA;embedded system

高光谱图像的一个显著特点就是其图像复杂、数据量大.因此针对高光谱图像的处理系统需要综合考虑系统的存储、传输和处理等各方面的协调配合,同时还需要考虑系统的开发成本和开发周期等因素.随着高速数字信号处理器(DSP)和现场可编程门阵列器件(FPGA)的发展,采用 DSP + FPGA 的数字硬件系统可把二者的优点结合在一起,兼顾处理速度和灵活性<sup>[1]</sup>.文中就是基于 DSP + FPGA 的结构进行的系统设计.

### 1 系统整体构架

提出的 DSP + FPGA 嵌入式高光谱图像处理系统设计框图如图 1 所示.系统主要有以下功能模块:输入输出模块、FPGA 控制电路和中央处理模块.系统工作原理是:计算机将高光谱图像数据传送到系统的输入部分,由 FPGA 接收数据并将其存到系统的存储芯片 SRAM 中,之后 DSP 读取 SRAM 中的数据并进行相应的图像处理算法,并将处理结果存到

收稿日期:2009-12-07

基金项目:黑龙江省自然科学基金重点项目(ZJG04-0701)

作者简介:张晔(1960-),男,辽宁北镇人,博士,教授,博士生导师,主要研究方向为遥感图像处理技术及其应用;邵涛(1985-),男,河南安阳人,硕士研究生,研究方向为高光谱图像处理.

SRAM 的不同地址空间内,再由 FPGA 的逻辑控制将结果图像数据传送到输出部分,计算机从输出部分读取并显示.

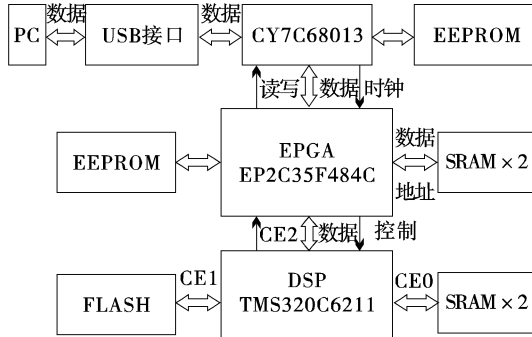


图 1 系统设计框图

## 2 系统模块设计

### 2.1 输入输出接口

USB 接口具有传输速率高,即插即用等优点,正在逐渐取代传统的 RS232、EPP 等计算机接口.该设计采用 USB 接口作为系统的 I/O.USB 接口芯片选用的是 EZ-USB FX2 系列的 CY7C68013.

Cypress Semiconductor 公司的 EZ-USB FX2 (CY7C68013)是世界上第一款集成 USB2.0 协议的微处理器的芯片<sup>[2]</sup>.它集成了 USB2.0 收发器、SIE (串行接口引擎)、增强的 8051 微控制器、8.5 KB 的 RAM、4 KB 的 FIFO 存储器以及可编程的外围接口等.集成了 I2C 控制器,运行速度可达 400 kHz;4 KB 的 FIFO 可与 ASIC 和 DSP 等无缝连接;专门的 FIFO 和 GPIF 自动矢量中断;可用于 DSL Modems、ATA 接口、相机、WLAN、MP3 播放器、网络等领域.FX2 这种独创性结构可使数据传输率达到 56 MB/s,即 USB2.0 允许的最大带宽.在 FX2 中,智能 SIE 可以硬件处理许多 USB1.1 和 USB2.0 协议,从而减少了开发时间和确保了 USB 的兼容性.

### 2.2 FPGA 控制电路设计

FPGA 采用 Altera 公司的 Cyclone II 系列芯片 EP2C35F484C8. EP2C35 具有 33 216 个逻辑单元 (LE);嵌入 105 个 RAM 存储块,总容量 483.84 KB;35 个专用 18 × 18 乘法器;4 个锁相环 (PLL);最大用户 I/O 管脚 475 个.FPGA 与外部全

连接如图 2 所示.

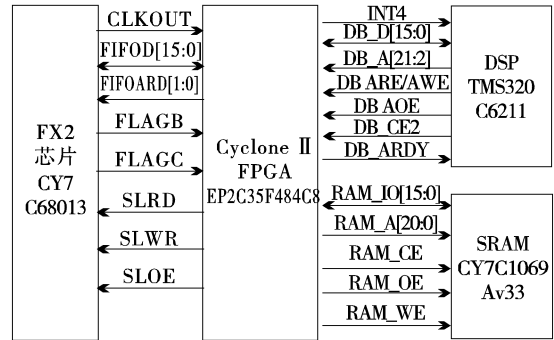


图 2 FPGA 控制电路连接

#### (1) FPGA 与 FX2 芯片接口

USB 芯片 (CY7C68013) 与 FPGA 相连接:USB 芯片的 48 MHz 时钟输出 CLKOUT 作为 FPGA 读写的系统时钟,FIFOD[15:0]为 USB 芯片 FIFO 数据线,FIFOADR [1:0]选择 FPGA 当前读写端点,4 种组合分别对应 EP2、EP4、EP6 和 EP8;FLAGB、FLAGC 分别是 FIFO 满、空状态信号,FPGA 根据 FLAGB 状态来决定是否写 USB 芯片 FIFO,根据 FLAGC 状态来决定是否读 FIFO 数据.这 2 个状态信号可以反映 FIFOADR[1:0]选择的当前 FIFO 状态,也可以指定为某个固定 FIFO 的状态.SLRD 为 FIFO 读信号,SLWR 为 FIFO 写信号,在 FIFO 输出使能信号 SLOE 有效的前提下,外部 Master 才能读取 FIFO 数据.其中 FLAGB、FLAGC、SLRD、SLWR 和 SLOE 等控制信号均是低电平有效.

#### (2) FPGA 与 SRAM 接口

SRAM 采用 Cypress 公司的 CY7C1069AV33,其容量为 2 M × 8 bits.由于高光谱图像数据宽度是 16 bits,因此系统采用 2 片 SRAM,并实行位扩展,扩展为 2 M × 16 bits.RAM\_IO[15:0]为 16 bit 宽度数据线,RAM\_A[20:0]为地址线,深度为 2 M,FPGA 输出信号 RAM\_CE、RAM\_OE 和 RAM\_WE 分别为 SRAM 芯片片选、数据输出使能和读写控制信号,并且这些控制信号都是低电平有效.当 RAM\_CE 为低时,SRAM 使能,可以进行读写操作.当 RAM\_OE 为低,RAM\_WE 为高时,外部可读取 SRAM 数据;当 RAM\_WE 为低时,可以写 SRAM.读 SRAM 数据,控制信号为 RAM\_OE,上升沿触发,此时的 RAM\_WE 应一直处于高电平状态;写 SRAM 数据,控制信号为 RAM\_WE,也是上升沿触发.

#### (3) FPGA 与 DSP 接口

DB\_D[15:0]和DB\_A[21:2]是C6211的EMIF数据线和地址线,当DSP通过EMIF访问SRAM时,分别对应RAM\_IO[15:0]和RAM\_A[20:0].DB\_CE2、DB\_AOE、DB\_ARE/AWE分别为EMIF的片选使能信号、输出使能信号和读写有效信号,C6211通过EMIF读写SRAM的时序如图3所示.

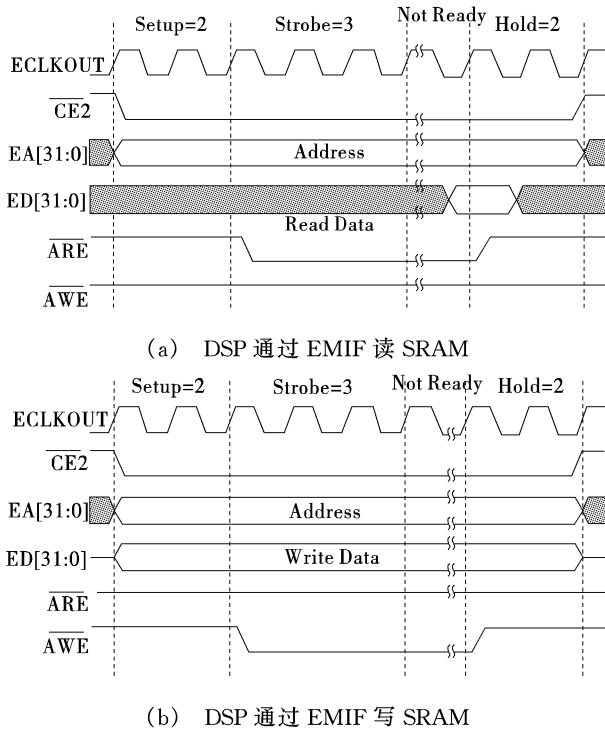


图 3 通过 EMIF 读写 SRAM 时序图

INT4 是触发 DSP 芯片 EMIF 的中断信号,当数据图像写入 SRAM 完毕后,FPGA 向 DSP 发送中断信号,即使 INT4 信号为低,DSP 响应中断并进入图像处理过程,文中验证算法为高光谱图像目标识别算法<sup>[4]</sup>.

### 2.3 DSP 模块设计

系统 DSP 采用 TI 公司的 TMS320C6211.从 1982 年德州仪器公司(TI)推出世界上第一款成功的商用 DSP 以来,DSP 已经发展了好几代.TI 公司的定点系列 DSP 有 C20x、C5x、C54xx、C62xx 等;浮点系列 DSP 有 C3x、C4x、C67xx、C64x 等<sup>[3]</sup>.TMS320C6000 系列的数字信号处理器,是美国 TI 公司于 1997 年推出的高端系列数字信号处理器(DSP).由于该系列的 DSP 优异的高速处理性能和出色的对外接口能力,因此很适合用于图像处理的各个领域.

#### (1) DSP 芯片简介

TMS320C6211 属于定点系列,在体系结构上有专门适用于数字信号处理的功能特点:实现了硬件乘法器;芯片内 8 个独立的功能单元每周期可以并行执行 8 条 32 bit 指令,CPU 主频 150 MHz,最大峰值速度可达 900 MFLOPS(Million floating-point operations per second);它采用哈佛结构代替冯诺依曼结构,数据空间和地址空间分离,有专门的寻址单元和片内存储器;同时支持流水线处理,具备很高的数据运算能力.

C6211 的存储器数据宽度为 32 bit,芯片内部集成了 64 KB 的片上存储器.TMS320C6211 内部的四通道 DMA 协处理器,可用于数据 DMA 传输.具有 2 个 McBSP(多通道缓冲串口),它不仅可完成标准串口的全双工串行通信,还可以作为通用 IO 口,支持多种通信协议下的直接接口.TMS320C6211 还具有外部存储器扩展接口 EMIF(External Memory Interface),有 4 个可选择扩展空间 CE0~CE3,每个空间的最大扩展容量都是 256 MB,同时支持与异步外设、异步/同步 RAM、以及外部主控处理器等的接口.

#### (2) 存储器接口设计

因为片内数据存储器不存在外部存储器的总线竞争问题和访问速度不匹配问题,所以 DSP 对片内存储器的访问速度要快于对片外存储器的访问速度.为了充分利用这 64 KB 的片内 RAM 来存放程序和数据,可以设把片内 RAM 设置成 All SRAM 模式,以提高访问速度,缓解 DSP 的数据传输速度瓶颈,充分利用 DSP 强大的处理能力.

外部存储器接口 EMIF(External Memory Interface)是 TMS320C6000 系列 DSP 与片外存储器进行数据交换的接口.由于 TMS320C6211 片内存储器大小仅为 64 KB,不能满足大数据量图像处理的要求,因此需要扩展外部 RAM 空间.EMIF 为 CPU 访问外部存储器提供了标准的接口.TMS320C6211 系列 DSP 的 EMIF 具有很强的接口能力,其数据总线宽度为 32 bit,可寻址空间为 1 GB,分为 4 个空间 CE0~CE3,每个 CE 空间彼此独立,可以进行不同的访问控制;同时也提供对 8/16 bit 存储器的读写支持;既提供了同步存储器的高吞吐率接口,也支持低速异步 RAM 的存储接口,可以与目前几乎所有类型的存储器直接接口.

存储器的设计首先要考虑存储器的速度、类型、容量是否能满足运算要求以及性价比.系统中,利用

了 CE0、CE1 和 CE2 空间,分别分配给了不同类型的外部存储器和应用空间,具体分配如下。

CE0 空间占用 DSP 统一编址的存储空间  $0x80000000 - 0x8ffffff$ , 分配给 SDRAM, 使用 2 片 MT48LC4M16A2TG 芯片, 每一片的存储空间大小为  $4\text{ M} \times 16\text{ bits}$ , 采用位扩展方式, 扩展为  $4\text{ M} \times 32\text{ bits}$ . SDRAM 用于存放处理过程中的临时图像数据和临时变量. CE1 空间占用 DSP 统一编址的存储空间  $0x90000000 - 0x9ffffff$ , 分配给 FLASH, 使用 1 片 AT29LV010A, 存储空间大小为  $128\text{ K} \times 8\text{ bits}$ , 用于烧写程序和常量数据, 系统每次上电时, DSP 自动从 CE1 空间把程序和常量数据导入片内 RAM, 并开始从 0 地址运行程序, 这就是 DSP 系统的自动加载. CE2 空间占用 DSP 统一编址的存储空间  $0xa0000000 - 0xaffffff$ , 分配给 SRAM. 系统 SRAM 选择 2 片 CY7C1069AV33, 每片的存储空间大小为  $2\text{ M} \times 8\text{ bits}$ , 扩展为  $2\text{ M} \times 16\text{ bits}$ , 仍然采用位扩展方式, 用于存放从主计算机搬迁过来的原始图像数据以及最终的识别结果图像. CE3 空间占用 DSP 统一编址的存储空间  $0xb0000000 - 0xbffffff$ , 该系统未使用。

### 3 实验仿真

系统工作分为 3 个过程: 数据传入、数据处理和数据传出. 系统以 FPGA 和 DSP 为核心器件. FPGA 用于完成数据传输系统的时序控制, 包括 USB 接口的数据传输以及 C6211 对 SRAM 访问的时序控制及状态切换控制; DSP 用于实现高光谱图像目标识别算法. 整个系统工作流程如图 4 所示。

(1) 整个系统上电, 完成 FX2 芯片固件加载、FPGA 和 DSP 和程序加载和变量初始化工作。

(2) PC 机通过通用 USB 口开始向 FPGA 传输高光谱图像(HSI)数据. FPGA 连续读取数据并写入存储器. 因为 USB 芯片工作在从方式下, FPGA 根据 USB 芯片内部 FIFO 的空满状态确定读取与否, 避免出现数据覆盖或者多读数据的情况。

(3) 若整个高光谱图像传输完成, 则开始执行(4); 否则继续读取 USB 数据。

(4) FPGA 向 DSP 发送中断信号, 通知 DSP 高光谱图像数据已经传输完毕, 可以进行后续目标识别算法运算. 此时 FPGA 切换至 DSP 运算状态, 配合 C6211 的 EMIF 进行工作。

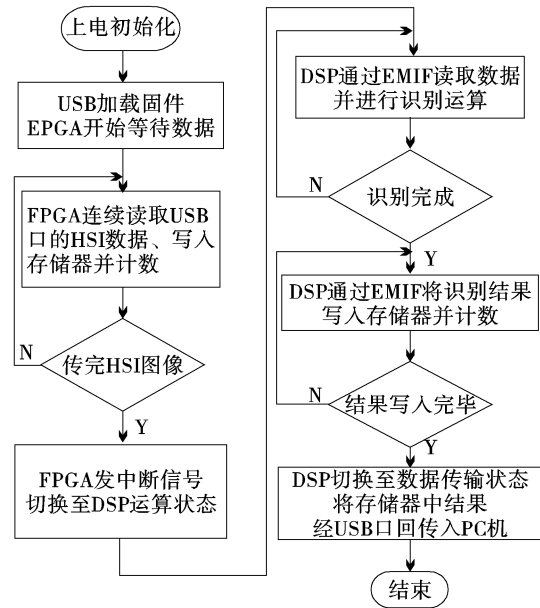


图 4 系统工作流程图

(5) DSP 响应中断, 通过 EMIF 读取图像数据, 将数据放到 DSP 的扩展 SDRAM 中, 开始进行识别运算。

(6) 图像运算完成后, 将结果数据通过 EMIF 写入存储器对应的空间内, 当整幅结果图像写入完毕后, FPGA 再次切换至 USB 口工作状态。

(7) PC 机通过 USB 口接收 USB 传回的识别结果并存储. 至此, 整个系统工作完毕。

图 5 是经过该系统处理的实验结果. 文中使用的高光谱图像空间大小为  $100 \times 100$ , 含 126 个波段, 图 5a 所示是原始图像的第 26 个波段, 图 5b 是系统识别后的输出结果. 系统准确识别出了 3 个飞机目标, 与计算机软件仿真结果相同, 可见, 系统对高光谱图像目标识别仿真是非常有效的。

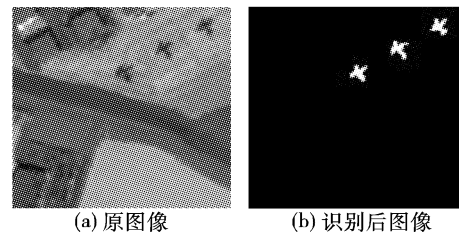


图 5 系统处理实验结果

### 4 结束语

基于 DSP 和 FPGA 的高光谱图像处理系统针对高光谱图像数据量大, 数据复杂的特点, 充分利用

(下转第 78 页)

```
proc MOM_before_motion {} ;proc rotate_c {c pos_in
pos_out};proc rotate_b {b pos_in pos_out}.
```

通过 3 个子程序分别完成 B、C 旋转角度的计算、坐标变换矩阵和刀位点在新坐标系中的坐标计算。

子程序 proc MOM\_before\_motion {}, Tcl 语言源代码示例(部分):

#### (1) 定义全局变量

```
global mom_tool_axis      定义刀轴矢量;
global mom_pos           定义基于机床坐标系下的运动坐标值;
```

```
global mom_prev_pos      定义前一个运动事件的坐标系;
global mom_motion_event  定义当前运动事件的类型;
.....
```

#### (2) 确定机床工作台状态及 B、C 旋转角度

```
if { $tmpz=1 } {      机床主轴矢量垂直于工作台;
set ud_pos(b) 0.0    B 轴旋转角度为 0;
rotate_c $ud_pos(c) mom_pos ud_pos
rotate_c $ud_pos(c) mom_pos_arc_center ud_cpos
.....
```

上述程序段为子程序 proc MOM\_before\_motion 的部分程序段示例,由于篇幅关系不再展开叙述.通过 Tcl 语言进行一系列事件的逻辑判断、数学计算,最终完成 B、C 旋转角度的计算、坐标变换矩阵和刀位点在新坐标系中的坐标计算。

## 2.2 后置处理程序与 UG/CAM 系统的集成

将定义好的事件处理文件和事件定义文件存储在相应的后置处理程序存放的根目录下,如:(E:\Program Files\UGS\NX 3.0\MACH\resource\postprocessor).并在该根目录中找到 template\_post.dat 文件,打开该文件并对文件进行如下修改.DMU50V

(上接第 59 页)

了 DSP 计算庞大数据的高效性和 FPGA 精于并行处理的优点,系统具有集成度高、存储量大、处理速度快和方便传输等特点.另外系统也有很好的通用性,不仅能够用于目标识别,还可实现压缩、分类等其他信息处理,具有广泛的应用前景。

### 参考文献

[1] 赵建平,李捍东.基于 DSP 的图像处理系统的应用研

究[J].自动化技术与应用,2008,27(11):45-48.

后置处理器 \$ {UGII\_CAM\_POST\_DIR}DMU50V.tcl, \$ {UGII\_CAM\_POST\_DIR}DMU50V.def.

通过上述编辑完成了后置处理程序与 UG/CAM 系统的集成,用户通过 UG/CAM 系统直接对 DMU50V 机床后置处理进行调用。

## 3 结束语

以上通过结合非正交五轴联动数控机床(DMU50V)的结构特点,介绍了后置处理算法,并将该算法成功应用到 Tcl 语言编程中,实现了非正交五轴联动数控机床后置处理程序编制并已成功应用于工程实际中.后置处理作为 CAD/CAM 系统中的关键环节,决定了 CAD/CAM 软件的应用效果和复杂零件加工的质量、效率等.文中提出的机床运动学算法的推导对同类型设备和标准五轴联动数控机床的后置处理程序开发具有一定的参考价值。

### 参考文献

[1] 张磊.UG NX4 后处理技术培训教程[M].北京:清华大学出版社,2007.

[2] 李海泳,张森棠,赵明,等.UG NX 数控加工技术[M].北京:清华大学出版社,2006.

[3] 成群林,侯正全,宋健,等.特殊五坐标数控机床后置处理技术研究[J].航天制造技术,2007(6):20-22.

[4] 葛振红,姚振强,赵国伟.非正交五轴联动数控机床后置处理算法[J].机械设计与研究,2006,22(2):79-81.

[5] 丁勇,耿小强,陈刚.一种特殊结构的五轴数控机床的后置处理算法与软件实现[J].CAD/CAM 与制造信息化,2005(1):77-78.

究[J].自动化技术与应用,2008,27(11):45-48.

[2] 贾俊涛,张桂林.基于 USB2.0 的图像传输系统的设计与实现[J].计算机工程与设计,2006,27(17):3239-3242.

[3] 李方慧,王飞,何佩坤.TMS320C6000 系列 DSPs 原理与应用[M].2 版.北京:电子工业出版社,2003:1-2,9-11.

[4] 谷延锋,刘颖,贾友华,等.基于光谱解译的高光谱图像奇异识别算法[J].红外与毫米波学报,2006,25(6):473-477.