

·信号与信息处理·

基于 FPGA + 双 DSP 实现的红外图像处理系统与图像显示

徐世伟, 刘严严, 魏 东, 杨绍岩, 张晟羽, 李 曼

(光电系统信息控制技术国家级重点实验室, 河北 三河 065201)

摘 要:为改善红外焦平面阵列成像质量与实时性要求,提出了以高速信号处理器为核心的红外焦平面实时图像数字处理系统.详细阐述了双路红外成像系统的组成、硬件结构、芯片选择、数据处理过程,以及红外图像显示原理、视频合成过程;同时给出了显示芯片 ADV7123 的 verilog 代码.经验证,成像效果比较理想,满足红外图像处理系统的实时要求,具有较高的应用价值.

关键词:红外;双路处理;复合消隐;复合同步

中图分类号:TP391.41

文献标识码:A

文章编号:1673-1255(2009)05-0057-05

Infrared Image Processing System and Display Technology Based on FPGA + Two DSPs

XU Shi-wei, LIU Yan-yan, WEI Dong, YANG Shao-yan, ZHANG Sheng-chong, LI Man

(National Laboratory of Electro-Optics System Technology, Sanhe 065201, China)

Abstract: In order to improve the imaging quality and real-time demands of infrared focal plane (IRFPA) detectors, an infrared image digital processing system with a high speed signal processor in its centre was proposed. The composition of the dual infrared imaging system, the hardware structure, the chip selection, data processing, as well as the principle of infrared image display and the processing of the video synthesis were described; At the same time, the verilog codes of the display chip ADV7123 were given. The results of imaging were certified satisfactory, which can meet the infrared image real-time demands and has high value in applications.

Key words: infrared; dual processing; compound blanking; compound synchronization

在现代红外实时的图像处理系统中,由于系统处理的数据量大,速度要求快,而 DSP 强大的数据运算能力、FPGA 芯片丰富的可编程逻辑资源和丰富的 I/O 接口使 FPGA + DSP 成为目前流行的硬件结构^[1].现阶段红外焦平面探测器成为主流产品,例如:HgCdTe 640 × 480 已被广泛应用.对这样的图像要准确识别与检测出目标,仅靠一片 DSP 与 FPGA 组合,无论是信息的存储还是信号的实时处理都显得不足.所以文中采用 FPGA + 双 DSP 来处理图像数据.

1 红外图像系统组成

红外图像系统用来接收显示红外图像,完成对

目标的检测,给出目标方位信息.系统采用 ALTER-A 公司的 EPIC6Q240 实现整个系统的实时控制以及图像预处理,主要包括 AD 采样,视频开关控制信号以及系统同步控制信号;FPGA 作为中央处理器,采用双通路控制,一路用于红外图像显示,另外一路是图像数据检测,用于提取目标信息.系统由非制冷型焦平面阵列(UFPA 640 × 512 红外探测器)、热点温度稳定器(TEC)温控电路、A/D 采集电路、FPGA 模块、双 DSP 系统、串口通信系统、视频 D/A 模块等组成.红外信号处理系统框图如图 1 所示.

系统的主要器件有模/数转换器件 AD9240、高性能 FPGA EPI6Q240、高速、大容量 DSP

收稿日期:2009-07-15

作者简介:徐世伟(1979-),男,吉林农安人,硕士,工程师,主要研究方向为图像处理、目标探测与识别.

TMS320C6416 以及 AD 公司的三通高速视频 DAC-ADV7123.

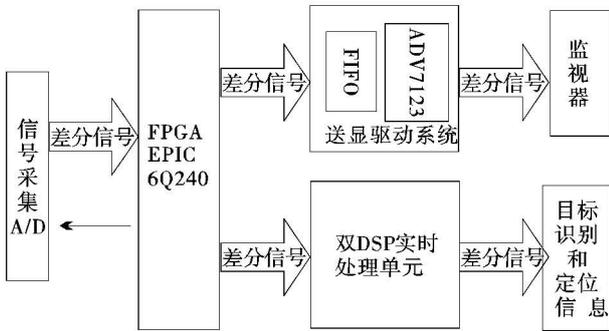


图 1 红外信号处理系统框图

系统上电后,UFPA 的供电模块和 FPGA 产生的脉冲提供 UFPA 正常工作必须的电源电压和脉冲电压,TEC 温控电路则保证焦平面温度稳定在最佳工作温度附近,精度可以达到 $\pm 0.01\text{ }^{\circ}\text{C}$. 系统开始工作以后,A/D 将 UFPA 的模拟信号转变为数字信号,然后直接送到 FPGA 中^[2]. FPGA 将数据进行双路处理,一路送往双 DSP 实时处理单元,为目标数据处理;另一路送往显示驱动系统,用于红外图像的实时显示.数据进行双路处理可以减轻 DSP 的工作量,提高 DSP 的工作效率.

2 红外图像处理系统的硬件结构

红外图像采集的数据量比较大,一般采用单片 DSP 的数据处理能力达不到系统实时性的要求,所以采取 2 片或多片 DSP 方式,通过 FPGA + 双 DSP 对数据进行实时处理.

一般情况下,系统要求每个像素的处理时间只有 20~36 ns. 为了实现高速扫描图像的实时检测,采用高性能 FPGA 与双 DSP-TM320C6416 数字信号处理器实现. 图 2 为双 DSP + FPGA 处理系统组成. 其主要工作过程如下:系统上电后,由 PROM 的程序引导启动. 红外探测器经 14 bit 的 A/D 信号采集板送出的差分数字信号经连接器到 FPGA(FPGA 管脚可设置成差分接收形式). 由于 A/D 输出的数据速率与 DSP 总线的速度不匹配,在系统设计加入 FIFO1,作为 FPGA 和 DSP1 间的缓存. 2 个数据线端口分别连接 FPGA 和 DSP1,数据宽度 64 位,容量 32 K. FPGA 中将输入每 4 个 16 位像素点信号排列成一个 64 位,以配合 DSP 的数据线宽度,提高数据读取和处理速度. DSP1 与 DSP2 之间采用同步串行通讯方式. FIFO2 作为 DSP1 和 DSP2 间的缓存. 数据宽度同样是 64 位,容量 32 K.

DSP1 外接 SDRAM 容量为 $1\ 024\ \text{K} \times 64\ \text{bit}$,可容纳大小为 640×512 的 50 幅图像数据,为算法提供足够的存储空间. 数据 A 总线上跨接 FIFO1、FIFO2、SDRAM1,互相间可通过 DMA 方式进行数据传输,这种方式传输只需 DSP1 做预设置,传输过程不占用 DSP1 时间,速率可达百兆. 与 DSP2 采用同步串行通讯,接口形式简单,用于相互间传输控制指令和少量的数据流. DSP1 主要用于算法预处理,用于改善图像质量,包括降噪、提高信噪比. 完成对图像校正、高通滤波、图像的增强及补偿、高频补偿等.

DSP2 外接 SDRAM 容量为 $1\ 024\ \text{K} \times 64\ \text{bit}$. DSP2 数据 B 总线跨接 FPGA、FLASH、EPLD,与 FPGA 接口用于控制及与串行接口的数据通讯,与 FLASH 接口用于启动的程序引导及对 DSP1 的程

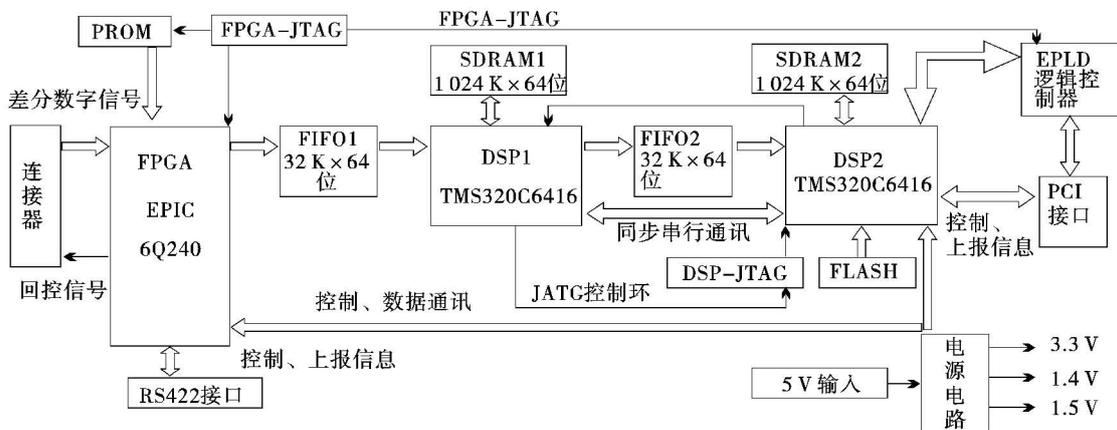


图 2 FPGA + 双 DSP 处理系统组成

序引导,与 EPLD 接口用于与 PCI 接口的逻辑控制.DSP2 的 HOST 接口用于与 PCI 接口的数据传输.DSP2 主要用于相减检测、相关检测、航迹关联等的目标检测提取工作,得出目标的精确位置信息并通过 PCI 接口或 RS422 接口上报信息.

DSP - JATG 用于 DSP1 和 DSP2 的仿真接口.FPGA-JATG 用于 FPGA、EPLD、PROM 的烧录和仿真.仿真过程中可通过 JATG 口调用逻辑分析仪,查看 FPGA 内部的信号变化.

3 红外显示技术的实现

3.1 红外图像显示原理

一个完整的成像系统不但要具备图像信号的采集功能、图像信号的分析,处理算法(如图像压缩、图像识别等),且要求完成图像进行实时显示.对于红外图像显示系统.红外传感器送出的差分数字信号经连接器到 FPGA,FPGA 首先对图像数据作预处理(主要包括非均匀性矫正、探测器的坏元替换),处理后的数据分别送给 DSP 和显示系统;显示系统主要由 3 部分组成:缓存 FIFO、显示驱动 ADV7123 及监视器组成.显示前还要对数据作图像增强处理以提高图像的显示质量.

3.1.1 信号说明

为了显示红外图像,必须把数字红外图像信号合成模拟的标准视频信号,标准信号包括很多种,这里采用 PAL 制式.PAL 制式广泛应用于我国的有线和无线电视,因此将红外图像合成为 PAL 制式有利于与目前的监视器兼容.PAL 制式图像信号通常由图像信号、消隐信号以及同步信号共同组成.图 3 是复合视频图像信号波形.

PAL 制式信号说明如下:(1)扫描方式为隔行扫描;(2)每秒 50 场,场周期为 20 ms,每场 312.5 行,行周期为 64 μ s;(3)PAL 制式信号由图像信号、复合消隐脉冲、复合同步脉冲组成.场消隐期宽度为 25

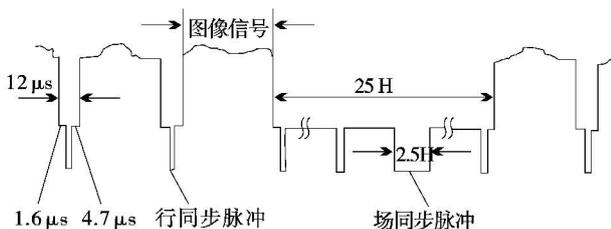


图 3 复合视频图像信号波形示意图

个行同期,场同步脉冲宽度为 2.5 个行周期,行消隐期宽度为 12 μ s,行同步脉冲宽度为 4.7 μ s.

3.1.2 640×512 红外图像控制信号合成

选用芯片及工作过程:视频合成选用 2 片 IDT72V293(65 536×18/131 072×9)缓存芯片、1 片视频合成芯片 AC-ADV7123.假设 AD 采样后的数据流传输一幅图像的时间等于显示一场图像的时间(20 ms).那么首先从前端 AD 采样后的数据流中将一幅完整的 640×512 像素图像分别按奇数行、偶数行顺序分别存入 2 片 FIFO1 和 FIFO2 中,为后面的视频合成存储数据;FPGA 完成 ADV7123 的复合同步及复合消隐脉冲信号,然后以行消隐有效作为 FIFO 的读有使能(R-en),分别顺序读取 FIFO1、FIFO2 中的图像数据.当 FIFO1 数据读空开始读取 FIFO2 时,此时开始从数据流中采样下一帧图像的奇数行存入 FIFO1 中,同样 FIFO2 数据读空开始读取 FIFO1 时,开始从数据流中采样下一帧图像的偶数行存入 FIFO2 中.以此类推.当 AD 采样后的数据流传输一幅图像的时间不等于显示一场图像的时间时:假设传输一帧数据时间小于显示一场数据时间,那么要考虑在 20 ms 时间内要均匀截取一帧完整的图像奇数行或偶数行;传输一帧数据时间大于显示一场数据时间,要考虑将图像数据按照一定的算法作扩展.

如果采用 15 MHz 的像素时钟进行视频合成,那么每行将包含 960 个像素时钟,其中图像信号有效区间 780 个时钟,因此每场视频信号将包含的图像信号有效区间为 780×287.5 个像素.文中采用的红外焦平面探测器为 640×512 个像素,那么视频合成原理就是把红外焦平面探测器为 640×512 个像素填充到 780×287.5 个像素信号有效区间,其原理如图 4 所示.

ADV7123 包含复合消隐(blank)和复合同步(sync)脉冲信号.复合消隐 blank 是行消隐(Hblank)

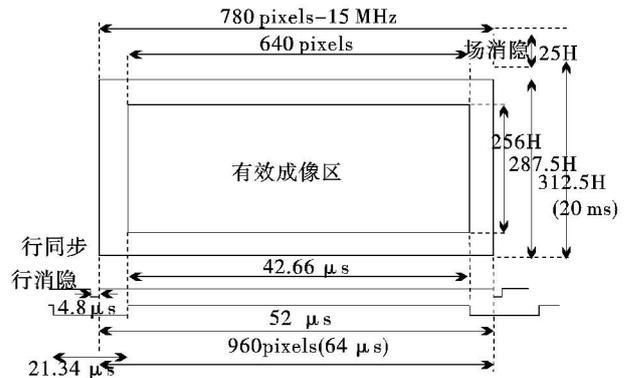


图 4 视频合成原理

场消隐(Vblank)复合而成,复合同步 sync 是行同步(Hsync)场同步(Vsync)复合而成.因此 FPGA 首先在系统时钟下生成 Hblank、Vblank、Hsync、Vsync 四路脉冲信号.如图 4 所示:行消隐(Hblank)脉冲宽度为 280 个像素时钟($21.34 \mu\text{s}$),场消隐(Hblank)脉冲宽度 55.5 行,重复频率 50 Hz^[3].前沿比第一个均衡脉冲提前 $1.3\sim 1.5 \mu\text{s}$;行同步(Hsync)脉冲宽度 72($4.8 \mu\text{s}$)个像素时钟,场同步(Vsync)脉冲宽度 2.5 行,重复频率 50 Hz.根据下列代码生成复合信号:

```
Blank <= Hblank and Vblank
```

```
Sync <= Hsync and Vsync
```

红外图像送显前利用 Nios 软核做非均匀校正(包括单点校正、双点校正、坏元替换),FPGA 完成图像增强.图 5 为非均匀校正、坏元替换、图像增强后截取 640×512 像素的红外图像.



图 5 640×512 红外成像

3.2 Verilog FPGA 代码实现

探测器输出模拟信号经过 A/D 变换,产生数字信号送往 FPGA.为了显示图像.FPGA 首先完成图像的坏元替换及非均匀校正^[4];然后 FPGA 再对探测器进行初始化控制和增益控制;同时为了对最后图像进行拉伸,要对图像数据进行直方图统计;其次是缓存芯片 FIFO 的时序控制;最后是显示芯片 ADV7123 的时序控制;为了加强时钟的同步性增加了一个 FPGA

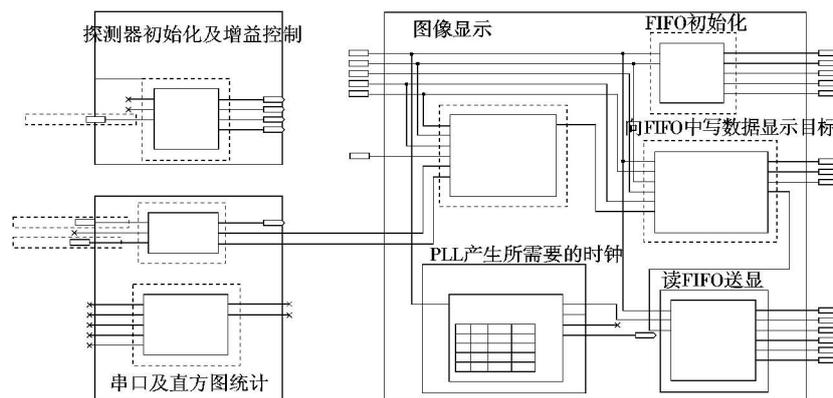


图 6 Quartus II 9.0 下红外成像代码逻辑框图

内部的 PLL 时钟锁相环,同时为了和外部通讯增加了 UART 串口模块.如图 6 所示.

在 Quartus II 9.0 集成环境下,使用 verilog 硬件描述语言进行编译.由于原代码较长,不能在这里给出.所以下面代码主要是控制显示控制芯片 ADV7123 的时序程序,当然是与 FIFO 配合使用.图 5 为 640×512 红外成像室内效果图.

```
module AD_video(
    clk,clk12,rst,
    AD7123_clk,
    ADV7123_sync,
    ADV7123_blank,
    FIFO_ren,FIFO_rclk,
    FIFO_mrs,
);
```

```
input  clk,clk12,rst;
output ADV7123_clk,
        ADV7123_sync,
        ADV7123_blank,
        FIFO_ren,
        FIFO_rclk,FIFO_mrs;
reg    FIFO_rclk;FIFO_mrs;
wire   FIFO_ren,
        ADV7123_sync,
        ADV7123_clk,
        ADV7123_blank;
assign FIFO_ren = ~(hblank & vblank);
assign ADV7123_sync = (hsync & vsync);
assign ADV7123_blank = (hblank & vblank);
assign ADV7123_clk = ~clk12;
```

```

//ADV7123 读时钟
//-----//
reg odd_even;
reg FIFO_rclk1,FIFO_rclk2;
always @(posedge clk)
    FIFO_rclk <= clk12;
    reg[9:0] hscnt,vscnt,hscntb;
reg hsync,vsync,hblank,vblank;
//-----行计数器-----//
always @(posedge clk12 or negedge rst)
    if(! rst)
        hscnt <= 0;
    else if(hscnt < 800)
        hscnt <= hscnt + 1;
    else hscnt <= 0;
//-----行同步-----//
always @(posedge clk12 or negedge rst)
    if(! rst)
        hsync<= 1;
    else if(hscnt<50)
        hsync<= 0;
    else hsync<= 1;
//-----行消隐-----//
always @(posedge clk12 or negedge rst)
    if(! rst)
        hblank <= 0;
    else if(hscnt>120 & hscnt < 760)
        hblank <= 1;
    else hblank<= 0;
//-----场计数器-----//
always @(posedge clk12 or negedge rst)
    if(! rst)
        begin
            hscntb <= 0;
            vscnt <= 0;
        end
    else if(hscntb < 399)
        hscntb <= hscntb + 1;
    else if(vscnt < 624)
        begin
            hscntb <= 0;
            vscnt <= vscnt + 1;
        end
    else
        begin vscnt <= 0;hscntb <= 0;end
//-----场同步-----//
always @(posedge clk12 or negedge rst)

```

```

if(! rst)
    vsync <= 1;
else if( vscnt < 5)
    vsync <= 0;
else vsync <= 1;
//-----场消隐-----//
always @(posedge clk12 or negedge rst)
    if(! rst)
        vblank <= 1;
    else if( vscnt < 70 || vscnt > 581)
        vblank <= 0;
    else vblank <= 1;
//-----FIFO_mrs-----//
always @(posedge clk or negedge rst)
    if(! rst)
        FIFO_mrs <= 0;
    else if(vscnt == 622)
        FIFO_mrs <= 0;
    else FIFO_mrs <= 1;
endmodule

```

4 结 束 语

设计的红外图像实时处理系统硬件结构比较复杂.红外图像实时处理系统包含很多器件,因此降低系统噪声和干扰,同时提高系统可靠性和稳定性是一个重要问题.而图像显示部分完全在 FPGA 上完成,这样减轻了 DSP 的工作量,可以使 DSP 专心于图像目标检测与跟踪.FPGA 完成图像显示所采用的算法,包括盲元检测、滤波、非均匀变换、图像拉伸等.因为 FPGA 采用的是并行处理系统,对于实时图像显示更理想,控制外部显示芯片(AD7321)更容易.图像显示的质量也比较理想.

参 考 文 献

- [1] 何健,胡旭,李勃,等.基于 DSP+FPGA 的 IRFPA 实时图像数字处理系统设计与实现[J].红外技术,2008 (1):6-10.
- [2] 常本康,蔡毅.红外成像阵列与系统[M].北京:科学出版社,2006:248-250.
- [3] 王苏滨,张功方,张泽焕,等.显示控制系统技术基础[M].北京:人民邮电出版社,2006:128-133.
- [4] Zhou Huixin, Li Qing, Liu Shangqian, et al. Nonuniformity and its correction principle of infrared focal plane arrays[J]. Laser&Infrared,2003,33(6):446-448.
- [5] 诸振永,翁木云.FPGA 设计与应用[M].西安:西安电子科技大学出版社,2006.