

· 电路与控制 ·

## 基于 FPGA 的高可靠性接口模块设计

王 静, 刘 蒙

(东北电子技术研究所, 辽宁 锦州 121000)

**摘 要:**介绍了处理器接口模块的设计现状及存在问题,提出了一种新的基于 FPGA 的处理器接口模块的设计方案.对 FPGA 的功能进行了分析,介绍了开发流程.按照自顶向下的设计规则,将 FPGA 设计划分为多个功能模块,介绍了各个模块的功能、基本结构和关键电路等.使用 Modelsim 进行了 VerilogHDL 代码级的功能仿真和时序仿真.最后在控制系统平台上进行了系统功能测试,证明了处理器接口模块的稳定性和可行性.

**关键词:**FPGA; VerilogHDL; Modelsim; 处理器接口

中图分类号: TN702

文献标识码: A

文章编号: 1673-1255(2009)01-0058-04

## Design of High Dependability Interface Module Based on FPGA

WANG Jing, LIU Meng

(Northeast Research Institute of Electronics Technology, Jinzhou 121000, China)

**Abstract:** The actual design of the processor interface modules and their problems existed are introduced. A new design project of processor interface module based on FPGA is put forward. The function of the FPGA is analyzed, the developing flow is described. Dividing the design of the FPGA into several function modules according to design rules from the top to bottom, the function, the basic structure, and the key circuit of every module are explained. The function simulation and the time sequence simulation in VerilogHDL code level are carried out using the Modelsim. The system function tests are performed on the control system platform and the stability and feasibility of the processor interface are proved.

**Key words:** FPGA; VerilogHDL; Modelsim; processor interface

使用在恶劣工作环境中的电子设备控制系统,进行系统设计时通常采用高可靠性的处理器模块进行设计,处理器模块与其他设备之间通信则一般采用接口扩展模块来完成,传统的高可靠性接口模块采用 MD8251A、MD8255A、MD8259A、GAL20V8、MAX791 等芯片进行设计,由于其集成度低,需采用多个器件才能完成,造成接口模块的功耗大、可靠性低、布局布线及设计更改困难.而且这些元器件采购困难,部分元器件已经停产,难以满足批量生产的需求.选用新型可编程器件 FPGA 进行接口模块设计<sup>[1]</sup>.FPGA 设计技术具有以下特点:

(1)FPGA 芯片具有体积小、功耗低、集成度高.

(2)FPGA 具有多种配置方式,具有在线修改等特点,方便设计更改.

(3)FPGA 采用标准的硬件描述语言进行设计,复杂度高的设计以 IP 的形式存在,便于设计的移植和修改.

(4)有足够的商业应用作为技术支持,开发方便.

### 1 接口模块电路设计

接口模块采用 FPGA 进行设计,如图 1 所示,主要包括 FPGA 电路、总线驱动隔离电路、RS422 接口电路、电源电路和离散信号处理电路.

其中 FPGA 电路是接口模块的核心部分,主要由 FPGA 芯片和配置电路滤波电路组成,完成接口模块的主要功能.电源电路主要采用电源转换芯片进行设计为 FPGA 电路提供 3.3 V 和 2.5 V 电源;驱动隔离电路主要用于对处理器总线信号进行驱动和隔离;离散信号处理电路主要完成对输入离散信号的 RC 滤波和输出信号的驱动;RS422 电路主要进行 TTL 电平和 RS422 电平之间的转换.

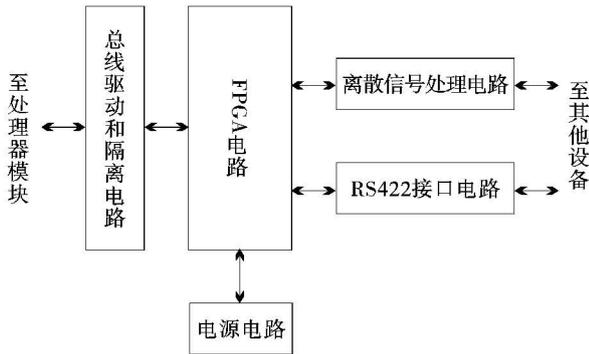


图 1 接口模块功能框图

## 2 FPGA 设计

### 2.1 FPGA 芯片的选型

FPGA 芯片的主要生产商有 Xilinx、Altera、Lattice、Actel 等。Xilinx 作为 FPGA 的发明者在业界具有主导地位<sup>[2]</sup>。Virtex 系列是 Xilinx 的高端产品,也是业界的顶级产品,而且 Xilinx 的产品具有先进的逻辑和系统设计工具的支持,这些工具具有强大的综合功能、灵活的实现算法以及高效的验证能力等优点,可以缩短开发时间.按照功能要求综合考虑,本设计选用 Virtex 的 Xqv300 进行设计,Xqv300 具有如下特点:

- (1)采用 0.22 工艺.内部集成 300 K 系统门,时钟频率最高可达 200 MHz.
- (2)芯片内核电压 2.5 V,系统工作时钟最高可以达到 200 MHz.
- (3)支持 16 种高性能 IO 标准.
- (4)内部具有 4 个 DLLs 用于先进的时钟控制.
- (5)LUT 可配置为 16 位 RAM、32 位 RAM、16 位双端口 RAM.

### 2.2 FPGA 接口模块的开发流程

FPGA 开发流程如图 2 所示<sup>[3]</sup>.

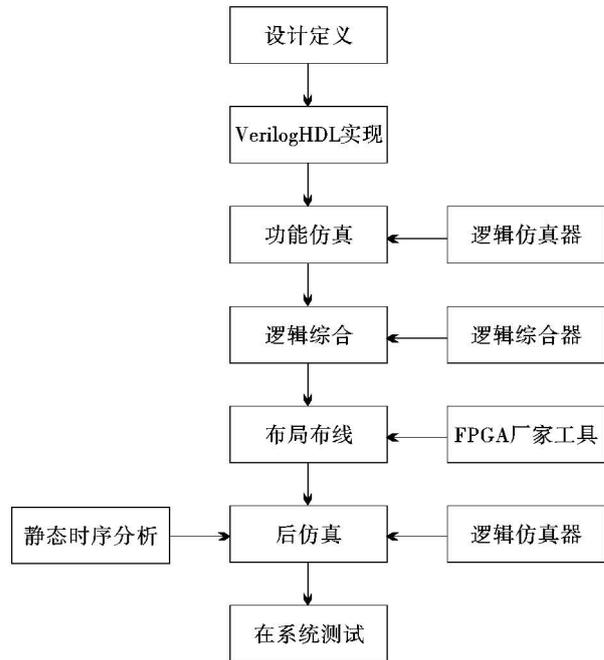


图 2 FPGA 开发流程

说明:VerilogHDL 和仿真测试向量编辑工具采用 FPGA Advantage;功能仿真和后仿真工具采用 Modelsim SE;综合工具采用 Leonardo Spectrum;布局布线工具采用 Xilinx 的 ISE.

### 2.3 FPGA 功能分析及设计定义

根据接口模块的设计要求,分析 MD8251A、MD8255A 和 MD8259A 及处理器模块总线的功能需求,确定 FPGA 内部功能如下:

#### (1)接口逻辑控制功能

与 PowerPC 模块交联,数据总线 8 位(XD7 - XD0),地址总线 11(XA11 - XA1),控制总线(XCMD、XMIO、XIOCS1、XDC、XRD、XWR、XB-CLK),接口时序遵守 LBE 总线规范.

#### (2)4 路 RS422 接口

4 路 RS422 异步串行通信接口,波特率 38 400 bps,起始位 1 位,数据位 8 位、偶校验 1 位,停止位 1.5 位;每一路发送和接收各具有 8 字节 FIFO 数据缓冲功能.

#### (3)中断管理

管理 8 个中断源(串口 1 发送中断,串口 1 接收中断,串口 2 发送中断,串口 2 接收中断,串口 3 发送中断,串口 3 接收中断,串口 4 发送中断,串口 4

接收中断)。

具有中断嵌套功能,采用固定优先级方式。

由于本模块作为从中断,未和处理器模块中断级联,不能自动清除,所以中断清除采用写寄存器方式完成。

(4)3个8位通用IO接口

8位按字节设置端口,具有锁存功能,寄存器操作方式;

8位按位设置端口,具有锁存功能,寄存器操作方式;

8位输入端口,寄存器操作方式。

(5)4路开关消抖功能接口

采用高速时钟分别对4路离散信号进行采样,通过对连续采样值的判断来确定信号的状态,采样频率为2ms,连续采样10次采样值不改变,确定信号为当前值。

## 2.4 FPGA 逻辑设计

FPGA程序采用VerilogHDL,按照从顶向下的方法进行设计。将整个设计划分系统主模块、发送模块、接收模块、控制模块、中断管理模块、时钟模块和离散信号处理模块和FIFO模块等8个功能模块,在主模块内调用其他模块,FPGA内部组成框图如图3所示。

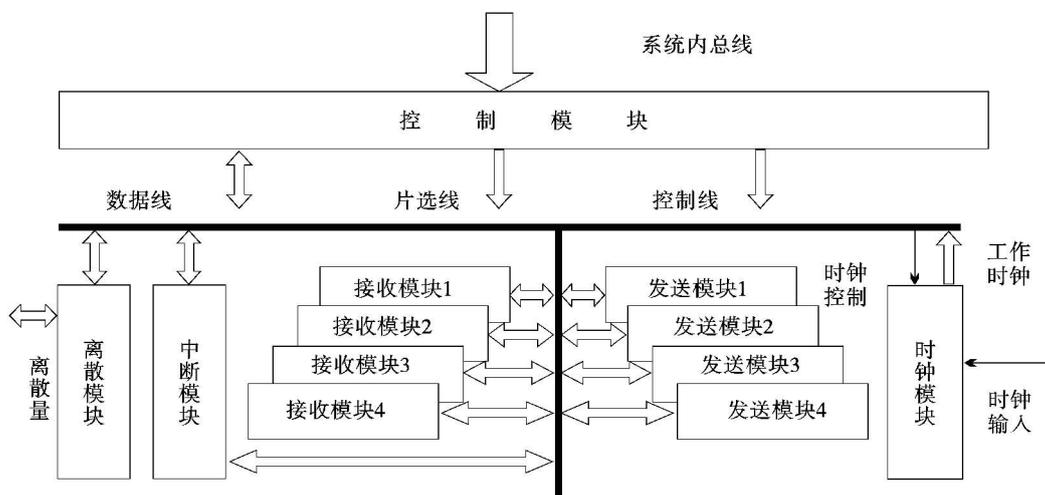


图3 FPGA内部组成框图

主模块完成FPGA的全部功能,内部调用4个发送模块、4个接收模块、1个时钟模块、1个离散处理模块、1个中断模块和1个控制模块。主模块内进程将系统信号分配给各个模块,控制各模块协调工作。

发送模块主要功能:接收主机发来的并行数据并将并行数据转换为串行数据发送到FPGA的输出引脚,为减轻主机负担,发送模块内部采用8B的FIFO,可连续接收来自主机的8个字节数据按先入先出的顺序将带有奇校验位的数据发送出去,发送模块主要采用2个状态机实现,发送状态机和FIFO控制状态机,发送模块的关键电路为FIFO输出与并串转换电路的时序控制。

接收模块接收TXD端口的串行数据,将串行数据转换为并行数据并将其存入接收FIFO,接收FIFO的深度为8字节。接收模块具有奇校验功能,同样采用状态机控制,并且具有数据检测功能,其关键

电路为起始位检测,串并转换单元和FIFO输入时序控制。

时钟模块主要为发送、接收模块提供发送、接收时钟,并为其他所有模块提供工作时钟。为减轻系统功耗,时钟模块设计成可控制,通过控制模块的时钟使能信号控制时钟模块在工作状态和休眠状态之间的切换。时钟模块设计时采用传统的数字电路设计方法,利用 $n$ 模计数器,画出状态图,用卡诺图化简后,形成门级表达式。这种方法简单实用,占用FPGA的内部资源较少。

控制模块主要接收处理器模块总线的各种控制信号,分组产生各个接口模块的片选、读、写和使能等控制信号;并产生中断应答信号和LBE总线等待逻辑信号等<sup>[4]</sup>。

中断模块,完成中断管理。内部由中断保持寄存器(IVR),中断服务寄存器(ISR),中断屏蔽寄存器

(IMR), 中断向量寄存器, 中断触发判断进程组, 中断优先级判断进程组, 中断清除进程组等组成. 完成对 8 级中断的管理和控制.

FIFO 模块为 8 字节深度, 异步方式控制. FIFO 模块主要以发送模块和接收模块内部空间作为数据缓冲区使用<sup>[5]</sup>.

离散模块主要包括: 1 个 8 位按字节输出寄存器和相应的控制逻辑进程组; 1 个 8 位按位输出寄存器和相应的控制逻辑进程组; 1 个 8 位输入寄存器和相应的控制逻辑进程组; 1 个离散输入采样滤波进程组.

## 2.5 FPGA 综合和仿真验证

在完成源代码的编写后, 首先对 VerilogHDL 程序进行功能仿真, 对仿真的波形进行了分析, 对不满足时序和功能要求源代码进行了修改, 直到仿真结果满足设计要求.

经过功能仿真后, 使用 Leonardo Spectrum 综合, 程序占用 FPGA 资源在 40% 左右, 在综合时按照速度优先的综合原则进行; 并采用 ISE 工具进行布局布线.

将布局布线后产生的设计文件和标准时延文件以及测试向量文件调入 Modelsim 进行后仿真, 查看仿真波形中各种线号的时序关系, 对不满足时序和功能要求的位置, 分析其原因, 对源代码和综合约束文件进行了修改, 最后满足设计要求. 4 串口同时发送 8 字节数据的时序图如图 4 所示, 4 串口同时接收 8 字节的时序图如图 5 所示.

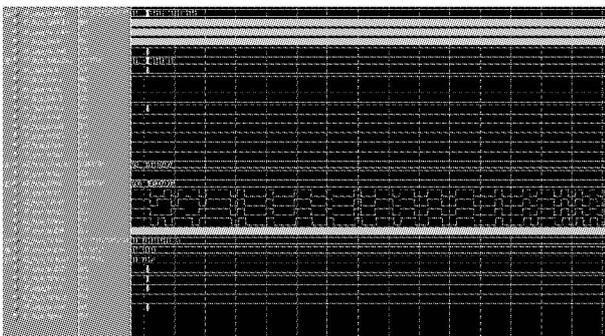


图 4 4 串口同时发送时序

## 2.6 FPGA 在系统测试

采用 Zuken CR5000 进行接口模块的 PCB 设

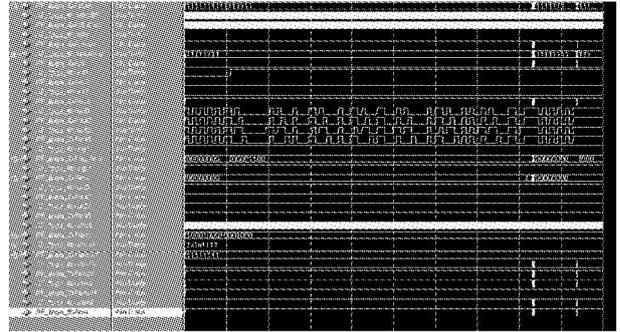


图 5 4 串口同时接收时序

计. 接口模块电路板采用标准的 F2 结构, 全工艺; 层数 6 层; 使用专用的电源层和地层, 时钟线采用双地线进行屏蔽. 数据线进行了等长控制.

在仿真验证后, 通过 JTAG 接口配置 FPGA, 接口模块在系统上进行了验证, 包括以下功能:

- 并行端口信号输入、按字节输出、按位输出;
- 离散信号处理;
- 时钟使能功能;
- 串行接口单次 1 字节、2 字节 8 字节发送;
- 串行接口单次 1 字节、2 字节 8 字节接收;
- 中断产生和清除, 及中断服务测试;
- 综合测试.

## 3 结 论

通过仿真验证和在系统验证, 表明基于 FPGA 设计的接口模块运行稳定、可靠, 功耗低, 而且, 可以根据需要在不改变硬件设计的情况下进行功能更改. FPGA 技术以其鲜明的特点在高可靠性的嵌入式领域将拥有更加广泛的应用.

## 参考文献

- [1] 赵杨, 王龙, 赵群, 等. 基于 FPGA 的全数字锁相环设计研究[J]. 光电技术应用, 2007, 22(6): 18-20.
- [2] 赵曙光, 郭万有, 杨颂华. 可编程逻辑器件原理、开发与应用[M]. 西安: 西安电子科技大学出版社, 2000.
- [3] 蒋昊, 李哲英. 基于多种 EDA 工具的 FPGA 设计流程[J]. 微计算机信息, 2007(32): 204-205.
- [4] 戴梅萼, 史嘉权. 微型计算机技术及应用[M]. 北京: 清华大学出版社, 1995.
- [5] 蔡发志, 苏进, 叶兵. 异步 FIFO 的 Verilog HDL 设计[J]. 仪器仪表用户, 2008(3): 68-69.