

文章编号: 1005-5630(2023)01-0080-07

DOI: 10.3969/j.issn.1005-5630.2023.001.012

基于柔性掩膜板制备半导体场效应管

靳亚茹, 于佳鑫

(上海理工大学 光电信息与计算机工程学院, 上海 200093)

摘要: 为克服传统制备半导体场效应晶体管(FET)过程中存在的材料损伤、对准精度受限、电极转移难度大和成本高昂等缺陷, 提出了一种基于柔性掩膜技术的半导体 FET 制备方法。利用紫外光刻技术制作柔性掩膜板, 直接捞取并加热蒸干固定掩膜板, 采用离子束溅射法沉积金属, 并通过将半导体 CdSe 纳米带转移到电极上, 获得了 N 沟道耗尽型 FET, 证实了器件的功能性和此方法的可行性。此技术成本低廉, 且材料损伤小, 为制备集成半导体器件提供了一种新的思路。

关键词: 半导体; 场效应晶体管; 掩膜板

中图分类号: O 472+4 **文献标志码:** A

Fabrication of semiconductor field effect transistor based on a flexible stencil

JIN Yaru, YU Jiabin

(School of Optical-Electrical and Computer Engineering, University of Shanghai for Science and Technology, Shanghai 200093, China)

Abstract: In order to overcome the problems of traditional fabrication of semiconductor field effect transistors (FET), such as material damage, limited alignment accuracy, the difficulty of transferring the electrode and high cost, a fabrication technique of semiconductor FET based on a flexible stencil technology was proposed. Ultra-violet lithography technology can be used to fabricate the flexible stencil. Then, the stencil was directly scooped up, heated and dried. The metal was deposited by ion beam sputtering technique, and N-channel depletion FET was obtained by transferring semiconductor CdSe nanobelts to the electrode, which confirmed the functionality and the feasibility of this technique. The technique has low cost and low material damage, and it provides a new way to fabricate integrated semiconductor devices.

Keywords: semiconductor; field effect transistor; stencil

收稿日期: 2022-03-18

基金项目: 国家自然科学基金(12074259)

第一作者: 靳亚茹(1997—), 女, 硕士研究生, 研究方向为纳米光子学。Email: 1541195870@qq.com

通信作者: 于佳鑫(1986—), 女, 副教授, 研究方向为纳米光子学。Email: yujiabin@usst.edu.cn

引言

场效应晶体管是现代微电子学领域十分重要的组成部分, 主要是通过控制器件中电场的变化来调控其导电性能。纳米半导体材料因其优异的光电性能在场效应晶体管 (FET) 中具有良好的应用前景。制备半导体 FET 的传统工艺, 是在覆有材料的衬底表面, 对电极与材料的接触区域直接进行图案化和金属化处理。现代微电子学中, 接触区域的图案化处理, 是通过标准光刻或电子束光刻的方式来实现的^[1]。在此过程中, 高能光子/电子的辐射, 使得半导体材料精细的晶格极易受到破坏, 造成掺杂^[2]、晶格缺陷^[3]、畸变甚至相变^[4-5]等, 导致材料功能发生退化, 进而引起金属电极与材料接触不良; 有机溶液的使用会引入不必要的掺杂, 而且有机溶液不适用于各种不稳定和对溶液敏感的半导体材料^[6-7]; 亦或由于抗蚀剂的残留, 导致接触电阻大大增加^[8-10]。金属化处理, 是通过蒸发沉积或溅射镀膜的方法来实现的, 通常涉及到对接触区域的原子或团簇轰击以及强局部加热^[11], 然而这也会导致接触界面的材料受到一定程度的损伤。以上这些缺陷都极大阻碍了器件性能的进一步提高^[12-13]。

为克服以上损伤的缺陷, 传统制备方法有 3 种方案。第 1 种是使用刚性掩模板进行金属沉积, 但存在对准精度受限、材料损伤问题, 比如 Deshmukh 等^[14]、Bao 等^[15]、Zhang 等^[16]使用刚性阴影掩模板替代传统的光刻过程, 不仅刚性掩模板与衬底的固有间隙限制了器件的对准精度^[17-18], 而且如果在材料上直接进行金属化处理, 也会损伤材料^[11]。第 2 种是先制备金属电极, 再将电极转移至材料上, 却存在转移成功率低的问题, 比如 Liu 等^[19]提出了范德华力 (vdW) 金属-半导体结, 先利用电子束光刻和电子束蒸发技术在衬底上沉积好具有图案的电极, 以提高器件的对准精度, 后使用干法转移系统将金属电极转移至材料上方, 从而避免了金属沉积过程对材料造成的损坏, 但由于转移后的金属薄膜与沟道材料之间的 vdW 键合力较弱, 金属电极难以释放, 此方法在实际应用中仍然受限。第 3 种是

先制备柔性掩模板, 再将其转移至材料上方进行金属沉积, 依旧存在损伤材料的问题, 比如刘渊团队提出一种基于干掩膜层压工艺的新型 vdW 模板光刻技术, 通过电子束光刻技术制备得到 PMMA 柔性掩模板, 并将其干法转移至材料上作为后续金属沉积的掩膜, 此方法在实际操作中更容易实现^[1], 但仍对材料有一定的损伤。以上这几种方法成本均较高昂, 不适用于工业生产。

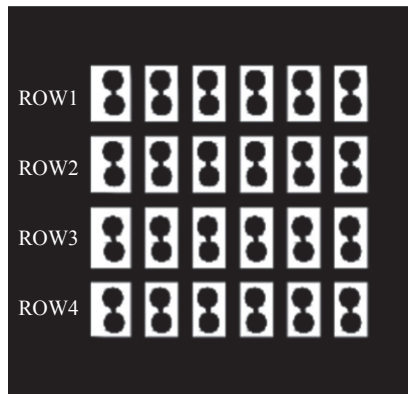
本文在新型 vdW 模板光刻技术的基础上, 提出了一种高对准精度、低成本, 工艺简单且材料损伤小的光刻掩膜技术。采用紫外光刻技术制作柔性掩模板, 利用反应离子束溅射仪在衬底上沉积金属, 使用光纤探针转移材料。掩模板的柔软特性使其与衬底实现紧密贴合, 从而保证了金属沉积的对准精度; 掩模板的可批量制作凸显了其低成本的优势; 直接捞取并加热蒸干固定掩模板的方式降低了其工艺复杂性; 先制备金属电极后转移材料, 减少了对材料的损伤; 制备了基于化学气相沉积法 (CVD) 合成的 CdSe 纳米带背栅 FET, 采用光学显微镜对 CdSe 纳米带和电极沟道的表面形貌进行观察, 利用半导体参数分析仪测量了其输出和转移曲线, 通过实验成功证实了此技术的可行性。

1 器件制备

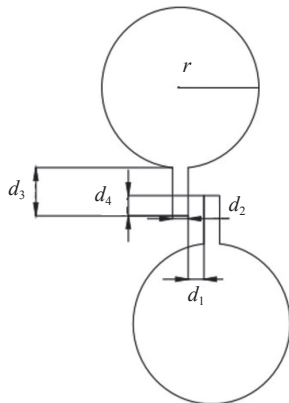
1.1 掩模板制备

首先, 将干净的、表面有 285 nm 氧化层的硅片放在加热板上 130 °C 预烘 30 min, 将水分烘干, 待硅片降到室温之后, 使用旋涂仪在硅片上旋涂一层厚度约为 40 μm 的 SU-8 2025 负性光刻胶, 旋涂速率为 2000 r/min, 旋转 30 s; 然后, 再将其放在加热板上, 在 65 °C 下烘 3 min, 95 °C 烘 9 min; 接着, 将如图 1(a) 所示的菲林版图纸固定在紫外光刻机 (SUSS MJB4) 的玻璃基板上, 设置曝光参数, 350~400 nm 的紫外光照射有设计图案的菲林版图纸, 对光刻胶进行曝光, 能量为 160 mJ·cm⁻², 时间为 5.3 s; 最后, 曝光结束后, 再在加热板上 65 °C 烘 2 min,

95 °C 烘 7 min, 待硅片降至室温后, 在 SU-8 的显影液中显影约 5 min 后, 用异丙醇清洗显影液。这样, 便可得到光刻胶掩模板基板。实验中, 设计的电极图案具体尺寸标注如图 1(b)所示, 具体参数如表 1 所示。



(a) 菲林版图纸



(b) 电极图案尺寸标注

图 1 掩模板几何结构图

Fig. 1 Geometric structure of stencil

表 1 电极图案参数

Tab. 1 Parameters of the electrode pattern

图案位置	$d_1/\mu\text{m}$	$d_2/\mu\text{m}$	$d_3/\mu\text{m}$	$d_4/\mu\text{m}$	$r/\mu\text{m}$
ROW1	40	200	800	400	150
ROW2	40	200	800	400	150
ROW3	50	200	800	400	150
ROW4	50	200	800	400	150

1.2 FET 制备

器件制备流程如图 2 所示。首先, 采用紫外

光刻机 (SUSS MJB4) 制备得到光刻胶掩模板基板。将整个基板切割成多个小单元, 每个单元上有一个 SU-8 2025 掩模板, 可随取随用, 保证了掩模板的干净, 不会造成二次污染。之后, 将其放入浓度为 1.25 mol/L 的 NaOH 中浸泡, NaOH 会刻蚀原衬底的 SiO_2 , 静置 12 h 后, 待光刻胶掩模板与衬底脱离, 将其放入去离子水中漂洗 3 遍。然后, 选用表面具有 285 nm 氧化层的重掺杂 P 型 (P++) 硅片, 先后分别用丙酮、异丙醇、去离子水各超声清洗 10 min, 并用压缩空气罐吹干表面, 再将掩模板捞至清洗干净的 P++ 硅片上, 置于加热台, 在 40 °C 下, 烘至掩模板与衬底紧密贴合、水分蒸干。使用反应离子束刻蚀设备 (MRIBE220M) 在带有掩模板的硅片表面沉积 10 nm Ti 和 80 nm Au 的源漏电极。沉积之后, 需用镊子 (防静电 ESD-15 标准弯尖头) 将掩模板从边缘轻轻揭掉, 若有掩模板的残留碎片, 可在光学显微镜下通过微纳操作手段 (使用钨探针挑离) 清理残留物。之后, 蘸取少量丙酮轻轻擦拭硅片表面, 进行第二次清洁。使用探针将事先通过化学气相沉积 (CVD) 法合成的 CdSe 纳米带转移至金属电极的沟道区域, 然后将此硅片放入真空干燥箱内, 在 200 °C 下退火 30 min, 从而使纳米带与电极的紧密接触, 保证电极的导电性。用表面镀银的铜丝做引线, 与背栅连接的一端用银胶固定, 另一端焊在印刷电路板上进行电学特性测试, 这样, 基于 CdSe 纳米带的背栅 FET 就制作完成, 器件的结构示意图如图 3 所示。

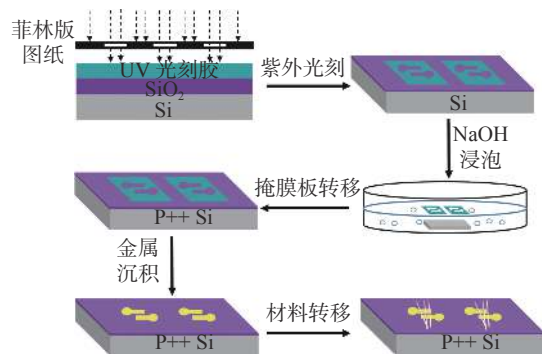


图 2 器件制备流程示意图

Fig. 2 Schematic diagram of process flow of the device fabrication

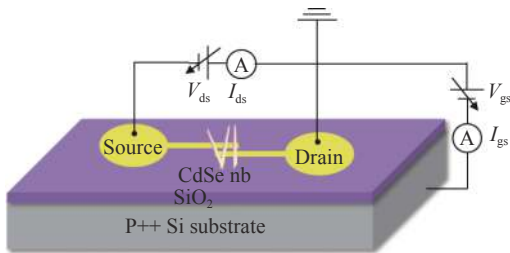
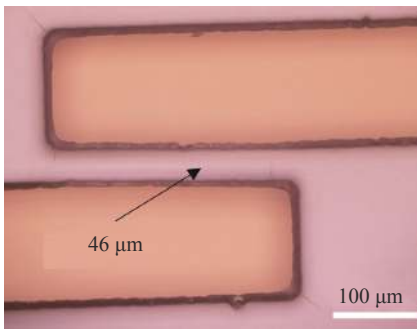


图 3 CdSe 纳米带背栅场效应晶体管结构示意图

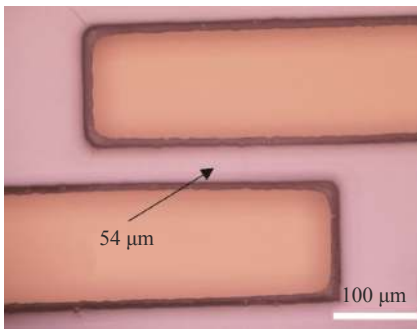
Fig. 3 Schematic of CdSe nanobelts backgate field effect transistor

2 器件测试表征

图 4 为制备得到的光刻胶掩模板的电极沟道在光学显微镜 (Olympus BX51) 下的图像: 如图 4(a) 所示, 沟道设计值为 $40\ \mu\text{m}$, 实际值为 $46\ \mu\text{m}$; 如图 4(b) 所示, 沟道设计值为 $50\ \mu\text{m}$, 实际值为 $54\ \mu\text{m}$ 。结果表明, 实际参数平均误差约为 11.5% 。



(a) ROW1/2 沟道



(b) ROW3/4 沟道

图 4 掩模板不同尺寸沟道的光学显微镜图

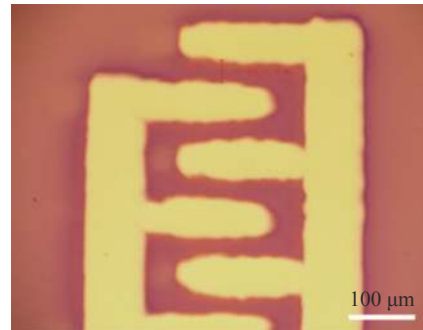
Fig. 4 Optical micrographs of channels with different sized stencil

图 5 为刚性掩模板的电极沟道沉积金属后在光学显微镜下的图像。可以观察到, 沉积金属后

电极的边界呈明显的“锯齿”状, 且臂与臂之间镀有一薄层金属, 发生了显著的模糊效应。



(a) 沉积金属前



(b) 沉积金属后

图 5 刚性掩模板沟道沉积金属前后的光学显微镜图

Fig. 5 Optical micrographs of rigid shadow masked channels before and after metal deposition

实验中, 使用沟道尺寸设计值为 $40\ \mu\text{m}$ 的掩模板作为 CdSe 纳米带背栅 FET 的掩膜, 沉积金属后的沟道如图 6(a) 所示, 经测量, 沟道长度约为 $41\ \mu\text{m}$, 误差约为 2.5% , 与传统的刚性掩模板 (见图 5 所示) 相比, 大大提高了金属沉积的对准精度。接下来, 采用光纤探针将纳米带转移至电极沟道, 转移纳米带后的沟道如图 6(b) 所示。本文所用的 CdSe 纳米带由 CVD 法合成。图 6(c) 所示为合成的 CdSe 纳米带的光学显微镜图像, 左上角小图绿色圈出的部分是光致发光 (PL) 光谱采集的位置。图 6(d) 所示为室温下测得的 CdSe 纳米带的 PL 光谱 (光谱仪: Ocean optics, QE65pro), 其发射峰的位置在 $707.7\ \text{nm}$ 左右, 符合 CdSe 的电子能带结构。所选用的 CdSe 纳米带的长度, 需满足两端与 Ti/Au 电极有相当一部分的重叠, 以确保电极与材料接触良好。本文选取的纳米带长度范围约为 $116\sim 174\ \mu\text{m}$ 、宽度范围约为 $5\sim 8\ \mu\text{m}$, 可以很好地满足上述要求。

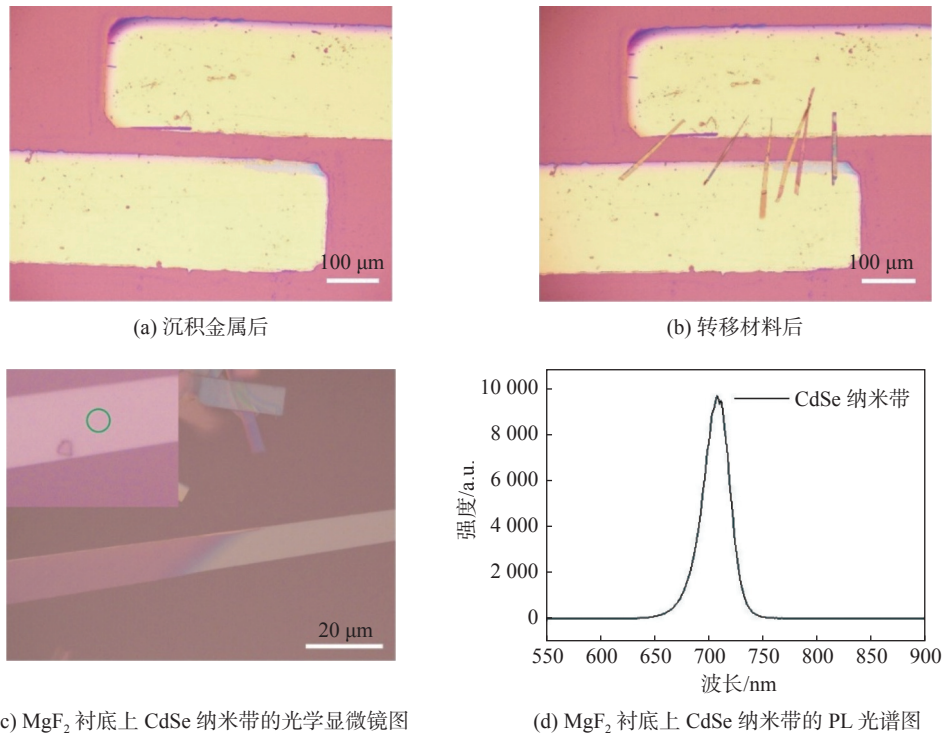


图 6 处理前后的掩膜板沟道和 CdSe 纳米带的光学显微镜图以及 CdSe 纳米带的 PL 光谱图

Fig. 6 Optical micrographs of stenciled channels before and after treatment and CdSe nanobelts and PL spectra of CdSe nanobelts

将 FET 器件置于室温环境下进行电学特性测量(半导体参数分析仪: keithley 4200A-SCS), 源极(s)接地, 漏极(d)和栅极(g)分别接不同的电压。保持背栅电压 V_{gs} 恒定, 通过调节源漏极电压 V_{ds} , 获取源漏极电流 I_{ds} 与源漏极电压 V_{ds} 的关系曲线, 即可得到器件的输出 ($I_{ds}-V_{ds}$) 特性曲线。从图 7(a)中可知, 在不同的 V_{gs} 下, 当 V_{ds} 取值范围较小时 ($V_{ds} < 0.5 V$), I_{ds} 与 V_{ds} 呈现出良好的线性关系, 并且均经过原点; 当 V_{ds} 增

大到一定值时, 在漏区和沟道界面处能带形成了势垒, 阻碍了载流子的运动, 使得电流趋于饱和。有文献报道^[20], 基于本征 CdSe 纳米线的 FET 电阻率极高, 很难实现欧姆接触; 即使制备成功, 在暗环境下也只能得到弱电流(电压为 1 V 时, 电流低于 10 pA), 甚至没有信号。由图 7(a)可知, 电流明显高出 10 pA 一个数量级。实验结果表明, 退火有效地改善了器件的接触问题。除了高温退火以外, 可在确保器件制作

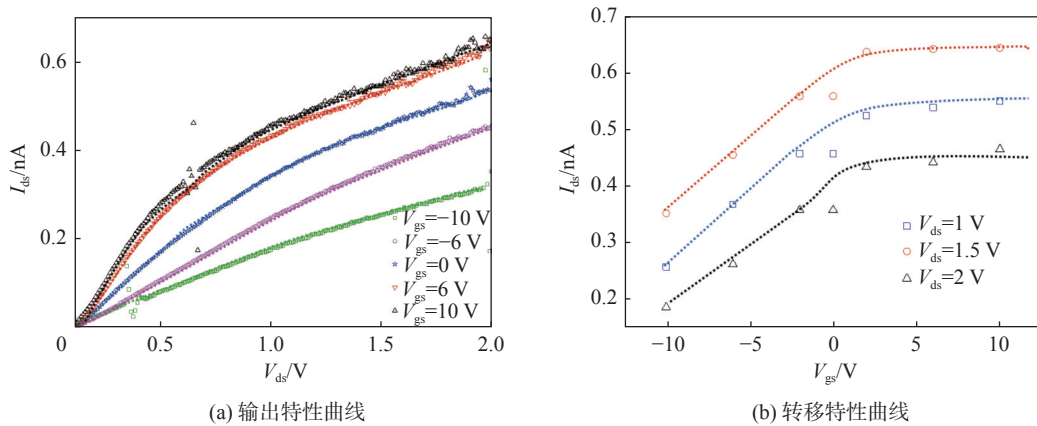


图 7 CdSe 纳米带背栅场效应晶体管的 I-V 特性曲线

Fig. 7 I-V characteristic curve of CdSe nanobelts backgate FET

完毕, 不再对其进行处理的情况下, 通过使用电子耐高温绝缘 ab 胶(广泛应用于电路板电子元器件绝缘防水防潮)对其封装, 以保证纳米带与电极的紧密接触, 而不在后续使用中移位, 并减小接触电阻。

同时, 在不同的背栅电压 V_{gs} 下, 曲线斜率不同, 说明栅极可以实现对源漏极的调控。且随着 V_{gs} 由 -6 V 增加到 6 V , I_{ds} 也逐渐增大, 可以推断, CdSe 纳米带具有 N 型半导体特性。同理, 保持源漏极电压 V_{ds} 恒定, 通过调节背栅电压 V_{gs} , 获取源漏极电流 I_{ds} 与背栅电压 V_{gs} 的关系曲线, 便可得到器件的转移 ($I_{ds}-V_{gs}$) 特性曲线, 从图 7(b) 中可以看出, 当 V_{ds} 为正向电压时, I_{ds} 呈现上升的趋势, 表明器件为 N 沟道耗尽型 FET。根据测量出来的转移特性曲线, 首先, 可以通过计算得到 FET 的峰值跨导 g_m 为

$$g_m = \frac{dI_{ds}}{dV_{gs}} \quad (1)$$

当 $V_{ds} = 2\text{ V}$ 且 $V_{gs} = -10\text{ V}$ 时, 可以通过 $I_{ds}-V_{gs}$ 斜率推算出 g_m 约为 0.26 nS 。栅极氧化层 SiO_2 的单位面积电容 C_i 可由式(2)进行计算:

$$C_i = \varepsilon_0 \varepsilon_r / d \quad (2)$$

式中: $\varepsilon_0 = 8.854 \times 10^{-12}\text{ F}\cdot\text{m}^{-1}$ 为真空介电常数; $\varepsilon_r = 3.9$; d 为 SiO_2 层的厚度, 取值为 285 nm 。通过计算, 得到 C_i 为 $12.1\text{ nF}\cdot\text{cm}^{-2}$ 。FET 的载流子迁移率可表示为

$$\mu = \left[dI_{ds} / dV_{gs} \right] \times [L / (W / C_i V_{ds})] \quad (3)$$

式中: L 为器件沟道的有效长度, 即沟道长度 $41\text{ }\mu\text{m}$; W 为器件沟道的有效宽度, 即纳米带的总宽度。由于本次实验中所用纳米带两端宽度不等, 故对纳米带与电极两臂重叠的宽度先求和再求平均, 得到 W 约为 $38\text{ }\mu\text{m}$ 。通过以上计算, 最终得出基于 CdSe 纳米带的背栅 FET 的载流子迁移率 μ 为 $0.02\text{ cm}^2\cdot\text{V}^{-1}\cdot\text{s}^{-1}$ 。

相比于以往报道: 采用掺杂 (Cl、Ga、Bi 等) 的 CdSe 纳米带制作的 FET 迁移率相对较低^[20-21], 主要是因为本文采用的纳米带是本征 CdSe 纳米带, 导致纳米带中的载流子浓度较小。即使施加较大的栅压, 也无法达到提高开关比、增大载流子迁移率的目的。此外, 空气中

的 H_2O 和 O_2 也会增大电极与材料的接触电阻, 从而影响其电子传输性能^[22-23]。因此, 为进一步提高其迁移率, 可考虑对本征 CdSe 纳米带进行掺杂。

3 结 论

本文提出了一种新颖的制备半导体 FET 方法, 克服了传统制备方法的几大缺陷, 如材料易损伤、金属沉积对准精度受限、电极转移难度大以及成本高昂, 得到了基于 CdSe 纳米带的背栅 FET。利用光学显微镜观察, 发现 SU-8 2025 掩模板金属沉积后的沟道长度与事先设计的菲林版图纸上对应的数值相差较小, 误差约为 2.5% , 比起刚性掩模板, 其对准精度明显提高了。并利用半导体参数分析仪测量其 $I-V$ 特性曲线, 实验结果表明, 退火有效改善了器件接触。计算得到了该器件的载流子迁移率为 $0.02\text{ cm}^2\cdot\text{V}^{-1}\cdot\text{s}^{-1}$, 分析了低迁移率的主要原因, 并提出了进一步提高其迁移率的方法。本文为探索成本低、材料损伤小的半导体器件制备工艺提供了一种新的可能性。

参考文献:

- [1] SONG W J, KONG L G, TAO Q Y, et al. High-resolution van der Waals stencil lithography for 2D transistors[J]. *Small*, 2021, 17(29): 2101209.
- [2] SHI W, KAHN S, JIANG L L, et al. Reversible writing of high-mobility and high-carrier-density doping patterns in two-dimensional van der Waals heterostructures[J]. *Nature Electronics*, 2020, 3(2): 99-105.
- [3] SHEN X N, WANG H M, YU T. How do the electron beam writing and metal deposition affect the properties of graphene during device fabrication?[J]. *Nanoscale*, 2013, 5(8): 3352-3358.
- [4] KATAGIRI Y, NAKAMURA T, ISHII A, et al. Gate-tunable atomically thin lateral MoS_2 schottky junction patterned by electron beam[J]. *Nano Letters*, 2016, 16(6): 3788-3794.
- [5] XIE X J, KANG J H, CAO W, et al. Designing artificial 2D crystals with site and size controlled

- quantum dots[J]. *Scientific Reports*, 2017, 7(1): 9965.
- [6] WOOD J D, WELLS S A, JARIWALA D, et al. Effective passivation of exfoliated black phosphorus transistors against ambient degradation[J]. *Nano Letters*, 2014, 14(12): 6964 – 6970.
- [7] TAO L, CINQUANTA E, CHIAPPE D, et al. Silicene field-effect transistors operating at room temperature[J]. *Nature Nanotechnology*, 2015, 10(3): 227 – 231.
- [8] GAMMELGAARD L, CARIDAD J M, CAGLIANI A, et al. Graphene transport properties upon exposure to PMMA processing and heat treatments[J]. *2D Materials*, 2014, 1(3): 035005.
- [9] KANG S, MOVVA H C P, SANNE A, et al. Influence of electron-beam lithography exposure current level on the transport characteristics of graphene field effect transistors[J]. *Journal of Applied Physics*, 2016, 119(12): 124502.
- [10] LEE J H, KIM Y, SHIN H J, et al. Clean transfer of graphene and its effect on contact resistance[J]. *Applied Physics Letters*, 2013, 103(10): 103104.
- [11] ZAN R, RAMASSE Q M, JALIL R, et al. Control of radiation damage in MoS₂ by graphene encapsulation[J]. *ACS Nano*, 2013, 7(11): 10167 – 10174.
- [12] ALLAIN A, KANG J H, BANERJEE K, et al. Electrical contacts to two-dimensional semiconductors[J]. *Nature Materials*, 2015, 14(12): 1195 – 1205.
- [13] XU Y, CHENG C, DU S C, et al. Contacts between two- and three-dimensional materials: ohmic, schottky, and *p-n* heterojunctions[J]. *ACS Nano*, 2016, 10(5): 4895 – 4919.
- [14] DESHMUKH M M, RALPH D C, THOMAS M, et al. Nanofabrication using a stencil mask[J]. *Applied Physics Letters*, 1999, 75(11): 1631 – 1633.
- [15] BAO W Z, LIU G, ZHAO Z, et al. Lithography-free fabrication of high quality substrate-supported and freestanding graphene devices[J]. *Nano Research*, 2010, 3(2): 98 – 102.
- [16] ZHANG H M, GUO X J, NIU W, et al. Multilayer Si shadow mask processing of wafer-scale MoS₂ devices[J]. *2D Materials*, 2020, 7(2): 025019.
- [17] LISHCHYNSKA M, BOURENKOV V, VAN DEN BOOGAART M A F, et al. Predicting mask distortion, clogging and pattern transfer for stencil lithography[J]. *Microelectronic Engineering*, 2007, 84(1): 42 – 53.
- [18] VAZQUEZ-MENA O, VILLANUEVA L G, SAVU V, et al. Analysis of the blurring in stencil lithography[J]. *Nanotechnology*, 2009, 20(41): 415303.
- [19] LIU Y, GUO J, ZHU E B, et al. Approaching the Schottky-Mott limit in van der Waals metal-semiconductor junctions[J]. *Nature*, 2018, 557(7707): 696 – 700.
- [20] HU Z Z, ZHANG X J, XIE C, et al. Doping dependent crystal structures and optoelectronic properties of n-type CdSe: Ga nanowires[J]. *Nanoscale*, 2011, 3(11): 4798 – 4803.
- [21] 于红斐. 硒化镉和硫化镉纳米带的合成及电子传输和光电性能研究 [D]. 温州: 温州大学, 2014.
- [22] MIRABELLI G, MCGEOUGH C, SCHMIDT M, et al. Air sensitivity of MoS₂, MoSe₂, MoTe₂, HfS₂, and HfSe₂[J]. *Journal of Applied Physics*, 2016, 120(12): 125102.
- [23] WANG G C, BAO L H, PEI T F, et al. Introduction of interfacial charges to black phosphorus for a family of planar devices[J]. *Nano Letters*, 2016, 16(11): 6870 – 6878.

(编辑: 张 磊)